

상온 플라즈마 질화막을 이용한 새로운 부분산화공정의
물성 및 전기적 특성에 관한 연구

(Study on the Material and Electrical Characteristics of the New Semi-Recessed
LOCOS by Room Temperature Plasma Nitridation)

李 炳 一,* 朱 承 基*

(Byung Il Lee and Seung Ki Joo)

要 約

부분산화공정(LOCOS : local oxidation of silicon)에서 발생하는 새부리의 길이를 줄이기 위하여 상온 플라즈마 질화막을 이용한 새로운 공정에 대해 연구하였다. 400W, 100kHz의 교류 전력에 의한 질소 플라즈마로 실리콘 위에 두께가 100Å 미만의 균일한 실리콘 질화막을 형성시킬 수 있었다. 이렇게 형성된 질화막은 실리콘을 4000Å 두께로 산화시키는 공정에서 실리콘의 산화를 효과적으로 방지할 수 있었고 새부리의 길이를 0.2μm로 감소시킬 수 있다는 것을 SEM 단면도로 확인 하였다. 이 길이는 두꺼운 LPCVD 질화막을 이용한 기존의 부분산화공정에서의 0.7μm보다 훨씬 줄어든 것이다. Secco 에칭 후 SEM으로 단면을 보았을 때 새부리 근처에서 결정 결함을 관찰할 수 없었다. 이 새로운 LOCOS 공정으로 N⁺/P⁻ well, P⁺/N⁻ well 다이오드를 만들어 누설전류를 측정하였다. 그 결과 기존의 LOCOS 공정에 의한 성질보다 우수하거나 동등한 성질을 나타내었다.

Abstract

Room Temperature Plasma Nitridation of silicon was investigated as a new LOCOS (local oxidation of silicon) process in order to reduce the bird's beak length. In N₂ plasma formed by 100kHz, 400W AC power, a thin silicon nitride film (<100 Å) was uniformly grown on a silicon substrate. SEM studies showed that the nitride layer formed by this method can effectively protect the silicon from oxidation and reduce the bird's beak length to 0.2 μm when 4000 Å field oxide is grown. This is a considerable improvement comparing with 0.7 μm, the bird's beak, for the conventional LOCOS process using a thick LPCVD nitride. No appreciable crystalline defect could be found around the bird's beak with SEM cross-section after Secco etch. Leakage current tests were carried out on the N⁺/P⁻ well and P⁺/N⁻ well diodes formed by this new LOCOS process. The electrical tests indicate that this new process has electrical properties similar or superior to those of the conventional LOCOS process.

*正會員, 서울대학교 金屬工學科
(Dept. of Metallurgical Eng., Seoul Nat'l Univ.)
接受日字 : 1988年 1月 22日

I. 서 론

현대의 대단위 집적회로에서 산화막을 이용하여 각 소자간의 전기적 고립을 이루는 방법중 가장 널리 쓰

이는 것은 질화막을 이용한 부분산화공정(LOCOS : local oxidation of silicon)으로써 그림 1에서와 같이 얇은 베이스 옥사이드($\sim 300\text{\AA}$) 위에 저압증기증착(LPCVD)을 이용하여 1400\AA 정도의 질화막을 입힌 후 사진 식각을 이용하여 부분적으로 질화막을 제거한 후 산화시키면 질화막은 산화되지 않으므로 질화막이 제거된 부분에서만 실리콘의 산화가 일어나 부분적으로 절연 산화막(field oxide)을 형성하는 방법이다. 이 방법에 의하면 베이스 옥사이드를 통해 산소가 질화막 밑부분으로 확산되어 절연 산화막과 활성영역(active area)의 경계부분에 소위 새부리(bird's beak)를 형성하는데 이 새부리에 의해 절연 산화막이 완전한 경사를 이루게 되어 차후 공정에 아무런 문제를 일으키지 않기 때문에 널리 쓰여왔다. 이 새부리 영역의 산화막은 게이트 산화막으로는 너무 두께가 두껍고 절연 산화막으로는 두께가 너무 얇으므로 전혀 소용없는 면적인데 이 새부리의 길이가 약 $0.7\mu\text{m}$ 정도가 되어 게이트의 길이가 $2\mu\text{m}$ 이하로 줄어든 현대의 대단위 직접(VLSI)에서는 그 소비면적이 심각한 문제로 등장하게 되었다. 따라서 최근에 많은 연구가 이 새부리의 길이를 줄이는데 집중되어 왔다. 현재까지 널리 알려진 방법으로는 SWAMI¹⁾, Framed Recessed Oxide Isolation²⁾, SILO³⁾, Poly Planar Process⁴⁾, Repeated Oxidation and Etching⁵⁾, Trench⁶⁾ 등이 있으나 이들 방법들은 공정이 매우 복잡

잡하거나 기술상으로 어려워 생산성, 재현성 등이 문제가 되고 새로운 고가의 장비가 필요하게 되는 등 이들 방법을 실제 공정에 이용하기에는 많은 어려움이 있는 실정이다.

본 논문에서는 플라즈마를 이용하여 상온에서 얇은 실리콘 질화막($<100\text{\AA}$)을 베이스 산화막 없이 직접 실리콘 웨이퍼 표면에 형성시키는 간단한 공정으로 새부리 부근에서 결정결함을 유발시키지 않고 새부리의 길이를 줄이는 방법에 대해 연구하였다. 이 방법은 기존의 플라즈마 에칭장비나 스퍼터링장비를 그대로 이용할 수 있다는 잇점도 지니고 있다. 플라즈마에 의한 self-bias가 실리콘 질화막 형성에 미치는 영향과 부분산화공정 후 새부리 길이와 새부리 근처의 결정결함 유무를 SEM으로 관찰하였고, SEM으로 관찰할 수 없는 결함에 의해 발생할지 모르는 전기적 성질의 변화를 알아보기 위해 N^+/P^- 및 P^+/N^- 다이오드의 시험소자(test pattern)를 만들어 누설전류(leakage current)를 측정하였다.

II. 새부리 현상의 억제와 플라즈마 질화막의 형성

실리콘을 산화시키면 부피가 약 2배로 팽창하는데 기존의 부분산화공정에서는 새부리 근처에서 급격한 부피팽창에 의해 야기되는 결정결함의 방지를 위해 얇은 베이스 산화막($\sim 300\text{\AA}$)을 질화막과 실리콘 웨이퍼 사이에 형성하는데 이 때의 질화막 두께에 따른 새부리 길이의 변화를 그림 2에 나타내었다.⁷⁾ 이 그림에서 알 수 있듯이 질화막의 두께가 두껍고 산화막의 두께가 얇은 경우 새부리의 길이는 줄일 수 있지만 질화막의 응력과 갑작스런 부피 팽창에 따른 응력의 집중으로 새부리 근처에서 많은 결정결함을 일으키게 된다. 따라서 결정결함 없이 새부리의 길이를 줄이는 방법은 산화막의 측면 확산을 억제하기 위해 베이스 산화막을 없애고 실리콘 웨이퍼 표면에 직접 극히 얇은 질화막을 입힘으로써 부피 팽창에 의한 응력집중을 완화시키는 것이다. 이 때의 질화막은 응력 집중을 막기 위해 얇아야 하지만 동시에 4000\AA 의 부분산화공정시 실리콘의 산화를 방지할 수 있어야 한다. 얇은 질화막의 경우($\sim 100\text{\AA}$), 일반적으로 널리 쓰이는 저압증기증착법(LPCVD)으로는 두께의 균일성 및 산화를 방지할 수 있는 양질의 질화막을 얻기 힘들다. 따라서 이러한 질화막을 얻기 위해서는 질소원자가 질화막내를 확산해서 질화막이 성장하는 과정을 취하는 방법이 고려되어야 하는데 여기에는 열질화막이 있다.

본 논문에서는 열에너지 대신에 플라즈마 에너지

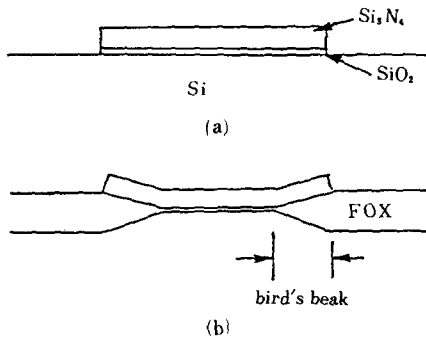


그림 1. 기존의 부분산화공정(LOCOS)
 (a) 산화공정 전의 기판 단면도
 (b) 산화공정 후의 새부리 현상의 도식적 단면도

Fig. 1. Conventional LOCOS process.
 (a) cross-section of patterned substrate before oxidation process.
 (b) schematic diagram of cross-section after oxidation process showing the bird's beak.

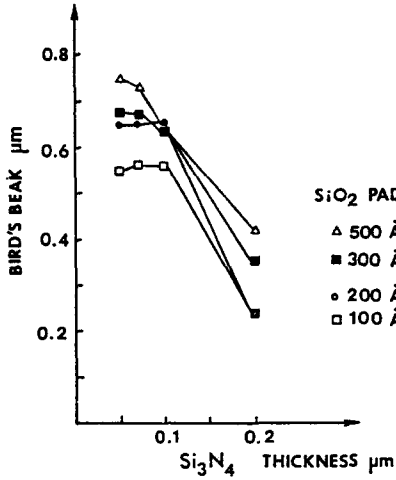


그림 2. 베이스 산화막과 질화막 두께에 따른 새부리 길이의 변화

Fig. 2. Bird's beak length with variable base oxide and nitride thickness.

를 이용하여 상온에서 질화막을 형성하는 방법을 사용하였다. 감압하에서 고주파 전력을 가해주면 글로우 방전(glow discharge)이 생기는데 질소기체의 플라즈마는 N⁺, N^{*}, e⁻ 등으로 구성된다. 이 때 고주파의 영향과 전자와 이온의 이동도 차이에 의해 양 전극사이에서 평균적으로 음의 포텐셜을 갖게 되는데 이를 self-bias라 한다. 이러한 self-bias에 의한 이온의 물리적인 충돌과 반응성(reactive) 기체의 화학반응에 의해 표면에서 실리콘 원자와 질소가 반응하여 실리콘 질화막을 형성한다. 표면에서 질화막이 형성되면 질소 원자가 표면과 내부의 농도차에 의해 내부로 확산해 가면서 질화막이 성장하지만 질화막 내에서는 질소 원자의 확산계수가 매우 작아 상온에서는 확산에 의한 질화막의 성장이 매우 어려우므로 질화막의 두께는 100Å 이내로 제한된다.^[6] 즉 질화막이 이미 형성된 부분에서는 성장이 거의 멈추고 형성되지 않은 부분에서만 선택적으로 표면에서 질소 플라즈마와 반응하여 질화막을 형성하므로 표면의 모양에 관계없이 두께가 균일한 질화막을 얻을 수 있다.

III. 실험장치 및 실험방법

본 연구에 사용한 플라즈마 발생장치 및 산화장치를 그림 3 및 그림 4에 나타내었는데 P-type(100) 웨이퍼를 10 : 1 불산용액에 30초 동안 산화막을 제

거하고 10분 동안 이온 교환수로 초음파 세척 후 곧 플라즈마 발생장치에 넣었다. 확산 진공펌프를 이용하여 초기 진공을 1×10⁻⁴Torr로 한 다음 N₂ gas를 불어넣어 압력을 100m Torr로 고정시키고 양극에 400W의 고주파(HF, 100kHz) 교류를 가해 질소 플라즈마를 발생시켜 10분 동안 질화막을 형성하였다. 상온 플라즈마에 의해 실리콘 표면에 질화막을 형성시킨 후 사진 식각에 의해 소자격리 pattern을 형성하고 건식예칭(RIE)을 한 다음 감광제를 제거하고 불순물을 세척(cleaning)하여 그림 4와 같은 확산로(tube furnace)에서 4000Å의 산화공정, 즉 1000°C에서 70분 동안 습식 산화하였다. 그 후 단면을 SEM 장비를 이용하여 새부리 부분을 관찰하였다. 또한 결정결함을 보기위해 Secco용액^[7]으로 약 20초간 에칭한 후 다시 SEM으로 관찰하였다. 전기적 특성을 알아보기 위해 P⁻ well로 구성된 200μm×200μm의 활성 영역안에 N⁺를 이온주입한 시험소자(pad diode,

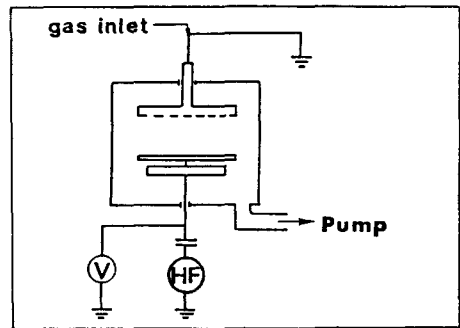


그림 3. 상온 플라즈마 발생장치

Fig. 3. Room temperature plasma generating system.

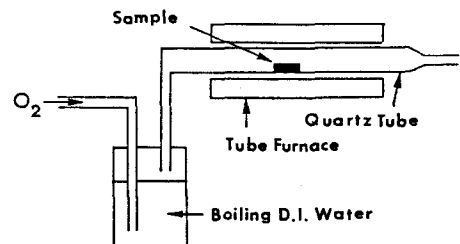


그림 4. 확산로를 이용한 습식 산화장치

Fig. 4. Pyrogenic oxidation system with tube furnace.

그림 5)와 같은 면적안에 N⁺가 이온 주입된 길이 200 $\mu\text{m} \times 1.5 \mu\text{m}$ 의 활성영역이 100개 들어있는 시험소자 (edge diode, 그림 6)를 이용하여 누설전류 (leakage current)를 측정하였다. 같은 모양으로 N⁻ well에 P⁺를 이온주입한 시험소자의 누설전류를 측정하였고 이를 기존의 부분산화공정(질화막 두께 1400Å, 베이스 산화막 300Å)을 이용해 만든 시험소자의 누설전류와 함께 비교하였다.

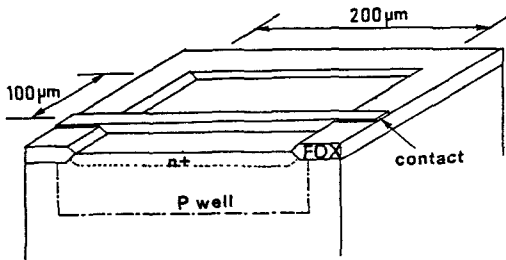


그림 5. N⁺/P⁻ well 패드 다이오드 (pad diode) 시험소자 (test pattern)
 Fig. 5. N⁺/P⁻ well pad diode test pattern.

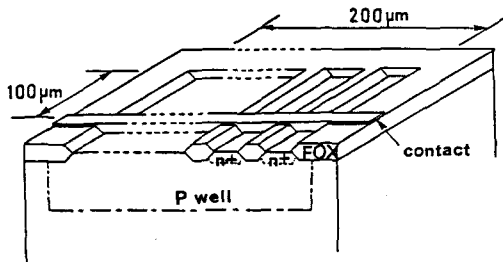


그림 6. N⁺/P⁻ well 에지 다이오드 (edge diode) 시험소자 (test pattern)
 Fig. 6. N⁺/P⁻ well edge diode test pattern.

IV. 실험결과 및 고찰

1. 고주파 전력과 self-bias의 관계

그림 7에 oscilloscope로 측정된 고주파 교류전력과 self-bias의 관계를 나타내었다. 고주파 전력이 증가함에 따라 self-bias 역시 증가함을 알 수 있다. 그러나 실험결과 100W, 200W, 300W의 고주파 전력에서 얻어진 질화막은 4000Å 부분산화공정시 산화를 방지하지 못했으며 이는 실리콘 표면에서 양질의 질

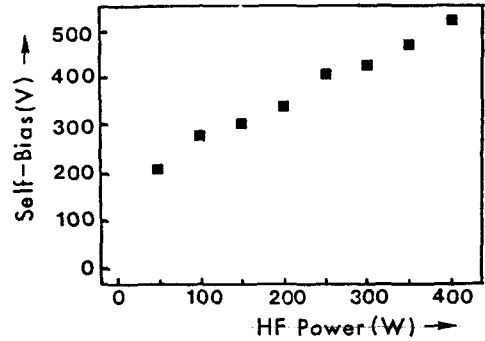


그림 7. 고주파 전력과 self-bias와의 관계
 Fig. 7. Relation between the high frequency power and the self-bias potential.

화막을 형성하기에 충분한 에너지의 질소 플라즈마가 형성되지 못했기 때문이라 생각된다.

2. SEM에 의한 새부리의 관찰

상온 플라즈마 질화막을 이용한 부분산화공정에서 0.4 μm 산화공정시 새부리의 길이는 0.2 μm 로(그림 8) 기존의 부분산화공정시 생기는 새부리의 길이 0.7 μm (그림 9)보다 0.5 μm 나 줄어들었다. SEM 단면도에서 알 수 있듯이 대략 45°의 각도로 질화막이 들리면서 새부리 현상이 생기는데 이는 질화막이 매우 얇아 내부응력이 거의 없으므로 산화공정의 초기에 산화막은 실리콘 웨이퍼의 표면에 수직방향과 수평방향으로 거의 같은 비율로 확산하면서 산화막이

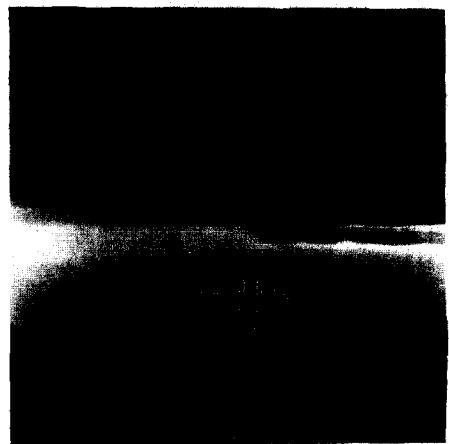


그림 8. 상온 플라즈마 질화막을 이용한 LOCOS 공정에서의 새부리 현상 관찰
 Fig. 8. Bird's beak by new LOCOS process using room temperature plasma nitride.

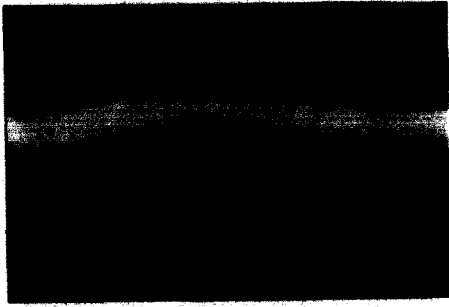


그림 9. 기존의 LOCOS 방법에 의한 새부리 현상
Fig. 9. Bird's beak by conventional LOCOS process.

성장하기 때문이라 여겨진다.

그림10은 결정결함 식각(defect etch) 후의 SEM 단면도로써 새부리 근처에서 아무런 결함을 발견할 수 없으며 Secco 에칭용액중의 불산에 의해 산화막이 ~600Å정도 에칭되었음을 알 수 있다. 질화막의 두께가 100Å 이하인 경우에는 새부리 근처에서 산화에 따르는 부피팽창을 억제하는 질화막의 내부응력이 약하므로 질화막이 들리면서 결정결함을 유발시키지 않음을 알 수 있다.¹¹⁾

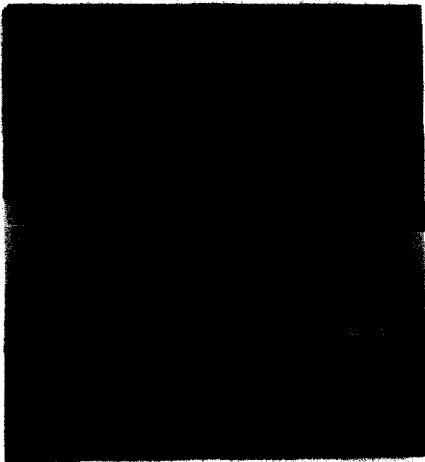


그림10. Secco etch 후의 단면 관찰
Fig. 10. SEM cross section after secco etch.

3. 누설전류측정

새부리의 형태 및 그 근처에서의 결정결함은 다이오드에서의 누설전류와 관계가 있으므로 앞서 설명

한 패드 다이오드(pad diode)와 에지 다이오드(edge diode)에서의 누설전류를 측정하였는데 그 결과를 그림11 및 그림12에 나타내었다. N⁺/P⁻ well 다이오드의 경우 역방향 전압이 6V일 때, 누설전류는 그림 5와 같은 패드 다이오드(pad diode)의 경우 8×10^{-13} A, 그림 6과 같은 에지 다이오드의 경우는 2×10^{-11} A였다. 기존의 부분산화공정에 의한 누설전류는 각각 1×10^{-12} A, 4×10^{-11} A로 상온 플라즈마 질화막을 사용한 소자가 더 우수한 특성을 나타냈다. (그림11) N well에 P⁺ 이온주입한 경우 같은 방법으로 누설전류를 측정하였는데 그 결과를 그림12에 나타내었다. P⁺/N⁻ well 다이오드의 경우는 역방향 전압이 6V일 때 패드 측정소자는 9×10^{-13} A, 에지(edge) 측정소자는 2×10^{-11} A로 LPCVD 질화막을 이용한 소자의 8×10^{-13} A, 1×10^{-11} A와 거의 같은 값을 갖는다.

V. 결 론

(1) 질소 플라즈마를 이용하여 실리콘의 질화반응을 일으킬 경우 400W, 100kHz의 교류로 상온에서 10분간 반응시키면 4000Å의 실리콘 산화막 형성시 산화방지막으로 이용될 수 있는 양질의 질화막을 얻을 수 있다.

(2) 상온 질소 플라즈마를 이용하여 형성시킨 질화막으로, 베이스 산화막없이 부분산화를 한 결과 4000Å의 SiO₂를 형성할 경우 결정결함없이 새부리

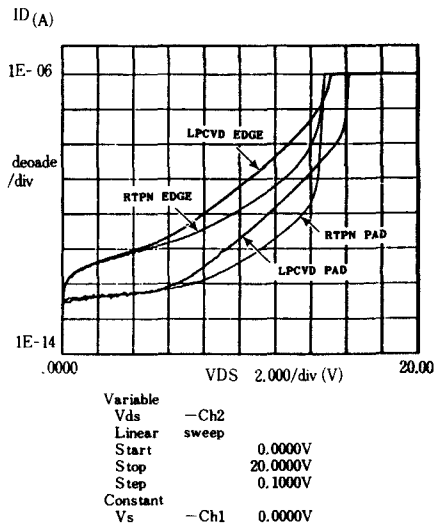


그림11. N⁺/P⁻ well 다이오드에서의 누설전류
Fig. 11. Leakage current in N⁺/P⁻ well diode test pattern.

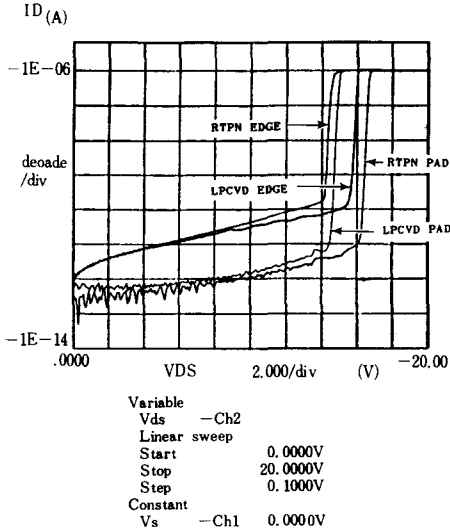


그림 12. P⁺/N⁻ well 다이오드에서의 누설전류
Fig. 12. Leakage current in P⁺/N⁻ well diode test pattern.

의 길이가 0.2 μ m로 감소되었다.

(3) 6V의 역방향 전압에서 누설전류를 측정된 결과 에지 다이오드의 경우 N⁺/P⁻ well과 P⁺/N⁻ well의 경우 모두 2×10^{-11} A로 나타났으며 패드 다이오드의 경우에는 N⁺/P⁻ well이 8×10^{-12} A, P⁺/N⁻ well의 경우는 9×10^{-12} A로 기존의 LPCVD 공정(LPCVD 질화막 1400Å, 베이스 산화막 300Å)과 비교할 때 거의 차이가 없는 것으로 나타났다.

參 考 文 獻

- [1] K.Y. Chui, J. Moll, J. Manoliu, "Bird's beak free local oxidation technology feasible for VLSI circuits fabrication," *IEEE Trans. Elec. Dev.*, ED-29, 536, 1982.
- [2] I. Magdo, A. Bohg, "Framed recessed oxide scheme for dislocation free planar so structure," *J. Electrochem. Soc.*, 125, 923 (1978).
- [3] J.C. Hui, T. Chiu, S.S. Wong, W.G. Oldhem, "Sealed interface local oxidation technology," *IEEE Trans. Elec. Dev.* vol. ED-29, no. 4, pp. 554-561, 1982.
- [4] T.J. Sanders, W.R. Morcom, C.S. Kim, Paper no. 3.2. Presented at the *IEEE International Electron Device Meeting*, Washington, D. C., Dec. 3-5, 1973.
- [5] H. Sakai, T. Yoshimi, K. Sugawara, "Methods to improve the surface planarity of locally oxidized silicon devices," *J. Electrochem. Soc.*, 124, 318 (1977).
- [6] Kit M. Cham, S. Chiang, D. Wenocur, R.D. Rung., "Characterization and modelling of the trench surface inversion problem for the trench isolation CMOS technology," *IEDM* 1983, pp. 23-26, 1983.
- [7] E. Bassous, H.N. Yu, V. Maniscalco, "Topology of silicon structure with recessed SiO₂," *J. Electrochem. Soc.*, 123, 1729 1976.
- [8] M. Hirayama, T. Matsukawa, H. Arima, Y. Ohno, N. Tsubouch, H. Nakata, "Plasma anodic nitridation of silicon in N₂-H₂ system," *J. Electrochem. Soc.*, vol. 131, no. 3 pp. 663-666, 1984.
- [9] F. Secco d'Aragona, "Dislocation etch for (100) planes in silicon," *J. Electrochem. Soc.*, vol. 119, pp. 947-951, 1972.
- [10] S. Isomae, Y. Tamaki, A. Yajima, M. Nanba, M. Maki, "Dislocation generation at Si₃N₄ film edges on silcion substrates and viscoelastic behavior of SiO₂ films," *J. Electrochem. Soc.*, vol. 126, no. 6, pp. 1014-1019, 1979. *

著 者 紹 介



朱 承 基 (正會員)

1952年 9月 4日生. 1975年 서울대학교 금속공학과 졸업. 1983年 Stanford 대학 재료과 공학박사학위 취득. 1984年 National Semiconductor R & D Center 근무. 1986年 Fairchild advanced R&D

Lab. 근무. 1986年 2月~현재 서울대학교 금속공학과 조교수. 주관심분야는 대단위 집적회로 공정개발임.



李 炳 一 (正會員)

1964年 2月 25日生. 1986年 2月 서울대학교 금속공학과 공학사학위 취득. 1988年 2月 서울대학교 금속공학과 석사학위 취득. 현재 서울대학교 금속공학과 박사과정. 주관심분야는 Thin dielectric film 임.