실시간 신호처리를 위한 가변구조 Data Acquisition Buffer의 구조를 갖는 DSP평가용 System.

A DSP Evaluation System with variable Data Acquisition Buffer Architecture for Real Time Signal Processing

안 동 순* 서 호 선* 차 일 환*

(D. S. Ahn, H. S. Seo, I. W. Cha)

요 약

일반 DSP들은 새로운 algorithm 및 응용 system의 개발을 위해서 전용 development system 및 simulator가 필수 불가결의 요소이다.

그러나 대부분 development system은 일반화된 내부 구조에의해 그 유연성에 한계가 존재한다. 본 연구에서는 A/D 입력과 D/A출력 data를 저장하는 buffer의 길이를 program에 의해 1 sample 단위부터 최대 2K sample 단위까지 가변할수 있도록 하고, 이들 buffer도 2중 구조로 하여 연속 신호의 처리가 가능도록 한 DSP평가용 system을 개발하였다.

ABSTRACT

For developing new algorithms or dedicated hardware by using general purpose Digital Signal Processor chip, emulator H/W and simulator S/W are indispensible.

But the most of DSP emulators have limitations on H/W flexibility according to their generalized architectures. In this paper, a DSP evaluation system for real time signal processing was developed using TMS 32020. The I/O buffers storing acquisition data of the system were designed to have variable length (1~2048samples) & sampling frequency 100~8KHz.

I. 서 론

1970년대 반도체 기술의 주류를 이루는 MPU(microprocessor)는 과거의 소형및 대형 컴퓨터의 기능을 갖는 컴퓨터로 발전하기에 이르렀다. 또한 기존의 불연속 수학의 개념을 computer 의 algorithm으로 실현한 DSP(digital signal processing)기술은 아나로그 방식으로는 불가능 했던 신호의 처리까지도 가능하게 하고 있다.

* 연세대학교 공과대학 전자공학과.

그러나 이와같은 DSP algorithm들은 기존의 μ-processor 로 처리하는 경우 제한된 계산 속도로 인하여 대부분 real-time처리가 불가능하다.[1]

80년대에 들어서 이러한 문제점을 해결하기 위하여 개발된 DSP(digital signal Processor)[2][3][4][5][6]는 주어진 계산량과 data의 계속적인 유입을 감당 할수 있는 pipe line 구조를 갖는 microprocessor chip으로서 실시간 처리뿐만 아니라 소형의 전용 처리 system[7][8][9]으로까지 응용 발전 되고 있다.

이와같은 DSP들은 새로운 algorithm 및 응용 system 개발을 위해서 전용 development system및 simulator가 필수 불가결의 요소이다. simulator는 일반 micro-computer나 mini-computer로써 DSP의 programming및 debugging, op-cde genernation등이 가능하도록 한 S/W(soft-ware)[7]인 반면 전용 development system은 DSP chip과 memory등으로 구성하여 실제 algorithm의 수행을 목적으로 하고 있다.[8]

그러나 대부분의 development system은 일반화된 내부 구조에 의해 그 유연성에 한계가 존재하며 특히 data acquisition unit의 경우 sample by sample과 [9][10] block by block[11][12]의 형태로서 block의 size도 고정된 경우가 대부분 이므로 처리시간의 최적화에 많은 제약을 갖게된다. 본 연구에서는 A/D 입력과 D/A 출력 data를 저장하는 buffer의 길이를 1 sample 단위부터 최대 2K sample까지 program 에 의해 가변 할수 있도록하고, 이들 buffer도 2중 구조로 하여 연속 신호의 처리가 가능[13]하도록 한 DSP 평가용 system을 개발 하였다.

사용한 DSP chip은 TI사의 TMS-32020이며 controller 로서 Motorolla MC-68000을 사용하였고 RS-232 C로 S/W의 down load및 control을 수행하도록 설계 되었다.

Ⅱ. DSP 평가용 System

DSP 평가용 system의 요구되는 기능은 다음과 같다. 첫째 DSP program의 simulation및 debugging, 둘째 작성한 program을 수행하기 위한 op-code generation, 세째 op-code file의 down load및 수행을 위한 control 그리고 DSP의 수행상태의 감시 기능들을 들수 있다. 이와같은 동작을 위해 본 연구에서는 simulation및 debuging, op-code generation등은 simulator-S/W에 의해 IBM-PC로 수행하였고 down load및 DSP의 동작 상태의 감시 기능은 MC-68000을 MPU로 하는 μ-processor board로 이용하였다.

다음의 그림1은 전체 system의 block-diagram이다.

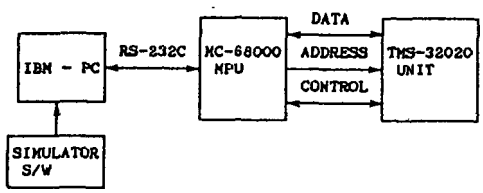

그림 1. 전체 system의 block-diagram

Ⅲ. MC-68000 μ-processor와 controller 그리고 TMS-32020.

MC-68000 μ-processor는 128K RAM과 2개의 RS-232 C port가 memory mapped I/O방식에 의해 3-state buffer를 통하여 TMS-32020의 hard-ware를 공유하고 있다. DSP의 control로 latch를 통해 수행하고 감시의 기능을 갖도록 하였다. 다음의 그림2은 MC 68000 및 TMS-32020의 연결 block-diagram이다.

표1. MC-68K ECB와 TMS-32020의 핀 대응관계.

MC-68000 ECB	TMS-32020
D0 - D15	D0 - D15
A1 - A16	A0 - A15
R/$\overline{W}$	R/$\overline{W}$
$\overline{DTACK}$	READY
DECODING 출력	$\overline{PS}$ $\overline{DS}$ $\overline{IS}$

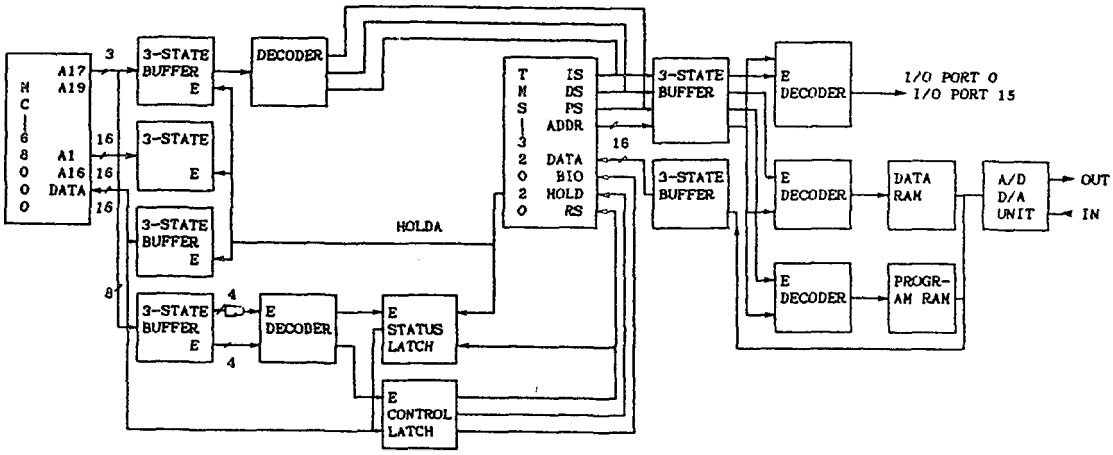

그림 2. MC 68000와 TMS-32020의 연결 block-diagram

다음의 그림3은 TMS-32020의 controller로 사용된 MC 68K μ-processor의 memory-map이다.

다음의 그림4은 본 연구에서 사용된 MC-68K controller-processer 구성도이다.

MC-68000은TMS-32020의신호선들을 buffer를 통하여 제어 해야 하므로 2-processor의신호선들을 다음의 표1과 같이 pin to pin으로 대응 시켰다.

TMS-32020은 16bit 단위로 64K word의 program memory와 data memory가 각각 연결되어 있으며 유효한 address는 $\overline{AS}$신호에 의해 구분이 된다. 이 펄스는 MC-68K에서도 $\overline{STRB}$와 같은 기능이며 번지수가 MC-68K에서는 byte단위이고 TMS-32020에서는 2byte단위 word이므로 MC 68K address선의최하위 bit는 A1이 된다. 또한MC-68K에서 memory와의 hand-shaking용 신호인 $\overline{DACK}$는 TMS-32020에서는 ready 신호이므로 1:1대응이 가능하다. TMS-32020의 data, program, I/O의 구별 신호인 $\overline{DS}$, $\overline{PS}$, $\overline{IS}$는 MC-68K의 address를 decode한 출력을 이용하였다. MC-68K의 RS-232 Cconnector를 통해서전송되는 data는 byte단위이므로 우선 C$\phi\phi\phi$ 번지 부터 C3FF번지 까지 DSP용 op-code program을 down-load한뒤 다시 2byte 단위로 TMS-32020의 memory 공간으로 전송 된다. 이때 TMS-32020의 $\overline{HALT}$ pin

FUNCTION		ADDRESS
SYSTEM MEMORY: EXCEPTION VECTOR TABLE	ROM/EPROM	$ 000000 - $ 000007 (1)
	RAM	$ 000008 - $ 0003FF
TUTOR SCRATCHPAD	RAM	$ 000400 - $ 0008FF
USER MEMORY RAM		$ 000900 - $ 007FFF
TUTER FIRWARE	ROM/EPROM	$ 008000 - $ 00BFFF
NOT USED		$ 00C000 - $ 00FFFF
I/O DEVICES: PI/T (LOWER BYTE ONLY)		$ 010000 - $ 01003F
ACIA2 (LOWER BYTE) & ACIA1 (UPPER BYTE)		$ 010040 - $ 010043
REDUNDANT MAPPING		
NOT USED		$ 020000 - $ 02FFFF
MC 6800 PAGE (E6)		$ 030000 - $ 03FFFF
NOT USED		$ 040000 - $ FFFFFF

NOTE (1) DENOTES READ ONLY

그림 3. MC-68K의 mamory-map.

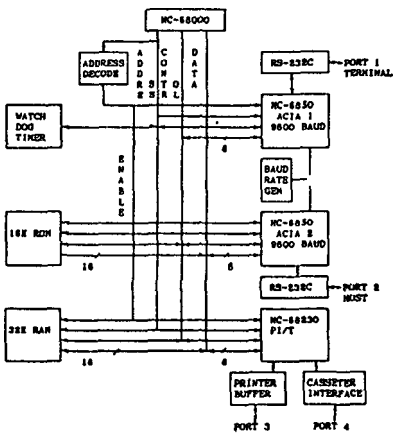

그림 4. MC-68K controller-processor 구성도

이 "0"이 되도록 control latch에 data를 set하여 DSP chip의 전체 신호선이 high-z 상태가 되도록 한뒤 buffer를 통해 MC-68K가직접 TMS-32020의 memory 공간을 acess한다.

down-load된 program의 수행을 위해서는 $\overline{HALT}$ pin이 "1"이 되도록 함과 동시에 TMS-32020을 reset 시킴으로서 $\phi\phi\phi\phi$번지 부터의 처리가 시작된다.

동작중의 DSP 상태는 latch를 통해서 MC-68K로 확인 할수 있다.

다음 그림5는 MC-68K측으로 연결된 TMS-32020의 contro 용 latch들의 구성을 나타낸다.

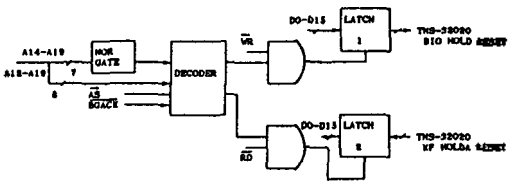

그림 5. TMS-32020의 controll용 Latch의 구성

이상의 모든 과정은 IBM-PC의 terminal mode에 의해 MC-68K를 통해 수행된다.

Ⅳ. data acquisition unit

다음의 그림6은 TMS-32020의 memory 공간의 interface된 data acqusition unit 의 구성도이다. 사용한 A/D, D/A converter는 12 bit의 해상도를 갖도록 하였다.

다음의 그림7은 A/D, D/A conversion buffer 구동회로의 구성도 이다.

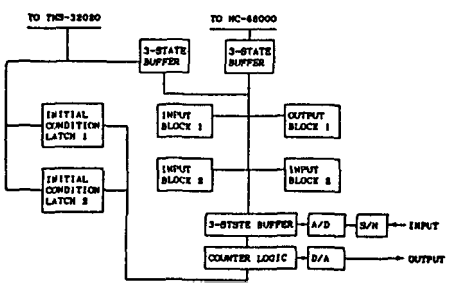

그림 6. data acqusition의 구성도

data acquisition에 사용된 clock은 ϕ로 부터 4분주 decode된 $Q_0 \sim Q_{12}$를 이용하였다. Q_0는 sample and hold에서 sample용 펄스및 A/D coverter의 conversion start command용 펄스, $Q_1 \sim Q_{10}$은 A/D conversion time 확보용, Q_{11}은 buffer memory의 $\overline{WR}$ enable 펄스, Q_{12}는 buffer address counter용 clock로하여 13개의 ϕ펄스에 대해 smaple을 처리 하도록 하였고 같은 sampling 주파수와 buffer의 address에 대해 D/A conversion이 수행 되도록 구성 하였다. 또 buffer address counter는 latch에 저장된 최대 번지수와 같은 경우 "0"으로 reset되도록 하여 한 buffer block의 크기를 가변 할수 있게 하였으며 1 block의 번지수가 $\phi \sim$최대 번지까지 count되면 다시 다음 block의 ϕ번지 부터 연결 되도록하여 A/D, D/A의 buffer들이 각각 최대 번지 +1개의 word단위로 번갈아 conversion이 되도록 하였다.

다음의 그림8,9은 A/D, D/A block의 구성을 나타낸다.

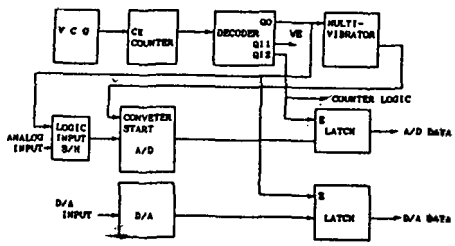

그림 7. A/D, D/A conversion buffer 구동회로.

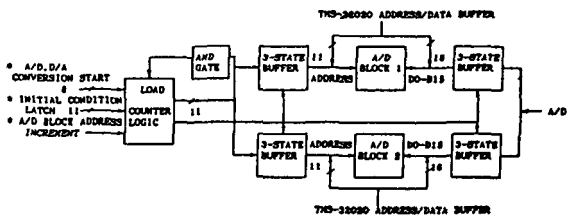

그림 8. A/D converterolumit의 구성도

또한 ϕclock을 VCO(voltage-controlled-oscilator)로 사용하여 최저 100Hz~최대20KHz의 sampling

주파수를 갖도록 하였다. 이상과 같은 방법으로 DSP는 1block에 해당하는 data를 다른 한 block의 conversion 시간 동안에 처리 할수 있게 되며 같은 속도의 D/A출력은 1block 만큼의 시간 지연을 갖고 연속적으로 발생 될수 있도록 한다. DSP는 3-state butter를 통해 conversion이 완료된 A/D converter의 block의 data를 처리 한뒤 D/A buffer로 출력하고 이어서 A/D conversion buffer가 바뀌어 질때까지 대기 하게 된다. 또한 DSP측에서는 main-routin 처리전에 사용 buffer의 길이를 latch1에 저장하고 program처리 중에는 latch2를 통해 변환중인 buffer의 number를 check 한다. buffer의 길이를 1h로 하면 samble by sample의 processor도 가능하며 설계된 system에서는 최대 길이를 2048개로 설계 하였다.

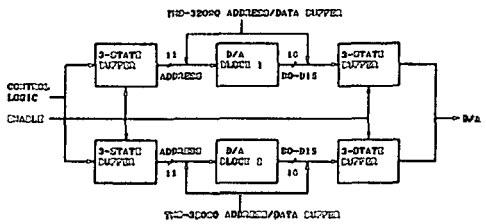

그림 9. D/A converter unit의 구성도

다음의 그림10.11은 conversion command용 latch1과 conversion monitor용 latch2의 bit할당을 나타낸다.

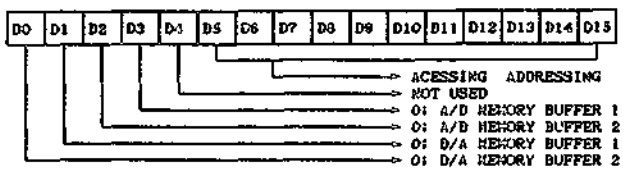

그림10. coversion command용 Latch1의 bit 할당

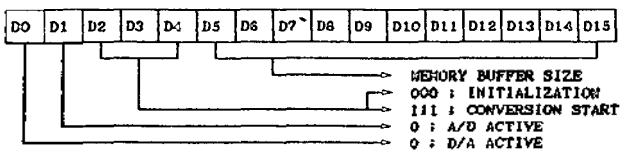

그림 11 coversion command용 Latch2의 bit 할당

V. DSP system의 S/W 수행 procedure.

다음은 본 연구에서 개발된 평가용 system program 수행의 순서이다.

우선 simulator S/W로서 source program을 작성하고, 이를 compile, link과정을 거쳐 PC상에서 simulation 을 하여 dummy data로 처리 결과를 확인한다. 수행시 필요한 TMS-32020의 소요시간은 simulation에 의해 clock수로서 표시 되므로 실제 처리시간으로 환산하면(1 clock당 200nsec) 전체 data block을 처리하는 시간이 된다. 이를 기초로 sampling속도와 data량에 대한 실시간 처리 여부가 판정되며 block당 data량을 감소 시키면 처리에 요구되는 시간은 줄어 든다. 이러한 과정을 반복하여 program이 완성되면 op-code file로 변환시켜 이를 RS-232C를 통하여 MC-68K로 전송한다. MC-68K의 제어는 IBM-PC의 terminal mode로 수행한다. MC-68K의 assembly program에 의해 $\overline{\text{HALT}}$선을 "0"로 하여 TMS-32020측의 신호선을 high-z 상태로 하고 program및 data memory상으로 옮긴다. down load가 완료되면 latch를 통해 DSP를 reset한후 activate시킨다. 이상의 과정을 거쳐 DSP system은 작성된 S/W를 수행한다.

Ⅳ. 결 론

PC, controller-processor 및 DSP로 구성된 평가용 system은 그 기능이 분리 되어 있어 다음과 같은 장점을 갖는다. 첫째 simulator soft-ware에 의한 program의 debugging 및 처리시간 환산이 가능하다는 것과 둘째 memory 공간이 충분한 controller-processor에 의해 다른 종류의 DSP system도 동시에 구동할수 있다. 세째 IBM-PC상의 memory 공간을 차지 하지않으므로 대용량의 DSP system도 구현이 가능하다.

특히 본 연구에서 설계된 A/D, D/A converter용 I/O buffer는 처리 block의 길이 sampling 주파수 등이 S/W에 의해 가변되므로 그 응용에 있어서 H/W 의 유연성을 갖는다고 볼 수 있다.

결론적으로 본 연구에서 개발된 평가용 system은

simulator S/W와 DSP chip만으로서 구현이 가능하며 다중의 DSP unit에 의한 multi-processor 또는 stand-alone 형태의 장비로도 응용이 기대된다.

본 연구는 한국과학재단 연구비 지원으로 이루어졌음.

참 고 문 헌

1. Y.S. Wu, "Architectual consideration of a signal processor under micro program control," in 1972 Spring Joint Computer. Conf., AFIPS Conf. proc., Vol. 40, May 16-18, 1972, pp.675-683.
2. R.White and H.T.Nagle, Jr., "Digital filter realization using a special purpose stored-program computer," IEEE Trans. Audio Electroacoust., Vol. AV-20, pp.289-294, oct., 1972.
3. A.peled, "On the hardware implementation of digital signal processors," IEEE Trans. Acoust., Speech, Signal processing, Vol. ASSP-24, pp.76-86, Feb.1976.
4. ____," A digital signal processing system," in proc. Int. Conf Acoust., Speech, sig, proc., 1977, pp.636-639.
5. L.Mintzer, "A microprogrammable signalprocessor, "in proc. Int. conf. Acoust. Speech sign. proc., 1977, pp494-497.
6. Y. Neuvo, K.Ropponen, and O.simula, "A fast microprogram med digital filter design," in proc. Int. Conf. Acoust., Speech, Sign. Proc., 1977. pp 523-526
7. J.S. Tompson, "Digital signal processor architecture for voice band communications," in Not. Telecommun, Conf. Rec., Dec. 2-4, 1974, pp501-506.
8. K.Watanabe, K.Inoue, and T.sato, "A 4800bit/s microproce ssor data modem," IEEE Trans. commun., Vol. COM-26, pp493-498, May 1978.
9. A. Croisier, D.J.Esteban, M.E. Levillion, and V.Riso, " Digital filter for PCM encoded signals," U.S. patents3 777 130, Dec 4, 1973.
10. Tsuneo Funabashi, Katsuaki Takagi, Toshiro Tsukada, Hideo Nakamura, and Michio Hara"An N-MOS micro computer peripheral interface unit incorporating an analog to Digital Converter. IEEE Trans on Computers, Vol, C-29, No.2, February 1980
11. Rodger A.Cliff "Digital Multiplexing of analog data in a michoprocessor controlled data acqusition system" IEEE Transaction on computer, Vol. C-29, No.2, February 1980.
12. R.W. watson, Timesharing system Design Concepts. NewYork: Mcgraw-Hill, 1970, pp.216-227.
13. WENC. LIN, CHIN HV FENG, MICHAEL R. NEUMAN "A micro processor-Based Data Acqusition and processing system for studying the kinematics of Labor, "PROCEEDINGS OF THE IEEE., Vol. 65, No. 5, MAY, 1977.
14. DANIEL TABAK, and G.J.LIPOVSKI" Move Architecture in Digital Conrollers" IEEE. TRANSACTION ON COMPUTERS, VOL.C-29 NO.2, FEBRUARY 1980.
15. Advance Information, "Motorola-Semiconductor."
16. MC 68000 Educational Computer Board User's Manual, Motorola semiconductors, 1982.
17. TMS 32020 User's Guide, Texas Instruments, 1985.
18. Digital signal processing Application with the TMS 320 Family, Texas Instrument.

△안 동 순

1953년 8월 15일생
1982년 2월 원광대학교전자공학과 졸업(공학사)
1985년 2월 연세대학교 대학원 전자공학과졸업(공학석사)
1986~현재 연세대학교 대학원 전자공학과 박사과정 재학중

△서 호 선

1957년 8월 17일생
1981년 2월 연세대학교전자공학과 졸업(공학사)
1983년 2월 연세대학교대학원 전자공학과졸업(공학석사)
1983년~현재 연세대학교 대학원 전자공학과 박사과정 재학중

※차일환 : 1987년 6월호 참조