

# Polycide구조로 저압화학증착된 $WSi_x$ 박막의 열처리에 따른 거동

## Effects of Annealing on the Properties of $WSi_x$ Films in Polycide Structure Formed by LPCVD Method

이 재 호\* · 임 호 빈\*\* · 이 종 무\*\*\*  
(Jae-Ho Lee · Ho-Bin Im · Chong-Mu Lee)

### 요 약

$WSi_x$ 박막을 Polycide구조로 저압화학증착법에 의해 제작한 후, 열처리를  $N_2$ 분위기에서 30분간 여러온도로 수행하였다.

$WSi_x$ 박막의 전기비저항은 열처리온도의 증가에 따라 감소하였으며  $1000^\circ C$  이상으로 열처리한 시편의 경우, 하부 다결정실리콘층의 도우핑여부에 관계없이  $35 \mu\Omega\text{-cm}$  정도를 나타내었다.  $560^\circ C$ 의 열처리에서  $WSi_x$ 박막은 정방정의  $WSi_2$  결정질로 결정화가 되기 시작하였고 열처리온도의 증가에 따라  $WSi_2$  결정립의 성장도 관찰 되었다.

열처리온도에 따른 전기저항의 변화는  $WSi_x$ 박막의 결정립크기와 밀접한 관계가 있었다. 증착된  $WSi_x$ 박막내의 광인실리콘원자들이 열처리중에 하부의 다결정실리콘층으로 재분배됨을 AES 분석에 의해 확인하였다. Hall측정결과  $900^\circ C$  이상으로 열처리된 시편은 Hole도전체의 거동을 나타내었고,  $800^\circ C$  이하로 열처리된 시편은 electron도전체의 거동을 나타내었다.

### ABSTRACT

Tungsten silicide( $WSi_x$ ) films in Polycide structure were fabricated by low-pressure chemical-vapor-deposition(LPCVD) method and were annealed in  $N_2$  for 30 mins at various temperatures.

The electrical resistivity of films decreased with increasing annealing temperature and

\*삼성반도체 기흥연구소

\*\*한국과학기술원 재료공학과

\*\*\*인하대학교 금속공학과

reached to 35  $\mu\Omega$ -cm in the films that annealed above 1000°C, regardless the doping conditions of the polysilicon substrate. The X-ray and SEM analyses indicate that crystallization of tetragonal  $WSi_2$  takes place at 560°C and grain size increases with increasing annealing temperature up to 1000°C. The variation of electrical resistivity with annealing temperature is closely related to that of grain size. Depth profile analysis by AES method indicates that the excess Si atoms in the as-deposited  $WSi_x$  films were redistributed onto polysilicon substrate layer during the annealing. By Hallmeasurements, it was found that the carriers for specimens annealed above 900°C were positive holes while the carriers were electrons for specimens annealed below 800°C

## 1. 서 론

금속실리사이드(metal silicide)는 1960년대 중반, 실리콘에 대한 contact재료로서 처음 등장한 이래<sup>1)</sup>, 반도체소자의 다양화 및 집적화라는 세계적인 추세에 따라 소자의 층간배선(inerconnection) 및 게이트전극(gate electrode)으로써 그 개발이 진행되어 왔다. 종래까지 사용되어 오던 다결정실리콘(polysilicon)재료는 그 높은 전기저항 때문에 RC지연시간 및 IR전압강하 등에 의한 소자성능의 열세를 면할 수가 없었고 따라서 집적화에 부합하는 낮은 전기저항을 갖는 대체재료가 요구되는 시점에 이르렀는데, 이에 따라 등장한 재료중의 하나가 텅스텐실리사이드(tungsten silicide) 재료<sup>2)</sup>이다.

텅스텐실리사이드재료는 다결정실리콘재료보다 전기전도도면에서 월등히 우수할 뿐 아니라(1-order) stoichiometric한 조성( $W/Si=1/2$ )에서는 2165°C라는 고융점을 갖는 재료이므로 제조상 부수하는 고온공정 및 화학공정에서 매우 안정하고, Polycide구조를 취할 때에 특히 하부층과의 우수한 부착성 및 안정된 산화특성등을 나타내므로 각광을 받고 있다.

본 실험에서는 위와같은 텅스텐실리사이드 박막을 polycide게이트( $WSi_x/Polysilicon/SiO_2$ )의 형태로 저압화학증착법에 의해 nonstoichiometric( $W/Si=1/2.6$ )한 조성으로 제작한 후, 후속 공정인 열처리를 여러조건에서 수행하고 이에따른 거동을 전기저항의 측정, X-선 회절, SEM(Scanning Electron Microscopy), AES(Auger Electron Spectroscopy) 및 hall측정 등의 방법을 통하여 분석하고, 이를 토대로 polycide구조를 취한 텅스텐실리사이드박막의 최적의 열처리조건을 추론하였다.

## 2. 실험 방법

### 2-1. 시편의 제작

원 재료인 직경이 5 inch(두께는 625 $\mu$ m)이고 boron을 도우핑한 P형  $Si(100)$  웨이퍼를 130°C의 온도로  $(NH_4)_2S_2O_8$  용액( $(NH_4)_2S_2O_8 : H_2O_2 = 3 : 1$ )에서 20분간 끓여 세정한 후, 텅스텐Polycide구조의 게이트를 만들기 위하여 950°C, ( $O_2 + HCl$ )분위기로 유지된 확산로에서 건식산화시켜  $SO_2$ 박막을 1000Å 성장시켰다.

이렇게하여 (poly-Si/ $SiO_2$ /Si-substrate)의 삼중구조를 형성한 후, 일부 시편을 900°C,  $N_2$ 분위기에서  $POCl_3$ 용액으로 50분간 반응시켜

다결정실리콘층에 phosphor를 도우핑하고, 이후에 남아 있을지도 모를 잔류산화막을 제거하기 위하여 100대 1 HF용액에 2분간 dipping 하였다. 텅스텐실리사이드박막을 증착하기 전에 다시 한번 모든 시편을 100대 1 HF용액에 2분간 dipping시킨 후 Genus83이 LPCVD장비를 이용하여 텅스텐실리사이드박막을 증착하였는데, 증착온도와 압력은 각각 360°C와 200mTorr, 운반기체는 He 그리고 증착원료인  $WF_6$ 와  $SiH_4$ 기체는 각각 16 및 1900Scm(standard cubic centimeter per minute)을 동시에 주입하여 2000Å의 두께를 증착하였다. 다음 모든 시편을  $N_2$ 분위기의 확산로에서 열처리온도를 560°C, 800°C, 900°C 및 1000°C로 변화시키면서 각각 30분간 열처리하였다.

## 2-2. 시편의 분석

텅스텐실리사이드박막의 열처리에 따른 상온전기저항의 변화를 관찰하기 위하여 4-point probing법과 van der Pauw법 등의 측정법을 병행해서 사용하여 두 측정방법에 의한 결과를 비교해 보았으며, 미세구조적인 면에서의 변화를 분석하기 위해 X-선 회절법과 SEM을 이용하였고, 텅스텐실리사이드박막의 열처리조건에 따른 전기적수송특성을 관찰하기 위하여 Hall측정을 실온에서 수행하였다. 본 시편의 각 열처리조건에 따른 박막층 간 상대적인 조성의 변화를 관찰하기 위하여 Perkin-Elmer사의 PHI4300 AES장비를 활용하였다.

## 3. 결과 및 고찰

열처리온도에 따른 각 시편 상온판저항의 4-point probing법에 의한 측정결과와 van der Pauw법에 의한 상온전기비저항을 환산한 전

기판저항의 결과를 그림 1에 나타내었다. 저압화확증착된(as-deposited) 상태에서는 그 전기판저항이 대략  $23\Omega_{/sq}$ ( $420\mu\Omega\text{-cm}$ )정도였으나, 열처리온도의 상승에 따라 점차 감소하여 1000°C이상의 열처리에 이르러서는 1-order정도 낮은  $2.6\Omega_{/sq}$ ( $35\mu\Omega\text{-cm}$ )이하로 감소되었다. 텅스텐실리사이드박막( $WSi_x$ )의 하부에 다결정실리콘층이 접합된 구조에서의 전기저항이기 때문에, 이 하부층과의 병렬저항 문제를 고려하면 단순히  $WSi_x$ 박막의 전기저항이라고 단정지을 수는 없지만, 그림 1에서와 같이 하부 다결정실리콘층에 불순물 P가 도우핑된 경우에도 도우핑되지 않은 시편의 저항과 별 차이가 없는 것으로 보아서, 본 저상이  $WSi_x$ 박막 자체의 저항이라고 말할 수 있겠다. 또, 4-point probing법에 의해 직접 측정한

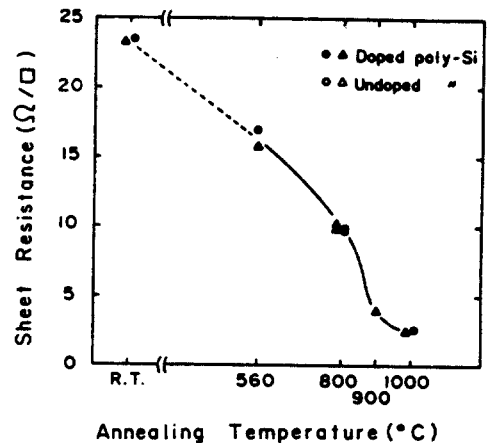


그림 1. 각 열처리온도에 따른 4-point probing법에 의한 상온 판저항(● ○); van der Pauw법에 의해 측정된 상온 비저항을 상온 판저항으로 환산한 DATA(△ ▲)

Fig. 1. Sheet resistance at R. T. using 4-point probing method (● ○) as a function of annealing temperature; The converted data of resistivity using van der Pauw method to sheet resistance (△ ▲) are added.

결과와 van der Pauw법에 의해 얻은 전기저항을 판저항으로 환산한 결과의 유사성으로부터, 저압화학증착된  $WSi_x$ 막과 같은 균일한 박막상태의 시편의 경우에는 위의 두 방법이 서로 호환성이 있음을 확인 할 수 있다.

이와같은 열처리온도의 증가에 따른 전기저항의 변화를 구체적으로 분석하기 위해 X-선 회절분석을 행하였는데, 그림 2에 이를 나타내었다. 이들은  $WSi_x$ 층 하부 다결정실리콘층에 불순물 P가 도우핑되지 않은 경우이며, P가 도우핑된 경우에도 이와 매우 유사하기 때문에 불순물 도우핑이 되지 않은 경우에 결과만을 실었다. (a)의 as-deposited된 시편의 결과를 관찰하면 4개의 peak가 존재하고, 이는 모두 다결정실리콘의 peak임을 확인할 수 있었다.<sup>3)</sup> 이들 peak와 더불어 배경(background)이 존재함을 볼 수 있는데, 이 배경이 열처리된 시편에서는 거의 사라져가고 있고 상대적으로 (a)에서는 볼 수 없는  $WSi_2$  tetragonal peak<sup>4)</sup>가 (b)에서 나타나며, 열처리온도가 증가할수록 그 peak들의 높이는 증가하고 폭이 좁아지는 것으로 보아 (a)의 배경은 대부분이 as-deposited된 상태의  $WSi_x$ 박막의 신호로 간주할 수가 있고 따라서 as-deposited된  $WSi_x$ 박막은 비정질형(amorphous)이었다고 할 수가 있는 것이다. 또한, 열처리온도의 증가에 따라 그림 2의 (b), (c), (d) 및 (e)에서 관찰되듯이  $WSi_{12}$ peak의 그 높이 증가와 peak선폭의 감소 현상으로부터,  $WSi_x$ 막의  $WSi_2$ 결정으로의 결정화 뿐만 아니라 결정립 성장도 추측할 수가 있는데, 이는 그림 3의 전자현미경사진으로부터 뒷받침되는 결과이다.

그림 3의 전자현미경사진으로부터 as-deposited된 시편과 800°C이하 열처리시편의 사

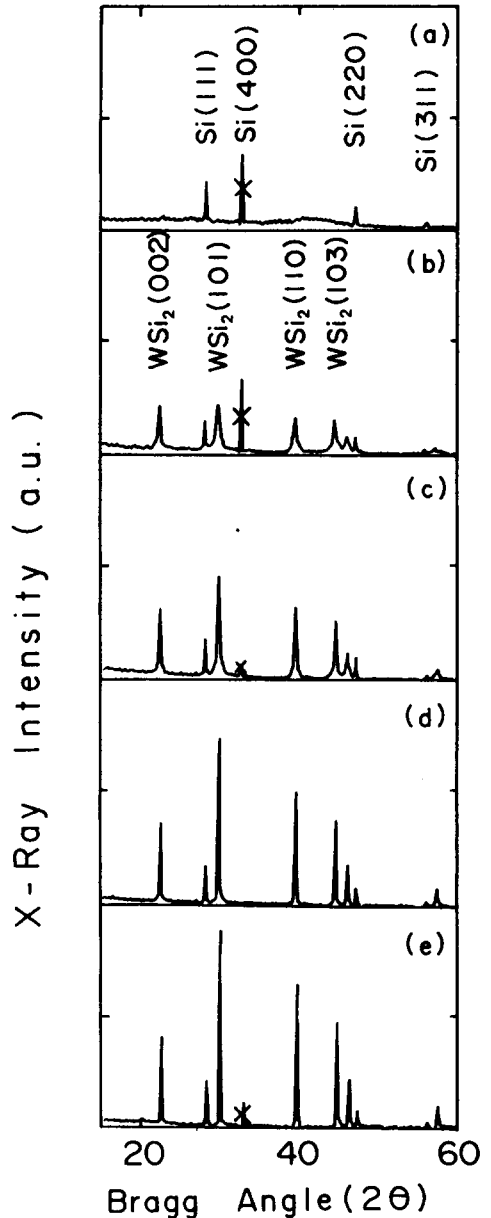


그림 2. 여러 온도로 열처리된 시편의 X-선 회절 패턴 ;

(a) as-deposited, (b) 560°C, (c) 800°C, (d) 900°C, (e) 1000°C

Fig.2. X-ray diffraction patterns for the specimen annealed at various temperatures ; (a) as-deposited, (b) 560°C, (c) 800°C, (d) 900°C, (e) 1000°C

진에서는 거의 차이점을 발견할 수가 없고 1000°C 이상의 시편에 가서야  $WSi_x$  박막의 두께 감소(~20%)와 더불어, 그 두께 크기로의 결정립 성장이 상당히 진행되었음을 볼 수가 있다. 즉 이 두가지 분석방법에 의한 결과를 놓고 판단할 때, as-deposited 된 상태에서는 비정질형의  $WSi_x$  박막이 열처리온도의 증가에 따라 정방정(tetragonal)의  $WSi_2$  결정질 박막으로 결정화 및 결정립의 성장이 이루어 졌음을 확인할 수가 있다. 그러면, 앞의 열처리온도의 증가에 따른 전기저항의 감소와  $WSi_x$  박막의  $WSi_2$  결정질로의 결정립 성장과의 사이에 어떤 관계가 있을 것으로 추론해 볼 수 있고, 이러한 관점에서 열처리온도에 따른  $WSi_2$  결정립의 크기 변화와  $WSi_x$  박막의 전기저항의 변화와의 관계를 그림 4에 직접 비교하여 나타내었는데, 그림에서 확인되듯이 열처리온도의 상승에 따라  $WSi_x$  박막의 전기비저항은 감소되는 반면,  $WSi_x$  박막내의  $WSi_2$  결정립크기는 증가하였다. 이로부터 열처리온도의 증가에 따른  $WSi_x$  박막의 전기저항의 감소는  $WSi_2$  결정립의 입자크기와 직접적인 관계가 있는 것으로 생각 할 수 있는 것이다.

한편, 최초에  $WSi_x$  박막의 증착 당시에 부착성(adhesion) 등을 고려하여 하부에 다결정

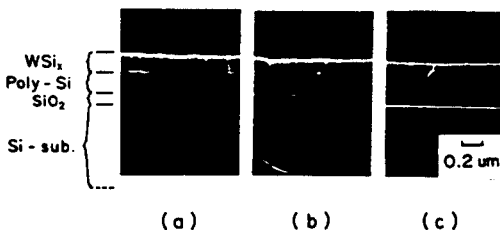


그림 3. 각 시편의 SEM단면 사진 ; (a) 증착만 한 시편, (b) 800°C 열처리, (c) 1000°C 열처리  
Fig.3. SEM photomicrographs of fractured cross-section ; (a) as-deposited, (b) annealed at 800°C, (c) 1000°C

실리콘층을 취한 실리콘과잉의  $WSi_x$  구조로 시편을 제작하였으므로, 열처리에 따른 이들 과잉실리콘의 거동에 관심을 갖지 않을 수 없고 이의 고찰을 위하여 as-deposited, 800°C 및 1000°C에서 열처리된 시편을 각각 AES 분석하였다.

각 시편의 깊이거리에 따른 각 원소(W, Si 및 O)의 상대적인 거동(depth profile)을 관찰하기 위해, 먼저 각 시편의 표면을 AES장비에 장착된 이온 gun으로 30초동안 sputtering 하여 오염된 표면부를 제거한 후, 이온 beam 과 전자 beam을 번갈아 가면서 주사하여  $WSi_x$  막 표면으로부터의 각 원소의 상대원자 농도 분율을 얻었다. 그림 5는  $WSi_x$ 가 as-deposited된 시편의 depth profile을 나타내고 있는데, ( $WSi_x$ /poly-Si/ $S_i$ /substrate)의 각 박막층 및 계면이 상대적으로 균일하고 명확히 구분지어져 있는 것을 확인할 수가 있다. 800°C 열처리시편의 결과는,  $WSi_x$  박막층 내에

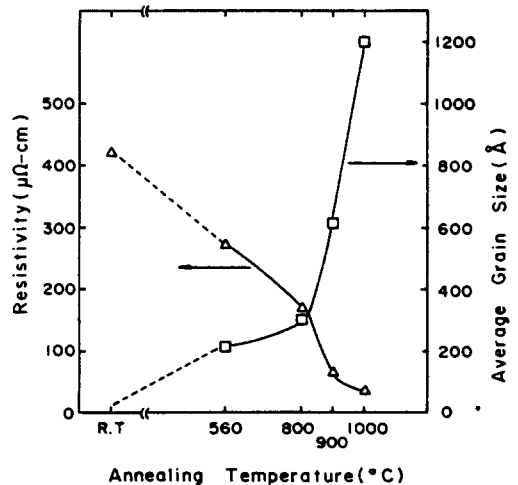


그림 4. 각 열처리온도에 따른  $WSi_x$  박막의 상온 비저항과  $WSi_2$  결정립 평균 크기와의 비교  
Fig.4. The electrical resistivity at R. T. and the average grain size of  $WSi_x$  films as a function of annealing temperature.

서의 국부적인 조성의 요동(fluctuation)을 제외하고는 as-deposited된 시편의 경우와 별 차이가 없는 것으로 관찰되었다.  $1000^\circ\text{C}$  열처리 시편의 경우는 앞의 두 결과에 비해,  $WSi_x$  박막층내의 S/W의 조성비가 상대적으로 크게 감소하였고, 또 다결정실리콘층의 두께가  $WSi_x$  막과 접한 경계에서 다소 증가한 사실을 관찰할 수가 있었다. 먼저, 텅스텐실리사이드막내의 S/W 상대조성의 변화를 구체적으로 확인하기 위해 그림 6에 W와 S의 Auger peak height를 직접 비교한 결과를 나타내었다. 그림에서 명백하듯이  $1000^\circ\text{C}$  열처리시편의 경우에 S/W의 비가 뚜렷히 감소하였고, 이같은 현상은 W-S의 2원계상태도와 S/W의 비가

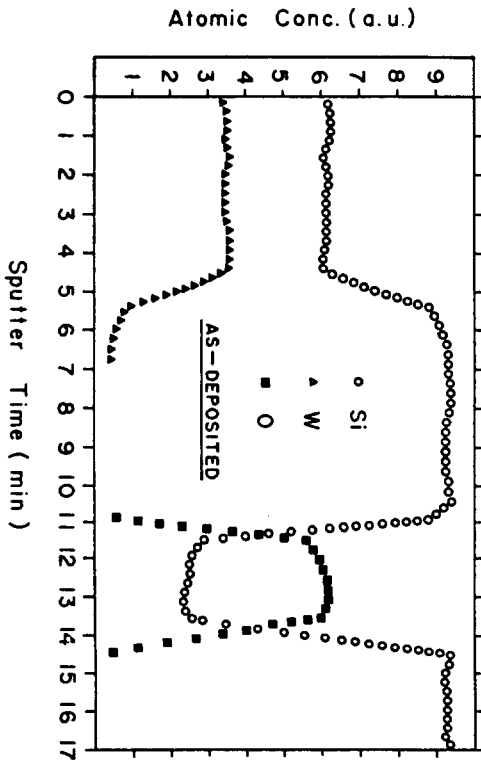


그림 5. 증착 만 한 시편의 깊이거리에 따른 AES profile.

Fig. 5. AES depth profile for as-deposited specimen.

2.0의 조성에서 가장 큰 실리사이드 생성열 ( $22.2\text{Kcal/metal atom}$ )<sup>5)</sup>을 발산한다는 사실로부터 이것이  $WSi_x$ 막 내의 조성균질화(homogenization) 1차 구동력으로 작용하였고, 또,  $WSi_x$ 막 내부에 과잉실리콘이 어떤 형태로든 존재하고 있기 때문에 이 과잉실리콘이 하부의 다결정실리콘층으로 도포되는 과정이 열역학적으로 안정하여 이와같은 고온 열처리의 경우에 2차 구동력으로 작용했다고 할 수 있는 것이다. 한편, 앞의 전자현미경 사진으로부터 관찰된  $1000^\circ\text{C}$  열처리시편의 경우  $WSi_x$ 박막의 큰 두께감소 현상은  $WSi_2$ 결정질의 결정화에 의한 것일 뿐만아니라,  $WSi_x$ 막 내의 과잉실리콘이 하부 다결정실리콘층으로 동시에 재분배되었기 때문에 나타난 결과라고 생각할 수가 있다. 이렇게 하여  $WSi_x$ 박막은 열처리가 진행됨에 따라 그 전기저항이 감소하고 이와관련하여  $WSi_2$ 결정립의 성

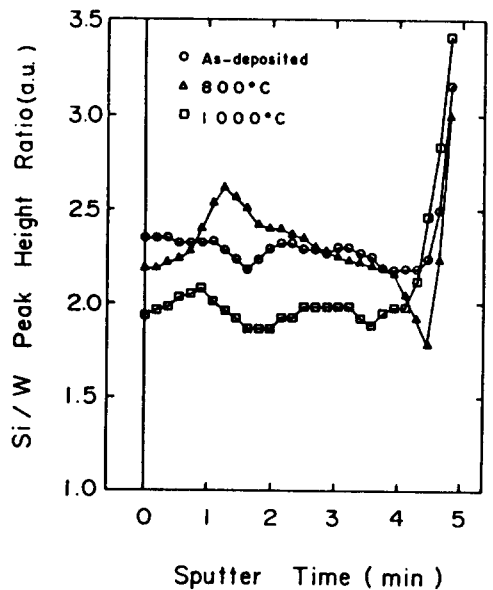


그림 6.  $WSi_x$ 박막내에서 깊이거리에 따른 상대적인 Si/W의 비율 나타내는 AES profile.

Fig. 6. AES depth profiles of the  $WSi_x$  film, showing Si/W ratio.

장과 특히, 1000°C 열처리와 같은 고온 열처리의 경우에 과잉실리콘의 재분배 현상이 동시에 일어남을 관찰하였는데, 과잉실리콘의 재분배 현상에 의한  $WSi_x$  박막의 전기적수송특성의 변화를 예측해 볼 수가 있고, 이를 위해 Hall 측정을 수행한 결과를 그림 7 및 표 1에 나타내었다.

그림 7로부터 각 열처리온도에 따른  $WSi_x$  박막의 전기적수송특성의 명백한 변화를 관찰할 수 있는데, 800°C 이하의 열처리시편에서는 걸보기 carrier 농도가  $10^{21}/cm^3$  크기 이하의 electron conductor의 특성을 나타내었고, 900°C 이상의 열처리시편에서는  $10^{22}/cm^3$  크기 이상의 hole conductor의 특성을 나타내었다. 이

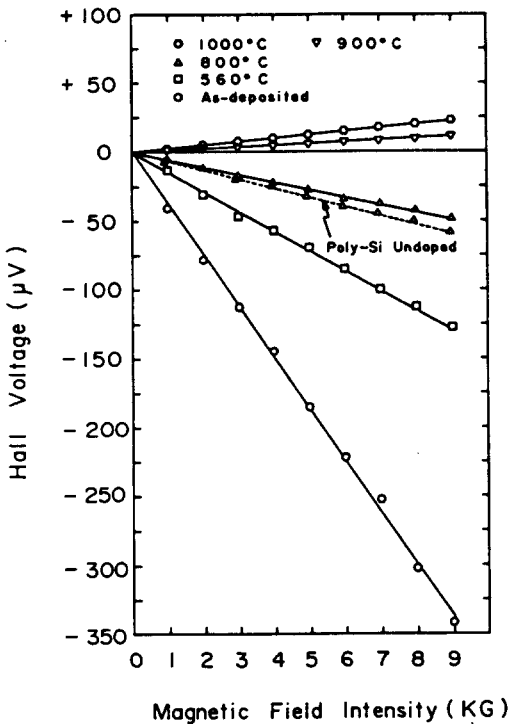


그림 7. 각 온도로 열처리된  $WSi_x$  박막의 자기장에 따른 HALL 전압의 변화.

Fig.7. Hall voltages of the  $WSi_x$  films annealed at various temperatures as a function of magnetic field intensity.

들 carrier 농도의 거동으로 미루어  $WSi_x$  박막은 metal 급의 전기적수송특성을 가진다고 할 수 있으며, 이는 단순한 에너지밴드 모델로는 설명될 수 없을 것이고, 최근에 Bado<sup>3</sup>) 등이 제안한  $WSi_2$  화합물(A: 천이금속원소)의 전기적수송특성에 관한 모델에 비추어,  $WSi_2$  박막이 '엄격히 보상된 준금속(strictly compensated semimetal)'이기 때문에  $WSi_x$  박막의 조성비(stoichiometry), 막질(film quality) 등의 상태가 약간만 변화하여도 에너지밴드 구조가 바뀌게 되고 또,  $WSi_2$ 에 도우평하는 효과를 갖게 되어 Hall 상수의 부호 및 carrier 농도가 위와같이 조정되었다고 할 수 있다.

본 실험의 경우에는 800°C와 900°C 열처리시편 사이에서 Hall 상수의 부호가 바뀌는 현저한 전기적수송특성의 변화가 나타났고, 이

PARAMETER SPECIMEN	HALL CONST. ( $cm^3 / C$ )	APPARENT CARRIER DENS. ( $/ cm^3$ )	HALL MOBILITY ( $cm^2 / V \cdot sec$ )
1000°C Poly-Si doped	$+ 3.63 \times 10^{-4}$	HOLE $1.71 \times 10^{22}$	10.27
1000°C Poly-Si undoped	$+ 3.59 \times 10^{-4}$	HOLE $1.73 \times 10^{22}$	9.87
900°C Poly-Si doped	$+ 1.83 \times 10^{-4}$	HOLE $3.41 \times 10^{22}$	3.00
900°C Poly-Si undoped	$+ 1.87 \times 10^{-4}$	HOLE $3.33 \times 10^{22}$	3.07
800°C Poly-Si doped	$- 8.81 \times 10^{-4}$	ELECTRON $7.08 \times 10^{21}$	5.36
800°C Poly-Si undoped	$- 1.07 \times 10^{-3}$	ELECTRON $5.83 \times 10^{21}$	6.33
560°C Poly-Si doped	$- 2.44 \times 10^{-3}$	ELECTRON $2.55 \times 10^{21}$	9.04
560°C Poly-Si undoped	—	—	—
As-deposited Poly-Si doped	$- 6.80 \times 10^{-3}$	ELECTRON $9.18 \times 10^{20}$	16.05
As-deposited Poly-Si undoped	—	—	—

표 1. 각 온도로 열처리된 시편의 HALL 데이터.  
Table 1. Hall data for the specimen annealed at various temperatures.

사실과 앞의 AES결과로부터, 이들 두 온도를 기점으로 과잉실리콘의 재분배가 활발히 진행되었을 것으로 추론해 볼 수 있다.

#### 4. 결 론

열처리온도를 증가시킴에 따라  $WSi_x$  박막의 전기저항은 점차로 감소하였으며  $1000^\circ\text{C}$  이상의 열처리시편의 경우에  $35\mu\Omega\text{-cm}$ 이었다. 열처리온도의 증가에 따라 동시에  $WSi_x$  박막의  $WSi_2$  결정질로의 결정립성장이 진행되었고 이로부터,  $WSi_x$  박막의 전기전도도와  $WSi_2$  결정립크기 사이에는 서로 직접적인 관계가 있음을 알 수 있었다.  $1000^\circ\text{C}$  정도의 고온 열처리의 경우에는  $WSi_x$  막 내의 과잉실리콘이 하부의 다결정실리콘층으로 재분배 됨을 AES 분석을 통하여 확인하였다. Hall 측정결과,  $900^\circ\text{C}$  이상의 열처리시편의 경우 carrier 농도가  $10^{22}/\text{cm}^3$  크기인 Hole conductor의 전기적 수송특성을 보이는 반면,  $800^\circ\text{C}$  이하의 열처리시편의 경우는 carrier 농도가  $10^{21}/\text{cm}^3$  크기 이하의 Electron conductor의 특성을 나타내었는데, 이는 위의 과잉실리콘의 재분배와 밀접한 관

련이 있는 것으로 사료된다. 이상으로써,  $1000^\circ\text{C}$  열처리의 경우에  $WSi_x$  박막의 전기저항이 초대규모집적소자의 동작에 적합할 정도로 낮을 뿐 만 아니라 박막의 상태도 매우 양호하므로 적당한 열처리조건으로 사료된다.

#### 참 고 문 헌

- 1) M. P. Lepselter ; *Bell Syst. Tech. J.*, **45**, 233(1966)
  - 2) B. L. Crowder et al ; *IEEE Trans.*, ED-26, (4) 369(1979)
  - 3) Standard Diffraction Powder Pattern #5-0565.
  - 4) Standard Diffraction Powder Pattern #11-195.
  - 5) S. P. Murarka ; '*Silicides for VLSI Applications*', Academic Press, London, 73(1983)
  - 6) P. A. Badoz et al ; *J. Appl. Phys.*, **62**, (3) 890(1987)
- (1989년 1월 26일 접수)