

論 文 要 約

90-46 : 하드웨어 설계용 언어의 실현  
李明浩 · 李近萬

본 논문에서는 복잡한 디지털 시스템 설계를 위해 하드웨어 기술 언어와 하드웨어 컴파일러에 관해 정의한 후, 레지스터 전송 알고리즘을 이용하여 데이터 부시스템의 테이블을 생성하는 번역기를 실현하였다.

90-47 : 영문자 인식 및 전처리용 신경칩의 설계  
南鎬元 · 鄭鎬宜

영문자 및 기호를 인식할 수 있는 프로그램을 개발하였으며, 이 소프트웨어로 전처리 수행한 결과 속도의 한계성이 있었다. 이 속도의 한계를 극복하고자 신경회로망 알고리즘을 이용해 전처리 과정용 집적회로 칩을 설계하였다. 설계된 칩은 삼음계기, 선형화, 세선화 및 특징점 추출을 위한 것이다. 이 칩들은 단층 구조 퍼셉트론 신경회로 모델에 따라 CMOS 이중 금속 2 $\mu$ m 설계 규칙에 의해 설계되었다.

90-48 : Source Coupled FET Logic을 이용한 4:1 병렬 ADC 설계  
尹夢漢 · 朴明護 · 李相元 · 李亨宰

본 연구에서는 기존의 SCFL(Source Coupled FET Logic)회로보다 고속 저전력 특성을 지닌 회로를 설계하였다. 설계된 SCFL을 이용하여 4:1 병렬 A/D 컨버터를 구성, 시뮬레이션 한 결과 비교기(Comparator 혹은 양자화기)는 66MHz

입력신호와 2GHz 샘플링 주파수에서 Integral Nonlinearity 는  $\pm 28mV$ 로 한계치  $\pm 68mV$ 보다 훨씬 작으며, ADC 설계시 150여개의 소자를 줄여 전력소비 0.43mW를 실현케 하였다.

90-49 : 전원동기를 이용한 스펙트럼 확산 전원선 통신장치의 구성  
李東郁 · 邊建植 · 金明起

Direct Sequence 스펙트럼 확산방식에서 전원동기를 이용한 전원선 통신장치의 구성을 제안한 것이다. 전원선은 주파수대역폭이 일반적으로 10 KHz-450KHz로 제한되어있고, 특히 동기회로가 복잡해져서 제작가격이 높아지며 또한 시스템 규모가 커지며 다중통신하기가 어렵다. 동기회로를 이루기 위해서 교류전원에 동기하는 전원동기 Clock 발생회로를 제안하고 어드레스 설정기를 두어서 다중통신을 가능하게 하였다.

90-50 : 최소대역폭 시스템을 위한 4승법 동기복구  
朴文泰 · 金大榮 · 姜昌求

동기복구에 대한 대부분의 기존 방법들은 비선형 최소대역폭 시스템에 대하여 적용할 수 없다. 그래서 최근에는 비선형 최소대역폭 시스템에서의 동기 복구 방법에 대한 관심이 높아지고 있다.

본 논문에서는 비선형 최소대역폭 시스템에 대한 동기복구 방법으로 4승법을 제안하였으며 제안된 방법이 최소대역폭 시스템에 대하여 실현 가능성을 엄밀한 분석을 통하여 보여 주었다. 더구나 4승법 비선형처리에 관련된 주변 여파기에 대한 최적 구성

전략을 설정하기 위하여 컴퓨터 시뮬레이션을 실시하였다. 그 결과 일반적으로는 중간 대역여과기가 필요없으며 전력분광 밀도가 대칭성을 가진 시스템에 대해서는 앞단의 대칭성형여과기 조차도 필요없음을 발견하였다.

---

**90-51 : 탄성표면과 콘벌버를 이용한 직접 시퀀스 대역 확산 통신에서의 DPSK 복조에 관한 연구**  
李東旭 · 趙寬 · 黃金燦

---

본 논문에서는 한 개의 탄성표면과 콘벌버를 사용한 직접 시퀀스 대역 확산 통신시스템에서의 DPSK 복조기를 제작, 실험을 하고, 이론적인 고찰을 하였다. 제작한 DPSK 복조 시스템은 SSMA를 위하여 각 데이터 마다 다른 코드로 대역 확산시켰으며, 코드 짝은 PSK로 변조하였다.

본 논문에서 제안한 복조 시스템의 출력은 시뮬레이션 과정과 같음을 확인하였으며, 이론적인 고찰 결과 두개의 콘벌버를 사용한 CSK 복조 시스템과 같은 성능을 보였다.

---

**90-52 : Slotted 1-Persistent CSMA / CD 버스 프로토콜의 성능 분석을 위한 시뮬레이션 알고리즘**  
朴相千 · 金東吉 · 金正善

---

본 연구는 근거리 통신망(Local Area Networks : LAN)에서 slotted 1-persistent CSMA / CD 버스 프로토콜의 실효 전송율(throughput) 특성을 연구하기 위한 시뮬레이션 알고리즘을 제안하고, 기존 시뮬레이션 알고리즘의 통계적 결과와 비교하여 제안된 알고리즘의 타당성을 검증하였다. 제안된 시뮬레이션 알고리즘은 각 스테이션들을 충돌 경험 횟수로 분류 각 그룹의 영향을 처리하였으므로, 각 스테이션의 영향을 처리한 기존의 알고리즘 보다 처리과정이 효율적이다. 또한 스테이션의 수를 증가시켜도 처리과정이 제한받지 않기 때문에 Busy / Idle 발생기에 적용하기에 매우 적합하다.

---

**90-53 : LAN을 이용한 고가용 시스템의 계층적 제어 알고리즘**  
梁志好 · 金東吉 · 金正善

---

본 논문은 지능망 서비스 제어 시스템에서 시스템의 신뢰도와 고가용성을 증진시키기 위해 LAN을 이용하여 시스템의 중요부분을 부하분담 구조 또는 중복구조로 다중화시켰을 경우 이를 효율적으로 운영관리하기 위한 망 상태관리 알고리즘인 계층적 제어 알고리즘을 제안한다.

제안된 알고리즘 검증을 위해 Petri-net을 이용하여 알고리즘을 모델링하고, reachability tree를 구성하여 알고리즘이 특정 노드의 장애발생과 무관하게 항상 운영 가능하며 알고리즘이 무결함을 입증하였다.

또한 기존방식과 제안된 방식간의 비교를 위해 망 상태 관리를 위하여 요구되는 메세지 트래픽의 양이 집중제어방식과 거의 유사함을 알수 있었다.

---

**90-54 : Wave Digital Filters의 성능에 관한 연구**  
李鎔鶴 · 劉守鉉 · 金在功

---

디지털 필터의 실현시 필터 계수를 유한어장으로 양자화할 때 계수 오차가 나타난다. 이 오차는 디지털 필터의 주파수 응답과 출력 특성을 변화시키고 특히 순환 필터에서는 계수 감도를 민감하게 하는 주요 원인이 된다.

본 논문에서는 비교적 계수 오차의 감도가 낮은 WDF(Wave Digital Filter)의 계수 감도 특성에 관하여 검토하였다. 고정 소숫점 양자화 방법을 이용하여 주파수 응답을 시뮬레이션한 결과 유한어장이 변화할 때 WDF의 주파수 응답이 기존의 cascade IIR필터에 비해 비교적 우수함을 보였다.

---

**90-55 : 지문영상의 복원과정과 특징점추출에 관한 연구**  
韓白龍 · 李大寧

---

본 논문은 지문영상의 복원 알고리즘과 특징점 추출에 관한 것이다.

지문영상의 복원은 잡음등에 의한 왜곡을 보정시키고, 지문에 갖는 여러가지의 특징을 보존 시키는데 그 목적이 있다. 복원 과정에서 세선영상의 방향 정보와 원래영상의 명암값을 이용하였으며, 특징점의 추출을 하기 위해서 샘플 매트릭스를 사용, 지문의 중심점을 추출하였다.

90-56 : 공개키 암호방식을 이용한 화일전송 모델의 연구

崔鎮卓 · 宋榮宰

본 논문은 화일전송 시스템에서 데이터 보호방법에 대하여 연구 하였다. 기존의 화일전송 시스템에서는 보호기법으로 시스템 사용 권한통제(password) 및 화일 접근통제방법(ACL)이 사용되고 있지만 데이터 자체보호는 하지 못하고 다만 허가되지 않은자의 접근을 통제하여 준다. 이러한 보호기법을 컴퓨터 침입자로 하여금 많은 위협을 받고있다. 제안된 시스템 구성은 높은 수준의 비밀유지보호(데이터 자체보호, 송신자 인증 등)를 위하여 화일전송에서 공개키 방법중 RSA 암호방식을 사용하여 최상의 비밀유지를 이룩할 수 있고 또한 이방법을 데이터 베이스에서 처리된 여러가지 문서취급에 쉽게 적용할 수 있는 새로운 대체 시스템에 대하여 연구 하였다.

90-57 : Block Cyclic Reduction 기법에 의한 大型 Sparse Matrix 線型2階 偏微分方程式의 효율적인 並列解 알고리즘

李秉洪 · 金正善

선형2계 편미분 방정식의 일반식에 대한 계수 매트릭스를  $(n-1) \times (n-1)$  submatrices로 나누어서 block tridiagonal system으로 변환한 후 cyclic odd-even reduction 기법을 응용하여 large grain data granularity로서 미지벡터를 구하는 block cyclic reduction 알고리즘을 작성했다.

그런데 이 block cyclic reduction 기법은 매 연산의 단계마다 병렬성이 변하여 병렬처리형 컴퓨터에는 적합하지 못하므로 이 기법을 변형해서 병렬성이 일정하며 실행시간이 보다 단축되는 block cyclic reduction 기법을 제안하고 이 기법에 의한 선형2계 편미분 방정식의 일반식의 解를 구하는 알고리즘을 작성하여 기존의 기법과 비교 고찰했다.

90-58 : Rayleigh 페이딩 채널에서 Discriminator 형 GMSK변복조기 수신 대역 필터의 영향

金南秀 · 權東昇 · 金英植 · 朴漢奎

본 논문에서는 육상 이동통신의 채널 환경인 fast Rayleigh 페이딩 상황에서 discriminator 형 GMSK 변복조기의 수신 대역 필터에 의한 성능을 분석한 S.Elnoubi<sup>(1)</sup>의 유도식을 이용하여  $B_b T = 0.25$ 인 경우의 최적 수신대역폭을 시뮬레이션하였으며, 실제 실험장치를 구현하여 측정한 결과와 비교 검토하였다. 그 결과 static 페이딩 ( $f_b T = 0$ )인 경우에는  $B_r T = 0.7$ 이 최적이나 fast 페이딩 ( $f_b T > 0$ )인 경우에는  $E_b / N_0$ 의 비가 크고, 페이딩 rate  $f_b T$ 가 클수록 필터에 의한 영향이 작다는 결론을 얻었다.

90-59 : EUC 環境分析과 對應戰略에 관한 연구

金容式

전통적 정보시스템과 그 개발방법이 application backlog의 증가 등 User의 다양한 개발요구에 적절히 부응할 수 없기 때문에 이에 대한 대안으로서 End User Computing(EUC)이 대두되었다.

따라서 EUC의 기대이익과 위험요소를 분석하고, 이를 시행하기 위한 적합한 모델이 필요하다. 이 연구는 정보시스템 연구모델을 바탕으로 EUC를 실행할 때 필요한 전략을 제시함으로써 기업의 MIS 정책방향 설정에 기여하고자 한다.

90-60 : Bispectrum 해석법을 이용한 회전기기 이상

진단에 관한 연구

李正徹 · 鄭俊會 · 吳在應

회전기기 이상진단을 해석하는 방법으로 최근까지 여러가지 방법이 제시되고 있다. 본 논문에서는 고차 스펙트럼의 일종인 Bispectrum 해석법을 이용하여, 회전기기 요소중의 하나인 베어링의 결함을 진단하는 기법으로서 그 타당성을 검증하고 Bispectrum 해석법의 물리적인 의미를 파악하고 자 컴퓨터 시뮬레이션을 행하였다.

컴퓨터 시뮬레이션과 실제의 베어링 결함신호에 대한 결과를 고찰하였으며, 종래의 Power Spectrum 보다 베어링 이상진단에 유효함을 알 수 있었다.

90-61 : ISDN D-채널 액세스 프로토콜의 성능 분석

朴聖鉉 · 殷鍾官

본 논문에서는 CCITT에서 권고된 종합 정보 통신망(Integrated Service Digital Network : ISDN)에서의 가입자와 망간의 접속에 있어 S-기준점에서의 D-채널 액세스 프로토콜의 성능을 분석하였다. 먼저 여러대의 단말이 멀티 포인트로 D-채널을 액세스하는 경우의 D-채널 액세스 프로토콜의 queueing 모델을 세웠다. 그리고 지연 요소를 waiting queue 지연과 경쟁 지연으로 구분하고, 다시 경쟁 지연을 무효 경쟁 지연과 순수 경쟁 지연으로 나누어 해석하므로써 대기 또는 비대칭의 평균 도착률을 가진 우선도 서비스의 queueing 시스템에 모두적용할 수 있도록 하였다. 또한 대기 시스템과 비대칭 시스템에 대한 수치 결과를 얻어, 한 단말에서 모든 정보가 비선제 우선도로 서비스되는 queueing 시스템과 비교하였다.

90-62 : 자소 접촉특성 분석에 의한 한글패턴의 부분분리 및 인식

高燦 · 陳康玉

본 논문은 한글문자 인식을 위하여 새로운 접촉 자소의 분리 및 자획연결 특징추출 알고리즘을 제안하였다. 자소 접촉특징을 분석하여 자소접촉 형태별로 분류하고 자획연결특징 추출, 접촉자소의 분리, 문자형식 분류를 시행한다. 분리된 자소로부터 설정된 표준패턴으로 정규화하고 자소별 굴곡특징의 상대위치값으로 부터의 특징을 입력패턴으로 신경망을 이용하여 인식 실험을 하였다. 여기에서의 학습은 BEP 알고리즘을 이용하였다. 접촉자소의 분리, 형식분리, 자획연결특징 추출 및 인식 실험에서 제안된 알고리즘이 좋은 결과를 나타내었다.

90-63 : 실시간 디지털 신호 처리용 고속 MULTIPLIER 단일칩화에 관한 연구

文大哲 · 車均鉉

본 연구에서는 고속의 병렬 알고리즘을 이용하여 실시간 디지털 신호를 처리할 수 있는 16×16 고속의 CMOS 승산기를 설계하였다. 설계된 병렬 승산기는 modified Booth's 알고리즘과 Ling's approach를 이용하여 4열의 가산기와 8개의 Booth 디코더로 구성하였으며, 2's complement의 데이터와 계수를 처리할 수 있도록 설계하였다.

또한 VLSI 구현에 적합하도록 modularity하고 regularity하게 모든 회로를 설계하고 규칙적으로 내부 배열을하여 testability가 용이하도록 설계하였다.