

# 건식 산화법에 의한 인 도핑 다결정 산화막의 전기적 특성 분석

## (Analysis of Electrical Properties of Polyoxide Grown on Phosphorous-doped Polysilicon)

李 鐘 炯\*, 朴 訓 洙\*, 金 鳳 烈\*

(Jong Hyung Lee, Hoon Su Park, and Bong Ryul Kim)

### 要 約

증착온도가 다른 인 도핑 다결정 실리콘 산화막의 전기 전도현상 및 항복현상을 ramped I-V 측정을 통하여 조사하였다. 막막 증착조건 및 산화막 성장조건이 다른 다결정 실리콘 산화막의 Fowler-Nordheim 터널링 특성으로부터 유효장벽 높이를 구하고, 평균 임계전장 분포를 조사하였다. 전기적 특성분석 결과 비정질 상태로 증착시킨 실리콘 막막을 고온에서 성장하는 경우 가장 양호한 특성을 나타내었다.

### Abstract

The current conduction and dielectric breakdown properties of oxide grown on phosphorous-doped polysilicon have been investigated by means of the ramped I-V measurements. The effective barrier heights of polyoxide grown by different silicon deposition and oxidation conditions were calculated from the Fowler-Nordheim tunneling characteristic. The average critical fields were also obtained for each film. From the results, the high temperature oxidized polyoxide grown on amorphous silicon film shows superior electrical characteristics comparing to the other films.

### I. 서 론

다결정 실리콘 (Polycrystalline Silicon) 을 산화한 다결정 실리콘 산화막 (polyoxide) 은 EPROM, EEPROM, CCD 및 stpck type DRAM 등의 실리콘 MOS 소자에서 다결정 실리콘 사이의 충전 절연물질로 널리 이용되고 있다.<sup>1,2</sup> 특히 floating 다결정 실리콘 게이트를 사용하는 EPROM과 EEPROM 소자에서는 polyoxide가 정보보존에 중요한 역할을 하므로 낮은 누설 전류 (leakage current) 와 높은 파괴전압을 갖는 polyoxide가 요구되고있다. 그러나 일반적으로 polyoxide

는 단결정 실리콘의 산화막에 비해 누설전류가 크고 항복전압이 낮은 것으로 보고되고 있는데, 이는 다결정 실리콘 미세구조 (microstructure) 와 산화공정 조건 등에 영향을 받아서 계면에 생기는 asperities 등으로 인해 외부에서 전압을 인가하였을때 국부적 전장증가 (localized field enhancement) 현상이 발생하기 때문인 것으로 알려졌다.<sup>3,4</sup> 따라서 다결정 실리콘 산화막의 전기적 특성은 다결정 실리콘과 그 산화막의 계면특성이 크게 좌우하며 계면특성에 영향을 미치는 공정변수로는 다결정 실리콘의 증착온도, 도핑조건 및 산화막 성장조건 등이 있다.

본 논문에서는 증착온도를 달리하여 얻은 인 도핑 (phosphorous-doped) 다결정 실리콘 막막을 건식 산화법으로 각기 다른 공정조건으로 성장시킨 polyoxide

\*正會員, 延世大學校 電子工學科  
(Dept. of Elec. Eng., Yonsei Univ.)

接受日字 : 1990年 1月 3日

를 절연층으로 하는 MIS 커패시터를 제작한 후 항복 전압, F-N 터널링에 의한 누설전류 특성 및 유효장벽높이 등이 전기적 특성을 분석하였다.

### II. 소자제작 및 측정

결정방향이 (100) 이고, 비저항이 1-20Ω·cm인 N-형 실리콘 웨이퍼를 사용하여 그림 1 과 같은 공정순으로 이중 poly-si 구조의 커패시터를 제작하였다. 하층 실리콘 박막은 LPCVD 반응로에서 유량 50SCCM의 silane을 열 분해하여 약 4500Å 두께의 실리콘 박막을 증착하였다. 이때 실리콘 박막의 증착 온도를 560°C와 625°C로 달리하여 증착하였다.

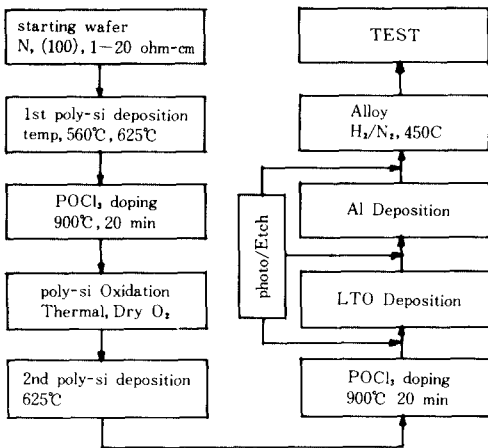


그림 1. 소자 제작 공정 순서도  
Fig. 1. Process sequence of device implementation.

X-선 회절 분석결과 625°C에서 증착한 실리콘 박막은 (110), (311), (111) 방향의 3개의 peak가 나타났고, 560°C에서 증착한 박막은 peak값이 나타나지 않았다. 따라서 625°C에서 증착한 박막은 다결정 실리콘 상태이고, 560°C에서 증착한 것은 비정질 상태임을 알 수 있었다. 하층 poly-si를 증착한 후 900°C에서 POCl<sub>3</sub> 도핑하였다. 산화막 성장은 dry O<sub>2</sub>와 TCA 분위기에 각 900°C (170분), 1000°C (55분), 1050°C (27분)에서 실시하였다. 산화막 두께는 900-1000Å 범위가 되도록 공정조건을 설정하였다. 상층 poly-si는 625°C에서 4500Å 증착하고 역시 900°C, 25분 POCl<sub>3</sub> 도핑하였다. 게이트 전극을 형성하기 위하여 상층 poly-si를 RIE로 식각한 후 400°C에서 CVD 방법으로 1000Å의 SiO<sub>2</sub>를 입힌후 6000Å의 PSG를 증착

하였다. 이어서 RIE로 접촉영역을 정의한후 Al(1.5% Si)을 DC Sputtering하여 증착한 후 화학에칭으로 전극을 형성하였다. 이어서 450°C, N<sub>2</sub> (75%) / H<sub>2</sub> (25%) 분위기에서 30분간 열처리하였다.

완성된 소자의 단면도는 그림 2 와 같다. 하층 poly-si와 접촉된 N-형 기판을 배면전극으로 사용하였으며 커패시터의 면적은 396×396um<sup>2</sup>이다.

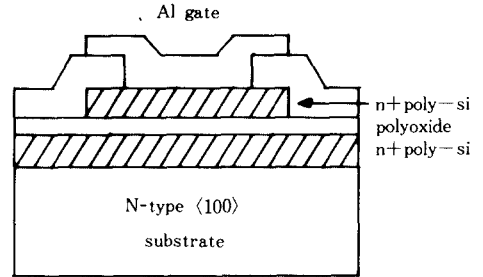


그림 2. 제작한 소자의 단면도  
Fig. 2. Cross-sectional view of device.

다결정 실리콘 산화막의 두께는 주파수 1MHz에서 전하축적(accumulation) 영역의 capacitance값으로부터 유전율 3.9로 환산한값과 2-step 측정지와 비교하여 평균하였다. 다결정 실리콘 산화막의 누설전류 및 임계 전압은 Semiconductor Parameter Analyzer (HP 4145B)를 이용하였으며, 산화공정으로 인한 다결정 실리콘과 산화막의 계면특성 변화를 분석하기 위해 성장된 산화막을 10 : 1HF용액으로 모두 식각한후 SEM 분석하였다.

### III. 실험결과 및 고찰

1. 다결정 실리콘 산화막 두께 및 계면분석  
동일한 산화온도에서 산화막을 성장시킨후 두께를 측정된 결과, 표 1과 같이 하층 실리콘 박막을 증착 온도 560°C의 비정질 상태로 증착한 실리콘 박막 위에 성장된 산화막의 두께가 625°C의 다결정 상태로 증착한 실리콘 박막위에 성장된 산화막에 비하여 두껍게 나타났다. 이것은 실리콘 증착후 POCl<sub>3</sub> 도핑과정에서 비정질 실리콘이 다결정 실리콘에 비하여 grain 크기가 커지고, grain 경계의 트랩(trap)에 편석(segregation) 되는 인의 양이 적어서 POCl<sub>3</sub> 도핑후 비정질 상태로 증착한 실리콘의 비저항 값이 다결정 실리콘에 비하여 낮게 나타나 도핑 농도차이에 의한 산화물 증가(diffusionenhanced oxidation) 현상으로 비

표 1. 각 공정별 다결정 산화막 두께

Table 1. Polyoxide thickness depending on different process conditions.

Oxidation temp. & time	Lower poly-si dep. temp. (°C)	Ave. thickness (Å°)
Dry	560	976
900°C, 170min.	625	813
Dry	560	980
1000°C, 55min.	625	932
Dry	560	905
1050°C, 27min.	625	863

정질 실리콘 박막의 산화막 두께가 다결정 실리콘 보다 두껍게 나타난 것으로 해석된다.<sup>15,6)</sup> 표 1은 각 공정조건에 따른 다결정 실리콘 산화막의 두께이다.

특히 산화막 성장온도가 낮은 경우, 표면 반응제한(surface reaction limited) 산화기구가 지배적으로 작용하여 grain 경계의 도핑농도와 재결정화 과정에서의 방향성 차이(비정질 Si:(111), 다결정 Si:(110))에 의하여 산화막 두께차이 크게 나타났다고 생각된다. 그림 3에서는 증착온도와 산화온도에 따른 하층 SiO<sub>2</sub>/poly-si 계면의 SEM 표면사진이다.

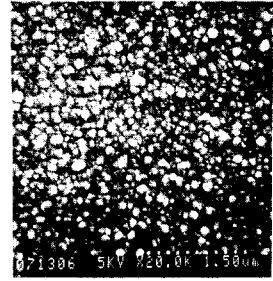
그림 3의 (a)는 625°C에서 증착한 poly-si의 표면사진이며 (b),(c)에서는 1000°C에서 산화한후의 표면사진이다. 비정질 상태와 다결정 상태의 박막모두 grain 크기는 증가하였으며, 상대적으로 625°C에서 증착한 박막이 보다 거칠게 나타나 있는데, 이것은 산화막 성장과정에서 산화막 경계면의 불균일(irregurity), asperity 특성이 하층 실리콘의 grain성장 및 결정방향성 등의 표면 조직에 크게 영향을 받는다는 사실을 의미한다.

2. 다결정 실리콘 산화막의 누설전류 특성

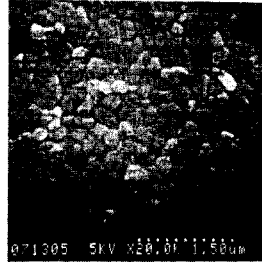
그림 4의 (a),(b)는 900°C에서 산화한 다결정 실리콘 박막의 전류-전압 특성곡선으로 상승전극에 양의 상승전압(ramped voltage)을 인가한 결과이다. 고전압 영역에서 Fowler-Nordheim 터널링에 의한 누설전류가 증가하며 Fowler-Nordheim 터널링 전류관계식은 다음과 같이 표현된다.<sup>17)</sup>

$$J = q^3 / 8\pi n (\phi_{\text{Beff}} m) E^2 \exp \{ -4(2m^*)^{1/2} (\phi_{\text{Beff}})^{3/2} / 3q\hbar E \} \quad (1)$$

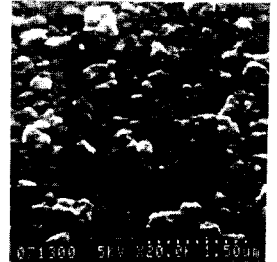
여기서 E는 인가 전장, m\*는 산화막 내에서 전자의 유효질량(m\*=0.5m<sub>0</sub>)<sup>8)</sup> φ<sub>Beff</sub>는 polysilicon/polyoxide 계면의 실효 장벽높이이다.



(a)



(b)



(c)

그림 3. 산화막 성장후 poly-si 경계면 SEM사진 (a) 625°C 증착후

(b) 증착온도 560°C, 산화온도 1000°C

(c) 증착온도 625°C, 산화온도 1000°C

Fig. 3. SEM photographs of poly-si surface before and after oxidation.

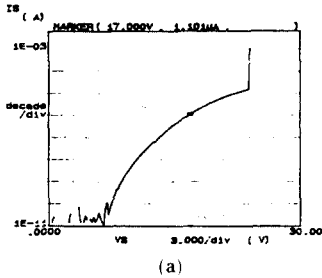
(a) before oxidation, (625°C deposited poly-si)

(b) after 1000°C oxidation, (560°C deposited poly-si)

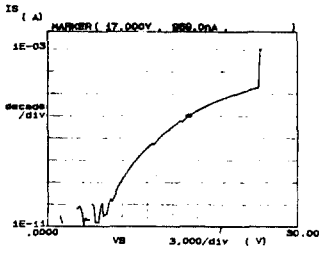
(c) after 1000°C oxidation, (625°C deposited poly-si)

단결정 실리콘을 산화한 산화막과 실리콘 사이의 에너지 장벽높이(3.1eV)와 다결정실리콘을 산화한 polyoxide와 실리콘사이의 에너지 장벽높이에 차이가 없음이 알려졌다<sup>14)</sup>, H. R. Huff 등은 계면에 존재하는 여러 asperities 등은 통계적 분포를 가짐으로써 그 영향을 물리적의미를 가지는 에너지 장벽보다 매개변수로써 실효에너지 장벽 φ<sub>Beff</sub>를 도입함으로써 국부적 전장증가에 의한 누설전류 증가현상을 해석하였으며,<sup>19)</sup> 식(3-1)에서 ln(J/E<sup>2</sup>)와 1/E는 선형적 관계에 있으므로 그 기울기로 부터 유효 장벽높이를 계산하였다.

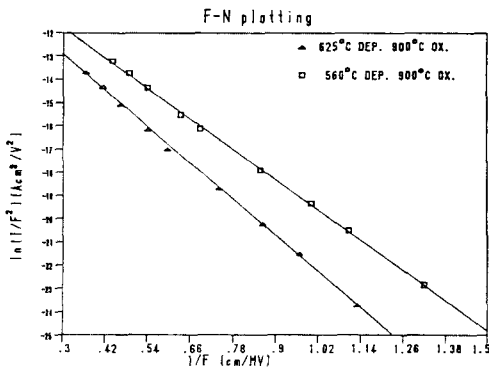
하층 실리콘 박막의 증착온도에 따라 기관 전자주입 조건에서 유효 장벽높이를 구한 결과, 표 2와 같이 산화온도가 높을 수록 560°C에서 증착한 박막의 유효 장벽높이가 625°C에서 증착한 박막에 비하여 높았다. 이 결과로부터 고온에서 polyoxide를 성장하



(a)



(b)



(c)

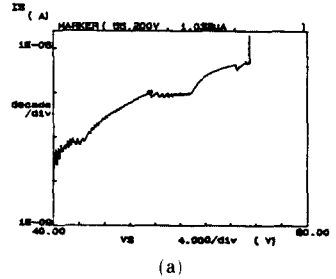
그림 4. 900°C에서 성장된 polyoxide의 I-V 특성 곡선 및 F-N 특성곡선(기관전자 주입-게이트(+) 전압인가)  
 (a) 증착온도 560°C 박막  
 (b) 증착온도 625°C 박막의 I-V 특성  
 (c) F-N 특성곡선

Fig. 4. Substrate electron injected I-V and F-N characteristics of polyoxides(900°C oxidation)grown on.  
 (a) 560°C deposited film,  
 (b) 625°C deposited film,  
 (c) F-N plotting.

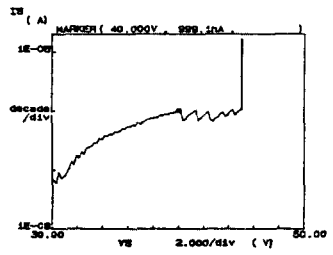
는 경우 하층 실리콘은 초기 비정질 상태로 증착하는 것이 전기적 특성이 우수함을 알 수 있었다.

### 3. 임계전장 특성

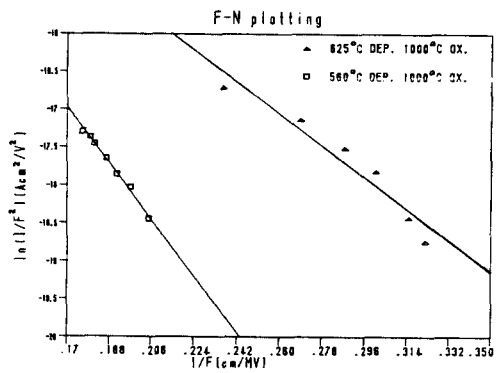
위의 결과에서 polyoxide의 전기적 특성은 상층전극에 양(+)의 전압을 인가하였을 때가 더욱 제한적



(a)



(b)

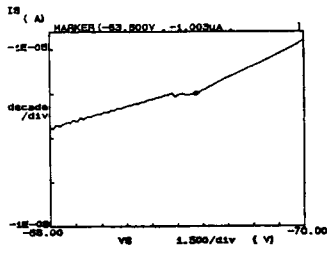


(c)

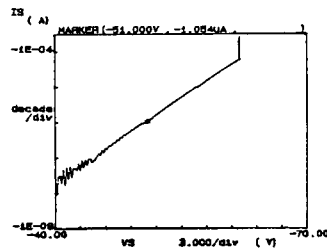
그림 5. 1000°C에서 성장된 polyoxide의 게이트(+) 전압 인가시 I-V 및 F-N 특성  
 (a) 증착온도 560°C 박막  
 (b) 증착온도 625°C 박막  
 (c) F-N 특성곡선

Fig. 5. Substrate electron injected I-V and F-N characteristics of polyoxides(1000°C oxidation)grown on.  
 (a) 560°C deposited film,  
 (b) 625°C deposited film and,  
 (c) F-N plotting.

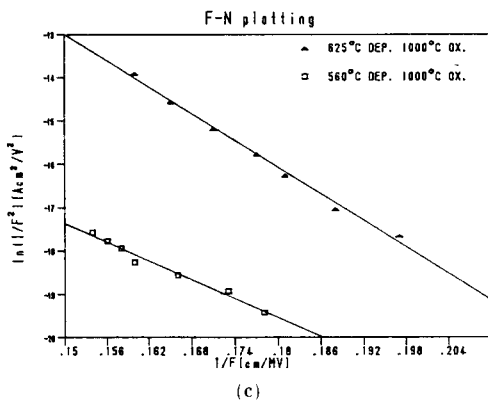
임을 알 수 있었다. 따라서 상층전극에 양(+)의 전압이 인가 되었을때 커패시터로 흐르는 누설전류의 양이 중요하다. 본 논문에서는 1μA의 누설전류가 흐를때의 전장(Electric Field)을 임계전장(Critical Electric Field)으로 정의 하였으며 각 측정별 웨이퍼에서 30개 이상의 커패시터를 측정하여 평균 임계



(a)



(b)



(c)

그림 6. 1000°C에서 성장된 polyoxide의 게이트(-) 전압인가시 I-V 및 F-N특성곡선  
(a) 박막증착 온도 560°C  
(b) 박막증착 온도 625°C  
(c) F-N특성곡선

Fig. 6. Gate electron injected I-V and F-N characteristics of polyoxides (1000°C oxidation) grown on.  
(a) 560°C deposited film,  
(b) 625°C deposited film and,  
(c) F-N plotting.

전장을 비교하였다.

표 2에서는 각 공정별 실험치를 비교하였으며, 그림 7에서는 각 공정별 임계전장의 분포를 나타내었다. 증착온도 560°C인 경우는 산화온도 900°C, 1000°C 1050°C에서 평균 임계전장이 각각 1.46MV/cm, 5.65 MV/cm, 5.48MV/cm이었으며 625°C에서 증착한 경우

표 2. 공정 변수에 따른 전기적 특성상수

Table 2. Electrical parameters obtained from different process conditions.

Lower Poly-Si Dep. Temp. (°C)	Oxidation Process	Effective energy barrier height (eV)		Field (MV/cm) for (+) 1μA
		(+)	(-)	
560	Dry O <sub>2</sub>	0.416	1.450	1.46
625	900°C	0.476	1.043	1.97
560	Dry O <sub>2</sub>	0.901	1.313	5.65
625	1000°C	0.616	1.647	4.48
560	Dry O <sub>2</sub>	1.052	2.228	5.48
625	1050°C	0.841	1.768	5.23

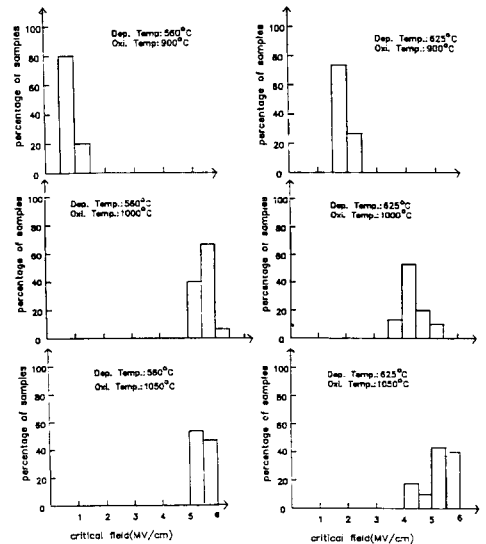


그림 7. 각 공정별 polyoxide의 임계전장 분포

Fig. 7. Critical electric field distribution of polyoxide grown on different process conditions.

는 각각 1.97MV/cm, 4.48MV/cm, 5.23MV/cm가 나왔다. 위 결과에서 알 수 있듯이 임계전장은 실효에너지 장벽높이와 밀접한 관계에 있으며 산화온도가 높을수록 낮은전도 특성을 나타냄을 알 수 있다. 또한 임계전장 분포 그래프에서 비정상적으로 증착한 박막이 상대적으로 집중된 분포특성을 나타냄으로써 전기적 특성의 재현성이 뛰어난을 알 수 있었다.

IV. 결 론

본 논문에서는 증착온도가 다른 인도핑(phosphor-

ous-doped) 다결정 실리콘을 dry O<sub>2</sub>와 TCA 각 900°C 1000°C, 1050°C에서 산화시킨후 그 산화막의 전기적 특성을 조사하였다. 실험 결과 얻은 결론은 다음과 같다. 첫째, 다결정 실리콘 산화막은 성장온도가 낮을 수록 poly-si/polyoxide 경계면의 asperity가 증가하여 누설 전류가 증가하고 항복전압이 낮아진다. 따라서 다결정 실리콘 산화막은 고온 건식산화가 바람직하다. 둘째, 산화 온도가 높을 수록 초기 비정질 상태로 증착한 박막위에 성장된 polyoxide가 다결정 실리콘 위에 성장된 polyoxide에 비하여 전기적 특성이 우수하였다. 셋째, 게이트 전자 주입조건의 유효 장벽높이가 기판 전자주입 상태에 비하여 1.46, -3.4배 높은 특성을 나타내었다. 이상의 결과에서와 같이 EE-PROM 등의 소자에서 하층전극은 초기에 비정질 상태로 증착하는 것이 바람직하며 층간에 절연물질인 polyoxide는 고온에서 성장되는 것이 바람직하다고 여겨진다.

參 考 文 獻

[1] Hisakazu Iizuka, Fujo Masuka, Tai Sato, and Mistuaki Isikawa, "Electrically alterable avalanche - injection type MOS read only memory with stacked gate structure," *IEEE Trans. on Electron Devices*, vol. ED-23, pp. 379-387, Apr. 1976.

[2] Hideo Sunami, Mitsumasa Koyamagi, and Norikazu Hashimoto, "Intermediate oxide formation in double -polysilicon gate MOS structure," *J. Electrochem. Soc.*, vol. 127, pp. 2499-2505, Nov. 1980.

[3] R.M. Anderson and D.R. Kerr, "Evidence for surface asperity mechanism of conducti-

vity in oxide grown on polycrystalline silicon," *J. Appl. Phys.*, vol. 48, pp. 4834-4836, Nov. 1977.

[4] D.J. DiMaria and D.R. Kerr, "Interface effects and high conductivity in oxides grown from polycrystalline silicon," *Appl. Phys. Lett.* vol. 27, pp. 505-507, Nov. 1975.

[5] G. Queiroz, et. cl., "Polycrystalline Silicon Oxidation Kinetics and Si/SiO Interface Width," *J. Electrochem. Soc.* vol. 133, no. 11, pp. 2381-2385, Nov.1986.

[6] G. Harbeke, et. al., "Growth and Physical Properties of LPCVD Polycrystalline Silicon Films," *J. Electrochem. Soc.* vol. 131, no. 2, pp. 675-682, Mar. 1984.

[7] M. Lenzinger and E.H. Snow, "Fowler-Nordheim Tunneling into Thermally Grown SiO<sub>2</sub>," *J. Appl. Phys.* vol. 40, pp. 278-283, Jan. 1969.

[8] L. Faraone and R.D. Vibronek, "Characterization of Thermally Oxidized n Polycrystalline Silicon," *IEEE Trans. on Electron Devices*. vol. ED-32, pp. 577-583, 1983.

[9] H.R. Huff, et. al., "Experimental observations on Conduction Through Polysilicon Oxide," *J. Electrochem. Soc.* vol. 127, no. 11, pp. 2482-2488, Nov. 1980.

[10] H.F. Kappert and G. Neugebauer, "LPCVD Polycrystalline Silicon: and Physical Properties of In-Situ Phosphorous Doped and Undoped Films," *RCA Review*, vol. 44, pp. 287-311, 1983.

著 者 紹 介



李 鐘 炯 (正會員)  
1964年 8月 2日生. 1987年 2月 연세대학교 전자공학과 졸업. 1990년 2월 연세대학교 대학원 전자공학과 졸업(공학석사) 1990년 1월~현재 대우통신 반도체 생산 1부 기술개발과 근무. 주관심 분야는 소자불성 및 Analog 회로설계 등임.

金 鳳 烈 (正會員) 第25卷 第11號 參照  
현재 연세대학교 전자공학과 교수



朴 訓 洙 (正會員)  
1959年 10月 9日生. 1982年 2월 경북대학교 전자공학과 졸업. 1984년 2월 연세대학교 대학원 전자공학과 졸업(공학석사) 1984년 1월~1986년 1월 31일, (주)금성 반도체 Bipolar 제품기술과 근무. 1987년 3월~현재 연세대학교 대학원 전자공학과 박사과정. 주관심 분야는 Thin dielectric material 및 Bi-MOS 전력소자 등임.