

論文 90-27-6-1

AMPS Cellular 통신을 위한 고속 Pulse Swallow Prescaler를 이용한 변조기 구현에 관한 연구

(A Study on the Implementation of Modulator Using High-Speed
Pulse Swallow Prescaler for AMPS Cellular Communication)

張學信*, 金暎權**

(Hark Sin Chang and Young Kwon Kim)

要 約

본 논문은 다채널 주파수 825-845MHz, 666채널의 셀룰러 무선전화기의 주파수 합성기 전류 소모량을 줄이기 위하여 고속 Swallow방식 분주 IC와 VCO 회로를 저소모전류형으로 구성하여 변조기를 구현함으로써 일본 알프스사 URE-AUX 503A에 비해 3.5mA 전류소모를 줄이도록 개선시킨 논문이다.

이 실험에서 주어진 스펙특성은 만족 시켰으나, 주파수 편이가 일정치 못한 것은 PLL IC외부에 최저펄프를 구성하여 해결 가능하며, 이로 인하여 소형화 휴대용으로 되어가는 셀룰러 통신에 문제의 하나를 해결할 수 있음을 확인 하였다.

Abstract

A Tx modulator of the AMPS cellular wireless communication has been implemented using the PLL synthesizer, of which is modified for multiple frequency output capability. The frequency range is in 825 - 845 MHz with the 666 channels of 30KHz channel spacing and its switching time is less than 40 msec.

The purpose of this paper is to develop the PLL frequency synthesizer with the high speed pulse swallow prescaler in order to save power consumption and cost. The PLL frequency synthesizer is studied in this paper to apply the cellular communication modulator.

I. 서 론

1971년 미국 Bell System이 제시한 셀룰러 이동전화(Cellular Mobile Telephone) 통신 시스템은 1971

년대의 컴퓨터 산업과 LSI 회로 소자의 발달에 따라 저전력, 소형화기술로 휴대가 간단한 이동전화 시스템의 기술 개발에 관한 연구가 활발히 진행되고 있다.^[1]

이 셀룰러 이동 전화 시스템의 개발과 그 활용망의 문제의 하나는 한정된 할당주파수내에서 또 한정된 영역내에서 이용자를 서비스할 수 있도록 휴대가 간편하고 전력 소모를 줄일 수 있는 회로시스템 구현의 노력이 요구되고 있다.^[1] 최근 보고자료에 의하면 모토로라나 일본 알프스, NEC 등에서 개발한 이

*正會員, 大存工業專門大學 電子通信科
(Dept. of Comm. Eng. Daeyeu. Junior Collage)

**正會員, 建國大學校 電子工學科
(Dept. of Elec. Eng., Kunkuk Univ.)

接受日字: 1990年 1月 5日

동 수신기 전체 소모전류가 50mA 이내로 배터리의 평균수명이 1000 시간 내외가 되는것으로 알려져 있다. 이 소모전류는 PLL(phase locked loop) 주파수 합성기내의 프리스 켈러(Prescaler와 전압제어 발진기(Voltage Controlled Oscillator)에서 전체 전류의 약 반이상을 소모한다.^{[5][6]}

따라서, 본 논문에서는 고속인 펄스 스왈로우(Pulse Swallow) 분주기를 이용한 PLL 주파수 합성기의 변조기를 구현함으로써 다중 채널에서의 프로그램 카운터에 의한 분주 부담을 줄이고 처리 속도를 빠르게 함으로써 프리스켈러에서의 전력소모를 줄이므로써 소형화와 휴대가 용이한 서비스 개선향상을 기하고자 한다. 여기서 사용한 고속 프리스켈러는 MB 501L을 위상 비교기로 멀티플러인 MB 87001을 사용하였으며 V_{∞} 는 변조신호의 속도가 전압제어 발진기 자체 속도에 따라 결정되는 것을 고려하여 직접결합 증폭기로 구성하여 전압제어 발진기 자체의 전류소모를 최소화 하였고 발진부 코일은 높은 Q값의 20mm Semi-rigid 케이블로써 소형화 하였다. 기타 시스템의 동작특성은 실험 조작으로 AMPS Cellular의 Spec.에 맞추었다.

II. PLL시스템의 이론적 고찰

1. 전달함수

일반적인 PLL 특성을 고찰하기 위하여 일반화된 모델은 그림 1 과 같다.

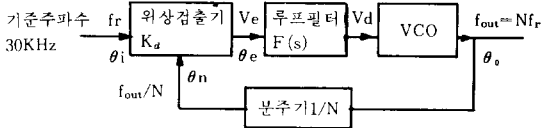


그림 1. PLL 주파수 합성기
Fig. 1. PLL frequency synthesizes.

위상 고정 루프의 전달함수 H(s)는

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{k_o k_d F(s)}{S + \frac{k_o k_d}{N} F(s)} \tag{1}$$

$\theta_i(s)$ 와 $\theta_n(s)$ 의 위상차를 $\theta_e(s)$ 라 하면

$$\theta_e(s) = \theta_i(s) - \theta_n(s) \tag{2}$$

(1)과 (2)의 관계에서

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{1}{1 + \frac{k_o k_d}{SN} F(s)} \tag{3}$$

2. 루프 필터

루프필터는 그림 2의 지연필터 (lag loop filter)를 사용하였다.

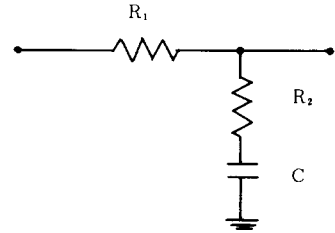


그림 2. 지연 루프 필터
Fig. 2. Lag loop filter.

필터의 전달함수 F(s)는

$$F(s) = \frac{S \tau_2 + 1}{S(\tau_1 + \tau_2) + 1} \tag{4}$$

전체 루프의 전달함수는 (1)로부터

$$H(s) = \frac{k(S \tau_2 + 1)}{S^2 + \left(\frac{1+k \tau_2}{\tau_1 + \tau_2}\right) S + \frac{k}{\tau_1 + \tau_2}} \tag{5}$$

5) 식을 자주 주파수와 댐핑비 ζ 로 표시하면

$$\omega_n = (k/(\tau_1 + \tau_2))^{1/2}$$

$$\zeta = 1/2(k/(\tau_1 + \tau_2))^{1/2}(\tau_2 + 1/k) \text{라 놓으면}$$

전달함수 H(s)는

$$H(s) = \frac{S \omega_n (2 \zeta s - \omega_n/k) + \omega_n^2}{S^2 + 2 \zeta \omega_n S + \omega_n^2} \tag{6}$$

지연 필터는 대역 루프이득 댐핑계수를 따로 조정할 수 없는 결점이 있으나 독립적으로 계수는 결정할 수 있다. 일반적으로 ζ 는 0.707일때 가장 좋은 것으로 알려져 있다.^[9]

여기서 루프 이득이 결정되면 $\tau_1 = CR_1$ 로 결정하여 ω_n 을 정한다. 일반적으로 $\tau_1 \gg \tau_2$ 이고 $k \gg 1$ 이 되어야 하므로

$$\omega_n = \left[\frac{k}{\tau_1} \right]^{1/2}, \zeta = \frac{1}{2} \tau_2 \omega_n \tag{7}$$

따라서 lag lead 필터는 여러 목적을 위해 독립 조정이 가능하므로 PLL의 안정성을 잃지 않게 협대역으로 할 수 있다.

3. 전압제어 발진기 (Voltage Controlled Oscillator)

전압제어 발진기는 LC 발진기에서 커패시터 C를 전압 가변 커패시턴스 다이오드 (Voltage variable capacitance-diode: vvc)로서 구성할 수 있으며 또한 LC 공진 탱크의 Q값에 따라 스펙트럼 순도가 결정되게 되므로 Q가 높은 L, C 소자를 사용하여야 하며 더우기 800MHz 이상의 주파수를 발생시켜야 함으로 그 용량값 또한 매우 적어야 한다. 저용량 높은 Q값의 커패시터는 쉽게 얻을 수 있으나 저인덕턴스 높은 Q값은 얻기가 쉽지 않다. 따라서 비교적 높은 Q값과 낮은 인덕턴스를 갖는 L로서 semi-rigid 동축 케이블을 사용하였다. 전압제어 발진기의 소형화를 위하여 그 길이는 20mm로 제한시킨다.

또한 vvc는 1S2208을 사용하였으며 데이터를 보면 역전압에 따른 커패시턴스 변화가 전압이 높을수록 낮아지므로 제어 전압의 변동에 따른 주파수 안정도 및 잡음 발생을 줄이기 위하여 제어 전압은 데이터에서 약 2-4V가 되도록 하였다.

마지막으로 외부간섭의 영향을 줄이기 위하여 모든 소자를 칩(chip)형으로 사용하고 패턴의 길이는 되도록이면 짧게 하였으며 회로 및 그 스펙트럼은 그림 5. b) c) 와 같다.

4. 분주기 (Divider)

펄스 스왈로우 방식의 고속 프리스켈러 ICMB501L은 DC 전력 소모를 줄이고 가격을 낮출 수 있는 비교적 안정한 분주기이다. 모듈러는 128/129를 논리 제어 신호를 이용하여 채널 1의 경우 27501 분주를 프로그램 카운터와 스왈로우 카운터로 분할 분주함으로써 빠른 속도의 분수로 분주기내의 전류 소모를 줄일 수 있다.

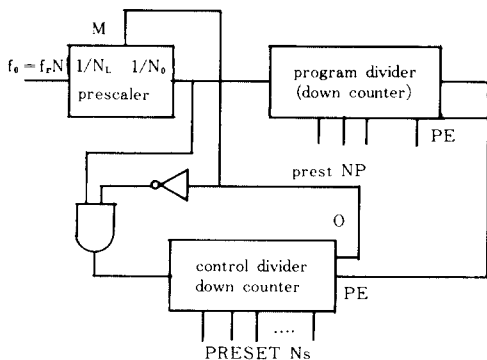


그림 3. 고속용 펄스 스왈로우 방식 프리스켈러
Fig. 3. High speed pulse swallow prescaler.

프리스 켈러는 $N_L=128$ 또는 $N_u=129$ 만큼의 분주 비로서 기준 주파수를 분할하도록 제어할 수 있다. 동작은 PE(Preset Enable) 단자가 high 레벨이 되고 제어 및 프로그램 카운터를, 각각 N_u, N_p 로 하면 각 카운터 출력은 카운터의 프리셋트 단자가 모두 low 레벨이 될때 출력에 1개의 펄스가 나오도록 제어 된다. 프리스켈러의 M단자는 $M=0$ 때는 1/129, $M=1$ 때는 1/128로 분할 되도록 되어 있다. 프리스 켈러의 입력단자에 입력이 가해지면 출력에는 1/129로 분할된 펄스가 나오고 제어 계수기는 다운 카운트 한다.

프로그램 카운터는 N_p 다운카운터로 천이해가고 콘트롤 카운터의 상태가 0이 되면 출력에는 1이 가해진다. 따라서 1 상태가 인버터를 통해서 0 상태가 됨으로 NAND 게이트가 닫혀 1이 되어 분주비는 129에서 128로 바뀌어진다. 따라서 입력 단자에는 N_s, N_u 개의 펄스가 들어오게 되고 프리스 켈러 분주기는 1/128로서 차례로 프로그램 카운터의 상태가 0이 될때 PE 단자가 1 상태가 되어 원상태로 된다.

결국 N_0 를 N_s 만큼 분주한후 N_L 을 N_p 만큼 분주해 전체 분주수는

$$N = N_0 N_s + N_L N_p \tag{8}$$

채널 1의 경우

$$N_0 = 129, N_p = 128$$

$$N = \frac{825.03\text{MHz}}{30\text{KHz}} = 27501$$

따라서

$$N = N_0 N_s + N_L N_p = N_L (N_s + N_p) + N_s$$

에서

$$N_s = 109, N_p = 105$$

가 된다. 그러므로 제어 신호가 이에 맞도록 카운터를 설계한다.

III. 실험 및 측정 결과

변조기의 실험 회로의 구성도는 그림 4와 같다. 변조기의 개략적인 실험 결과는 표 1과 그림 5와 같으며 채널 간섭과 스프리어스 억압은 양호한 편이고 왜곡 특성은 스펙에 만족되었으나 약 10dB 정도의 개선을 더 요한다.

전압제어 발진기 출력 스펙트럼은 그림 5와 같으며 채널 1과 채널666에서 30KHz의 기준주파수 누설

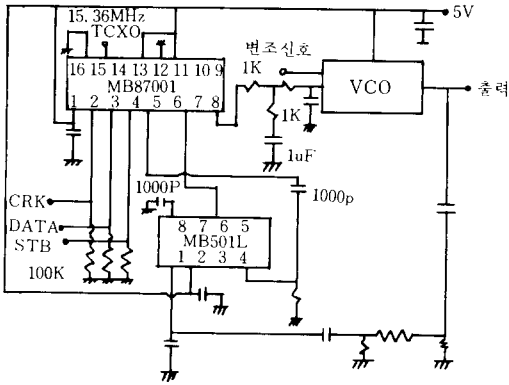
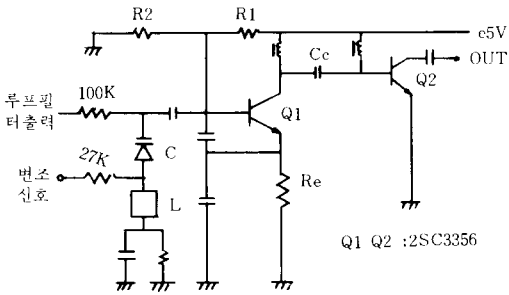
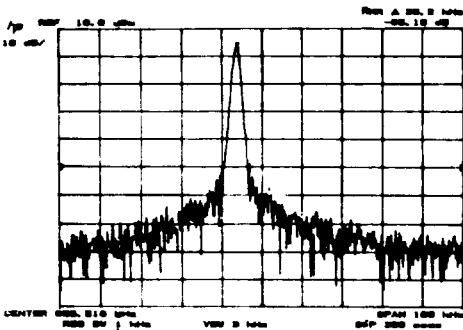


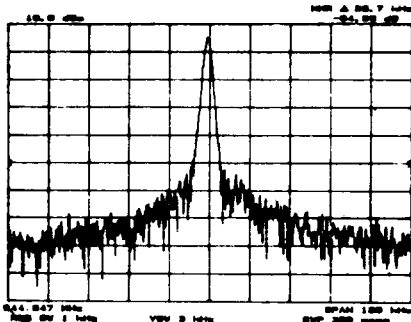
그림 4. 변조기 회로 구성도
Fig. 4. Modulation Circuit.



(a) VCO 회로



(b) CH1 회로



(c) CH666

그림 5. VCO 회로 및 출력 스펙트럼
Fig. 5. VCO circuit and output spectrum.

표 1. 변조 특성
Table 1. Modulation character

구분	Spec	채널 1	채널 333	채널 666
Distortion.	>26dB	29	32	37
Out Level	2dB _m	3	3	2.7
Spurios	>60dB	60	65	68
Mod. Dey.	8KHz+10%	그림 7 참조		

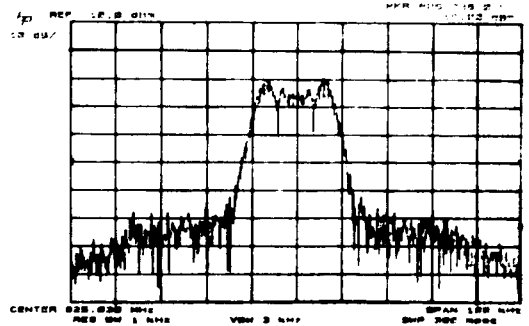


그림 6. 변조스펙트럼(채널 1)
Fig. 6. Modulation spectrum(channel 1).

을 노치 필터(Notch filter)를 사용하여 억압시켰다. 채널 1에서의 변조 스펙트럼은 그림 6과 같으며 오디오 신호 1000Hz 변조된 경우 변조신호의 주파수를 300-3000Hz로 변화시킬시 발생하는 주파수편이는 그림 7과 같다.

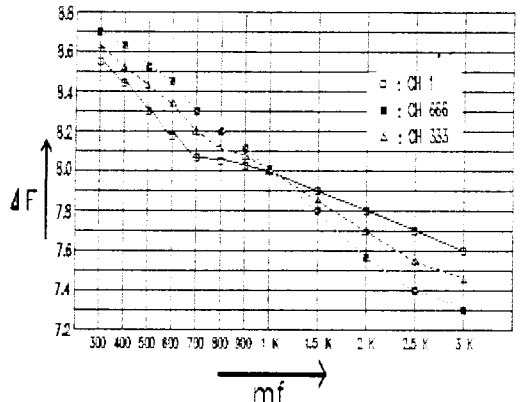


그림 7. 변조신호에 따른 주파수 편이
Fig. 7. Frequency Division per Modulation signal.

IV. 결 론

셀룰러 무선 전화기의 변조기 구성시 가장 심각한 문제 대두되는 문제는 전류 소모량에 있다. 소형화, 휴대용으로 되어가는 추세에 따라 장시간 사용에 따른 배터리 전류 소모량을 줄이기 위하여 PLL 주파수 합성기의 프리스켈러 IC를 고속 저전류 소모형으로 사용하고 전압제어 발진기 구성시 증폭기의 전류를 발진기에 재사용 함으로서 주파수 합성기의 소비전류를 20mA 이하로 할 수 있다.

이 실험에서는 변조기에서 소비 전류가 일본 알파스사가 개발한(URE-AUX503A) AMPS 셀룰러 방식의 스펙에서 주어진 변조 특성을 만족하면서 그 주파수합성기의 [30mA] 소비전류에 비하여 26.5mA로 소비전류를 향상시킬 수 있었다. 실험 특성은 표 1 과 그림5, 6, 7과 같다. 여기서 변조신호의 주파수 변화에 따른 주파수 편이가 일정치 못한 것은 PLL IC외부에 차지펌프(Charge Pump)를 구성하여 적절한 바이패스를 가해줌으로서 해결가능하다.

參 考 文 獻

[1] V.F. Kroupa, Frequency Synthesis Theory Design and Applications, John Wiley & Sons Inc. 1973.

[2] Jacob Millman, Micro-Electronics Digital and Analog Circuits and System McGraw-Hill Inc. 1979.
 [3] Jack Smith, Modern Communication Circuit, McGraw-Hill Inc. 1986.
 [4] H. Zenith, Phase-Locked Loops, Heath Company, 1979.
 [5] Floyd M. Gardner, Phaselock Techniques, John Wiley & Sons Inc. 1979.
 [6] Vadim Manassewitch, Frequency Synthesis Theory and Design, John Wiley & Sons Inc. 1976.
 [7] Howard M. Berlin Design 06 PLL Circuits with Experiments, 1978.
 [8] Roland E. Best Phase-Locked Loops Theory Design and applications McGraw-Hill Inc. 1983.
 [9] 南川秀夫 PLL의 기본과 응용 東京 電機大學 1977.
 [10] William C.Y. Lee, Mobile Cellular Telecommunication Systems McGraw-Hill 1990.
 [11] William C.Y. Lee, Mobile Communications Design Fundamentals Howard W. Sam & Co 1986.

著 者 紹 介



張 學 信 (正會員)
 1948年 2月 24日生. 1970年 2月 인하공과대학 전자공학과(학사) 졸업. 1979年 2月 건국대학교 공과대학 전자공학과(석사) 졸업. 1990年 3月 건국대학교 공과대학 전자공학과 박사과정 수료. 1974年 3月 ~1979年 8月. 인천대현공업전문대학 통신과 전임강사. 1979年 9月~현재 대유공업전문대학 전자통신과 부교수. 주관심분야는 디지털통신 및 대역확산 통신 등임.

金 映 權 (正會員) 第25卷 第12號 參照
 현재 건국대학교 전자공학과 교수. 대한전자공학회 부회장