

전압-제어 CMOS OTA와 이를 이용한 동조 여파기 설계

(A Design of Voltage-Controlled CMOS OTA and Its Application to Tunable Filters)

車 炯 雨*, 鄭 元 燮**

(Hyeong Woo Cha and Won Sup Chung)

要 約

회로의 트랜스컨덕턴스가 바이어스 전압에 직접 비례하는 전압-제어 CMOS OTA(operational transconductance amplifier)를 설계했다. 회로는 차동 입력쌍과 3개의 전류 미러(mirror)로 구성된다. SPICE 시뮬레이션 결과, $-2.0V$ 에서 $1.0V$ 의 바이어스 전압 범위에서 전압에 대한 트랜스컨덕턴스의 변환 감도는 $41.817\mu\text{mho}/V$ 이었고, 최대 직선 오차는 $1.0V$ 에서 0.402% 이었다. 또한, 설계한 OTA를 전압-제어 임피던스에 기초를 둔 동조 여파기 설계에 응용했다. 2차형 대역통과 여파기의 중심 주파수를 $-1.0V$ 에서 23KHz 가 되도록 설계한 결과, $-2.0V$ 에서 $1.0V$ 의 전압 범위에서 변환 감도는 $6.6\text{KHz}/V$, 그리고 최대 직선 오차는 0.822% 이었다. OTA를 반도체공동연구소(inter-university semiconductor research center:ISRC)에서 채택한 $3\mu\text{m}$ n-well CMOS 설계 규칙에 따라 레이아웃(layout)했다. 칩 면적은 약 $0.756 \times 0.945\text{mm}^2$ 이었다.

Abstract

A voltage controlled CMOS operational transconductance amplifier (OTA), whose transconductance is directly proportional to the DC bias voltage, has been designed for many electronic circuit applications. It consists of a differential pair and three current mirrors. The SPICE simulation shows that the conversion sensitivity of the OTA is $41.817\mu\text{mho}/V$ and the linearity error is less than 0.402% over a bias voltage range from $-2.0V$ to $1.0V$. Electrically tunable filters based on voltage controlled impedances, which are realized with OTA's, also have been designed. The SPICE simulation shows that a second-order bandpass filter, whose center frequency is 23KHz at $-1.0V$, has the conversion sensitivity $6.6\text{KHz}/V$ and the linearity error less than 0.822% over a voltage range from $-2.0V$ to $1.0V$. The OTA has been laid out with the $3\mu\text{m}$ n-well CMOS design rule adopted in ISRC (inter-university semiconductor research center). The chip size was about $0.756 \times 0.945\text{mm}^2$.

*準會員, **正會員, 淸州大學校 半導體工學科
(Dept. of Semiconductor Eng., Chungju Univ.)

接受日字: 1990年 5月 28日

(※ 본 연구는 1988년도 서울대학교 반도체공동연구소 소규모 과제의 일환으로 수행된 연구임.)

I. 서 론

OTA(operational transconductance amplifier)는 입력전압에 비례하는 전류를 출력시키는 전압-제어 전류 증폭기(voltage-controlled current amplifier)로, 출력전류는 입력전압과 트랜스컨덕턴스의 곱으로 나타

내어진다. BJT(bipolar junction transistor)로 실현한 OTA는 연산증폭기(op-amp)에 비해 회로구성이 간단하고 트랜스콘덕턴스가 바이어스 전류로 제어되기 때문에, 각종 전류-제어 필터, 발진기, 그리고 증폭기와 샘플-홀드 회로, 멀티플렉서 등에 널리 이용된다.^{[1]-[5]} 그러나, 각종 회로 또는 시스템의 제어는 전압으로 행해지는게 보편적이다. 따라서, BJT OTA로 제어회로를 구성할 경우 고정도의 전압-전류 변환기가 필요하며, 특히 고정도(high accuracy)의 제어회로를 실현하려고 할때는 고정도의 전압-전류 변환기가 요구된다. 이에 반해, CMOS OTA는 트랜스콘덕턴스가 바이어스 전압에 직접 비례하는 특성을 갖는다는 것을 필자등이 연구한 바가 있다.^[6] 따라서, 전압-제어 CMOS OTA로 제어회로를 실현할 경우 회로구성이 간단하고 보다 높은 정도를 기대할 수 있을 것이다. CMOS OTA 회로구성 자체는 연산증폭기의 일종으로 이미 개발되었으나,^[7] 제어회로의 기본 빌딩블록으로 사용한 예는 보고된 바가 없다.

본 연구에서는 제어회로의 기본 빌딩블록으로 사용할 목적으로 CMOS OTA를 재설계하고, 그 특성 및 실용화 가능성 등을 검토한다. 또한, 응용 예로서, 설계한 OTA를 이용하여 전압-제어 임피던스에 기초를 둔 2차형 대역통과 여파기를 설계한다.

II. 회로구성 및 동작

1. 전압-제어 CMOS OTA 설계

전압-제어 CMOS OTA의 회로를 그림1에 나타냈다. 회로에서 M₁과 M₂는 차동 입력단을 형성하고, M₄, M₆, M₈, M₁₀ 및 M₃, M₅, M₇, M₉은 PMOS 캐스

코드 전류미러(cascode current mirror)를, M₁₁-M₁₄는 NMOS 캐스코드 전류미러를 각각 형성한다. M₁₅는 회로를 전류로 바이어스시켜 주기 위한 전류원(current source)이다.

소신호 입력전압 v_{in}^- , v_{in}^+ 이 M₁ 및 M₂의 게이트에 각각 가해지면, M₁ 및 M₂의 드레인 전류인 $i_{d1} \approx gm_1(v_{in}^- - v)$, $i_{d2} \approx gm_1(v_{in}^+ - v)$ 이 되고, $i_{d1} + i_{d2} \approx 0$ 이 된다. 여기서 gm_1 는 입력 트랜지스터 M₁과 M₂의 트랜스콘덕턴스이고, v 는 소오스 전압이다. 따라서 M₁ 및 M₂의 소오스 전압 $v \approx (v_{in}^+ + v_{in}^-)/2$ 이 되고, 드레인 전류 $i_{d1} \approx -i_{d2} \approx gm_1(v_{in}^+ - v_{in}^-)/2$ 이 된다. M₁의 드레인 전류 i_{d1} 는 PMOS 캐스코드 전류미러 M₃, M₅, M₇, M₉과 NMOS 캐스코드 전류미러 M₁₁-M₁₄에 의해 i_{d12} 로 복제된다. 한편, M₂의 드레인 전류 i_{d2} 은 PMOS 캐스코드 전류미러 M₄, M₆, M₈, M₁₀에 의해 i_{d10} 으로 복제된다. 따라서 출력전류 i_{out} 는 다음 식으로 나타내어진다.

$$i_{out} = i_{d12} - i_{d10} = i_{d1} - i_{d2} = gm_1(v_{in}^+ - v_{in}^-) \quad (1)$$

이 식은 OTA의 출력전류가 차동 입력전압과 입력 트랜지스터의 트랜스콘덕턴스의 곱으로 주어진다 것을 보여준다. 회로의 출력저항은

$$r_o = (gm_{10} rd_8)rd_{10} \parallel (gm_{12} rd_4)rd_{12} \quad (2)$$

으로 주어진다. 여기서 rd 는 트랜지스터의 드레인 저항이다. 입력 트랜지스터의 트랜스콘덕턴스 gm_1 는 바이어스 전류 I_b 의 평방근에 비례하며, 다음 식으로 주어진다.

$$gm_1 = 2 \sqrt{Kn' (W/L)_1 I_b / 2} \quad (3)$$

여기서, $Kn' = (\mu_n Cox) / 2\mu A/V$ 이고, μ_n 는 전자이동도, 그리고 Cox 는 산화물(oxide) 용량을 나타낸다. 바이어스 전류 I_b 는 M₁₅의 게이트 전압 V_b 에 의해 제어되며, 다음 식으로 나타내어진다.

$$I_b = Kn' (W/L)_{15} (V_b - V_{ss} - V_{Tn})^2 \quad (4)$$

여기서, V_{Tn} 는 MOS 트랜지스터의 문턱전압(threshold voltage)이다. (4)식을 (3)식에 대입하여 정리하면

$$gm_1 = 2Kn' (V_b - V_{ss} - V_{Tn}) \sqrt{\frac{(W/L)_1 (W/L)_{15}}{2}} \quad (5)$$

이 된다. (5)식으로부터 OTA의 트랜스콘덕턴스가 바이어스 전압 V_b 에 의해 선형적으로 제어되는 것을 알 수 있다.

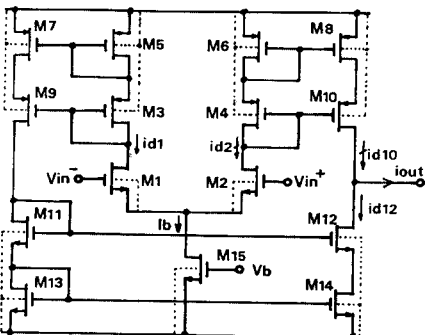


그림 1. 전압-제어 CMOS OTA의 회로도
Fig. 1. Circuit diagram of voltage-controlled CMOS OTA.

2. 2차형 전압-제어 대역통과 여파기 설계

고전적인 RLC 대역통과 여파기와 동가이며 OTA 로 구성된 전압-제어 대역통과 여파기의 블록도를 그림 2(a)와 2(b)에 각각 나타냈다. 여기서 OTA 들은 정합(matching)되어 있다고 가정한다. 그림 2(b)에서 OTA₁과 OTA₂는 플로팅(floating) 저항을 형성하며, OTA₃, OTA₄, 그리고 C₂는 접지된(grounded) 인덕터를 형성한다.^{18),9)} 그림 2(a)의 대역통과 여파기의 전달함수는 다음 식으로 주어진다.

$$T(s) = \frac{sL}{s^2 + s(1/RC) + 1/LC} \quad (6)$$

여기서 s는 복소주파 변수를 나타낸다. 그림 2(b)의 전압-제어 대역통과 여파기에서 플로팅 저항 R=1/gm으로, 접지된 인덕터의 인덕턴스 L=C₂/gm²으로 주어진다. 따라서, 전압-제어 대역통과 여파기의 전달함수는 다음 식으로 나타내어진다.

$$T(s) = \frac{s(C_2/gm^2)}{s^2 + s(gm/C_1) + (gm^2/C_1C_2)} \quad (7)$$

위 식으로부터 중심 주파수, 선택도, 그리고 안정도를 구하면 각각 다음과 같다.

$$\omega_0 = \frac{gm}{\sqrt{C_1C_2}}, \quad Q = \sqrt{\frac{C_1}{C_2}}$$

$$S_{gm}^{w_0} = 1, \quad S_{C_1}^{w_0} = S_{C_2}^{w_0} = S_{C_2}^Q = -\frac{1}{2}, \quad S_{C_1}^Q = \frac{1}{2}$$

여기서 (5)식을 이용하여 대역통과 여파기의 중심 주파수 ω₀와 바이어스 전압 V_b와의 관계를 구하면 다음 결과를 얻는다.

$$\omega_0 = 2Kn' \sqrt{(V_b - V_{ss} - V_{tn}) \frac{\sqrt{(W/L)_i(W/L)_{15}}}{2C_1C_2}} \quad (8)$$

이 식으로부터, 중심 주파수 ω₀가 바이어스 전압 V_b에 직접 비례함을 알 수 있다. 또한, Kn'와 V_{tn}이 온도의 영향을 받으므로, 중심 주파수가 온도에 의존함을 알 수 있다. 이러한 문제는 입력전압에 대한 출력전류가 온도의 영향을 받지않는 선형트랜스컨덕터를 이용하여 OTA를 구성함으로써 해결할 수 있다.¹⁰⁾

II. 시뮬레이션 결과 및 고찰

그림 1와 그림 2(b)의 회로를 3μm n-well CMOS 공정 트랜지스터 모델 파라미터(process transistor model parameter)를 사용하여 SPICE로 시뮬레이션했다.¹¹⁾ 시뮬레이션에 사용한 각 트랜지스터의 제원을 표 1에 나타냈다. OTA의 출력 저항을 크게 하기

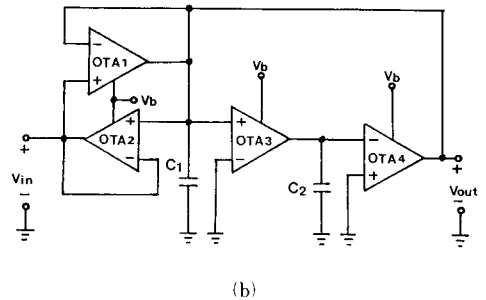
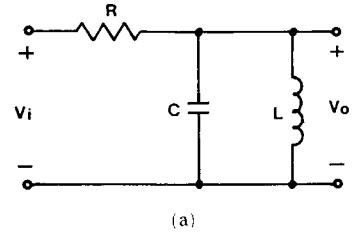


그림 2. 이차형 대역통과 여파기
(a) 고전적인 RLC 대역통과 여파기
(b) OTA 사용한 전압-제어 대역통과 여파기

Fig. 2. Second-order bandpass filter.
(a) conventional RLC bandpass filter,
(b) voltage-controlled bandpass filter using OTA.

표 1. 전압-제어 CMOS OTA의 소자 제원
Table 2. Device dimension of voltage-controlled CMOS OTA.

Device	Dimension W/L [μm/μm]
M ₁ , M ₂	150/10
M ₃ , M ₄ , M ₅ , M ₆	60/10
M ₇ , M ₈ , M ₉ , M ₁₀	180/30
M ₁₁ , M ₁₂ , M ₁₃ , M ₁₄	60/30
M ₁₅	10/30

위해서, M₇-M₁₄까지의 트랜지스터의 게이트 길이를 30μm로 설정했다.¹²⁾ 표 2는 바이어스 전압이 -1.0V 일 때 전압-제어 CMOS OTA 회로의 성능 파라미터를 나타낸 것이다. 그림 3은 전압-제어 CMOS OTA의 바이어스 전압에 대한 트랜스컨덕턴스의 특성을 나타낸 것이다. 그림으로부터, 바이어스 전압이 약 1.5V 이상이 될 때부터 직선 특성이 떨어지는 것을 알 수 있는데, 이것은, 그림 1 회로의 트랜지스터 M₁₅가 이 전압에서부터 포화 영역에서 벗어나

표 2. 전압-제어 CMOS OTA 회로의 성능 파라미터

Table 2. Performance parameter of voltage-controlled CMOS OTA.

Performance Parameter	Simulation results
Transconductance	146 μ mho
3-dB frequency	790kHz
Slew rate	45 A/sec
DC-power dissipation	0.99 mW
Output resistance	2.867 G Ω
Bias voltage	-1.0V

($V_{DD}=5V, V_{SS}=-5V$)

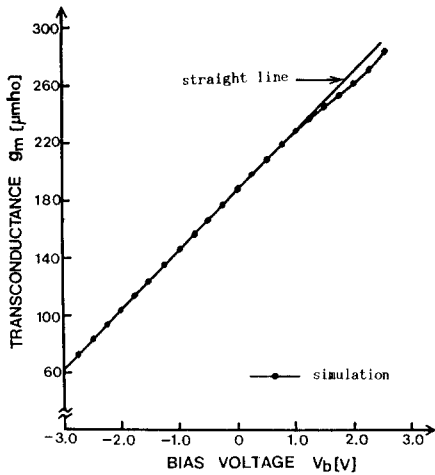


그림 3. SPICE 시뮬레이션으로 얻은 트랜스컨덕턴스에 대한 제어-전압 특성

Fig. 3. Controlled-voltage vs. transconductance by SPICE simulation.

트라이오드(triode)영역으로 들어가기 때문에 생기는 현상이다. -2.0V에서 1.0V 사이의 변환 감도는 41.817 μ mho/V이고, 1.0V에서의 최대 직선 오차는 0.402%이다.

그림 4는 $C_1=10nF, C_2=100pF, Q=10$ 으로 설정하고, 바이어스 제어전압이 $V_b=-1.0V, 0.0V, 1.0V$ 일 때, 전압-제어 대역통과 여파기의 주파수 응답을 각각 나타내는 것이다. 그림으로부터, 설계한 전압-제어 대역통과 여파기의 중심 주파수가 제어전압에 따라 변화된다는 것을 알 수 있다. 그림 5는 전압-제어 대역통과 여파기 회로의 바이어스 전압에 대한

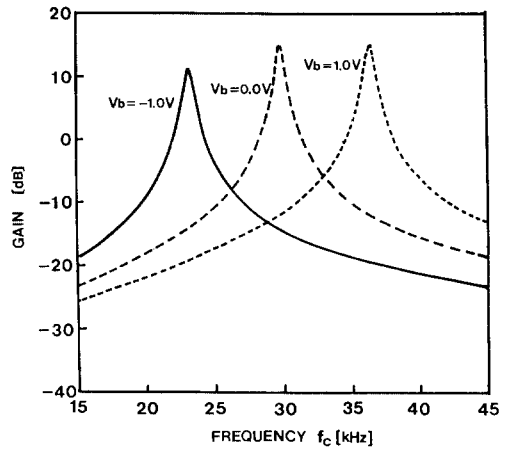


그림 4. V_b는 -0.1V, 0.0V, 1.0V일 때 전압-제어 대역 여파기의 주파수 응답

Fig. 4. The frequency response of voltage-controlled bandpass filter with $V_b = -0.1V, 0.0V$ and $1.0V$.

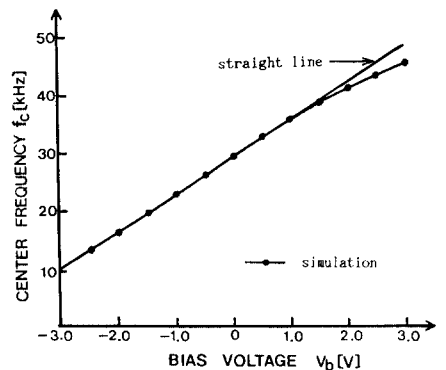


그림 5. $C_1=10nF, C_2=1.0pF$ 일 때 전압-제어 대역 통과 여파기의 제어-전압에 대한 중심 주파수

Fig. 5. Controlled-voltage vs. center frequency of voltage-controlled bandpass filter with $C_1=10nF, C_2=100pF$.

중심 주파수의 특성을 나타낸 것이다. -2.0V에서 1.0V 사이의 변환감도는 6.6KHz/V이고 최대 직선 오차는 1.0V에서 0.882%이다.

위의 결과로부터, 설계한 CMOS OTA의 회로가 -2.0V에서 1.0V 사이의 바이어스 전압 범위($\pm 5.0V$ 의 전원 전압으로 동작할 때)에서는 제어회로의 기본 빌딩 블록으로 적절하게 응용될 수 있다는 것을

알 수 있다. 그림 6은 전압-제어 OTA를 반도체 공동 연구소에서 $3\mu\text{m}$ n-well CMOS 설계규칙에 맞추어 개발한 레이아웃 툴(tool)인 LES(layout editor system)를 사용하여 레이아웃한 것이다. 레이아웃 출력은 CIF(caltech intermediate format)형식이며 칩 면적은 약 $0.756 \times 0.945\text{mm}^2$ 이다.

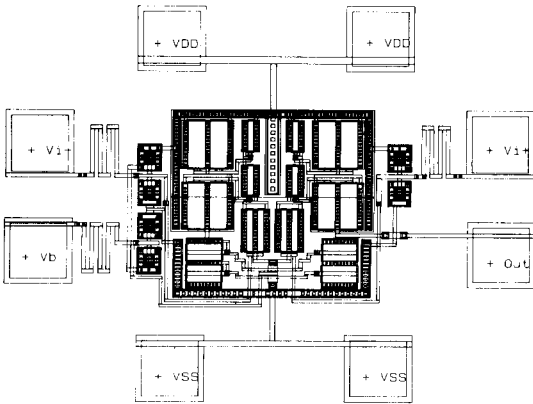


그림 6. 전압-제어 CMOS OTA 레이아웃
Fig. 6. Complete voltage-controlled CMOS OTA layout.

IV. 결 론

전압-제어 CMOS OTA와 이를 이용하여 실현한 전압-제어 이차형 대역통과 여파기에 대해서 기술했다. 이들 회로의 트랜스컨덕턴스 및 중심 주파수는 바이어스 전압에 직접 비례한다. 설계한 회로들을 SPICE의 시뮬레이션하여 그 동작 및 성능을 확인했다. 설계한 OTA는 전압-제어 여파기 외에, 전압-제어 발진기, 전압-제어 증폭기 그리고 샘플-홀드 회로, 멀티플렉서 등에 적절히 응용되리라 기대된다.

參 考 文 獻

[1] W. S. Chung and K. Watanabe, "Active-RC-circuit synthesis for the simulation of a grounded inductor" *Electron. Lett.*, vol. 20, pp. 610-612, July 1984.

[2] W. S. Chung and K. Watanabe, "A linear temperature-to-frequency converter using an integrable Colpitts oscillator," *IEEE Trans. Instrum. Meas.*, vol. IM-34, no. 4, pp. 534-537, Dec. 1985.

[3] W. S. Chung and K. Watanabe, "A temperature difference to-frequency converter using resistance temperature detectors," to be published in *IEEE Trans. Instrum. Meas.*, IM-39, Aug. 1990.

[4] W. S. Chung and H. W. Cha, "A temperature-stable VCO based on operational transconductance amplifier," to be submitted in *Electron. Lett.*

[5] 정원섭, 김홍배, 임인기, 광계달, "새로운 CMOS 전압-제어 발진기," 대한전자공학회 논문집 vol. 25, no. 11, pp. 1-8, 1988.

[6] 정원섭, 차형우, 김홍배, 노승룡, "전류-제어 CMOS OTA (operational transconductance amplifier)," 1988년도 전기 전자공학 학술 대회 논문집, pp. 563-566, 1988년 7월.

[7] M. M. Milkovic, "Current gain high-frequency CMOS operational amplifiers," *IEEE J. Solid-State Circuits* vol. SC-20, pp. 845-851, Aug. 1985.

[8] R. Nandi, "Lossless inductor simulation: novel configurations using D.V.C.C.S.," *Electron Lett*, vol. 16, no. 17, pp. 666-667, Aug. 1980.

[9] R. L. Geiger and Edgar Sanchez-Sinencio, "Active filter design using operational transconductance amplifiers: a tutorial," *IEEE Circuit and Device*, vol. 1, pp. 20-32. March 1985

[10] W. S. Chung and H. W. Cha, "A bipolar linear transconductor," *Electron. Lett.*, vol. 26, no. 10, pp. 619-621, May 1990.

[11] 이종덕 등, $30\mu\text{m}$ CMOS 공정개발에 관한 연구, 서울대학교 반도체 공동연구소, 1장, 1988.

[12] R. Gregorian and G. Temes, "Analog MOS Integrated Circuits for Signal Processing," Wiley-Interscience, ch. 3, John Wiley & Sons, 1986.

著 者 紹 介

車 炯 雨 (準會員) 第27卷 第8號 參照
현재 청주대학교 대학원 전자공학과 석사과정 재학중

鄭 元 夔 (正會員) 第27卷 第8號 參照
현재 청주대학교 반도체공학과 조교수