

論文 90-27-8-13

새로운 리플 애널로그-디지털 변환기

(A New Ripple Analog-to-Digital Converter)

車 炯 雨* 鄭 元 燮**

(Hyeong Woo Cha and Won Sup Chung)

要 約

고속의 디지털 신호처리를 위한 새로운 리플 애널로그-디지털 변환기를 개발했다. 개발한 ADC는 두개의 병렬 ADC와 하나의 스위칭 회로망으로 구성된다. 회로는 애널로그 입력신호를 2개의 클럭 사이클 동안에 디지털 신호로 변환시킨다. 첫번째 클럭동안에, 첫번째 병렬 ADC에 의해 상위 N/2-비트가 결정된다. 그 결과의 비트가 스위칭 회로망을 제어하여, 애널로그 신호가 속해 있는 직렬 저항의 양쪽 단자를 두번째 병렬 ADC에 연결시킨다. 두번째 클럭동안에, 두번째 병렬 ADC에 의해 하위 N/2-비트가 결정된다. 따라서 전체적으로 두개의 클럭 사이클 동안에 N-비트의 디지털 출력을 얻게된다. 제안된 ADC로 N-비트의 분해능을 성취하려고 할 경우, $2(2^{N/2}-1)$ 개의 전압 비교기와 $2(2^{N/2})$ 개의 저항기, 그리고 $2(2^{N/2})$ 개의 애널로그 스위치가 소요된다.

Abstract

A new ripple analog-to-digital converter (ADC) has been developed. It consists of two parallel ADCs and a switching network. The circuit operates on the analog input signal in two serial steps. First, a coarse conversion is made to determine the most significant bits by the first parallel ADC. The resultant bits control the switching network to connect a series resistor segment, within which the analog signal is contained, to the second parallel ADC. At second step, a fine conversion is made to determine the least significant bits by the second parallel ADC. The circuit requires $2(2^{N/2}-1)$ comparators, $2(2^{N/2})$ resistors, and $2(2^{N/2})$ switches for N-bit resolution.

I. 서 론

고속 애널로그-디지털 변환기(ADC)는 비디오 그리고 많은 디지털 신호처리 시스템에 있어서 시스템의 성능을 결정짓는 중요한 회로이다. 각종 원리의 ADC 가운데 변환 속도가 제일 빠른것은 병렬형

(fully papallel) ADC이다. 이 ADC는 하나의 클럭 사이클 동안에 애널로그 입력 신호를 완전히 디지털 신호로 변환시킨다. 그러나, 이 ADC는 많은 비교기와 저항기를 필요로 하는 결점을 갖는다. 예를 들면, N-비트 분해능의 ADC를 구성할 경우 (2^N-1) 개의 비교기와 2^N 개의 저항기가 필요하다.^[1]

직-병렬(series-parallel) ADC는 변환속도가 병렬형 ADC 보다 2배 느리지만, 필요로 하는 비교기와 저항기의 수는 각각 $2(2^{N/2}-1)$ 과 $(2^{N/2})$ 으로, 병렬형 ADC의 경우보다 훨씬 적다. 따라서, 직-병렬형 모노리딕 ADC는 병렬형 ADC보다 값싸고, 전력소비가 적은 특징을 갖는다. 그러나, 이 ADC도 여전히

*準會員, **正會員, 淸州大學校 半導體工學科
(Dept. of Semiconductor Eng., Chungju Univ.)

接受日字: 1990年 5月 28日

(※ 본 연구는 1988년도 한국과학재단 연구비 지원에 의하여 수행된 연구임.)

많은 비교기와 저항기를 필요로 하기 때문에, 8-비트 이상의 분해능의 ADC는 사실상 모노리틱 IC화 하는데 문제점이 많다.^{[2],[3]} 이러한 문제점을 해결하기 위해, 필자들은 비교기와 저항기가 직-병렬 ADC보다 각각 반으로 줄어드는 새로운 순환-병렬형 ADC를 제안했다.^{[4],[5]} 그러나, 이 ADC도 통상의 직-병렬 ADC와 마찬가지로 고정도(high accuracy)의 애널로그 감산기와 디지털-애널로그 변환기(DAC)를 필요로 하는 문제점을 안고 있다.

리플 ADC는 직-병렬 ADC의 일종이나 감산기나 DAC를 필요로 하지 않기 때문에, IC화 하는데 매우 적합한 회로 방식으로 주목을 받고 있다.^{[6]-[9]} 이 방식으로 N-비트의 분해능을 얻으려면 $2(2^{N/2}-1)$ 개의 비교기와 2^N 개의 저항기 그리고 2^N 개의 스위치가 소요된다. 본 연구에서는 N-비트의 분해능을 $2(2^{N/2}-1)$ 개의 비교기와 $2(2^{N/2})$ 개의 저항기 그리고 $2(2^{N/2})$ 개의 스위치로 실현할 수 있는 새로운 리플 ADC의 구성 원리를 제안한다. 제안한 구성원리에 의거해 설계된 두가지 유형의 ADC 회로를 제시하고, 각각 회로의 성능과 장·단점에 대해 기술한다.

II. 회로 구성 및 동작

그림 1에 새로 제안한 N-비트의 리플 ADC의 블럭도를 나타냈다. 전체블럭은 애널로그 입력전압 V_{in} 을 상위 $N/2$ -비트로 변환시키는 상위 비트 블럭과 하위 $N/2$ -비트로 변환시키는 하위 비트 블럭, 그리고 상위 비트 블럭과 하위 비트 블럭을 연결시키는 스위치 블럭으로 구성된다. 상위 비트 블럭과 하위 비트 블럭은 각각 $2^{N/2}-1$ 개의 비교기와 $2^{N/2}$ 개의 저항기로 형성되고 스위치 블럭은 $2(2^{N/2})$ 개의 스위치로 형성된다. 회로는 하나의 외부 클럭 사이클 동안에 애널로그 입력을 디지털 출력으로 변환시킨다. 구체적인 시스템 타이밍을 그림 2에 나타냈다. ϕ_1 상

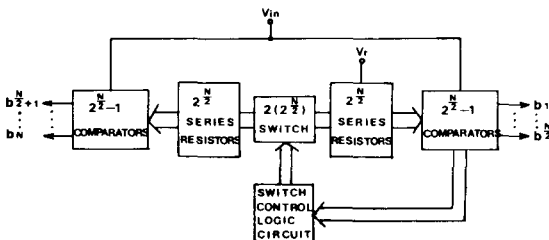


그림 1. N-비트 리플 애널로그-디지털 변환기의 블럭도
Fig. 1. Block diagram of a N-bits ripple ADC.

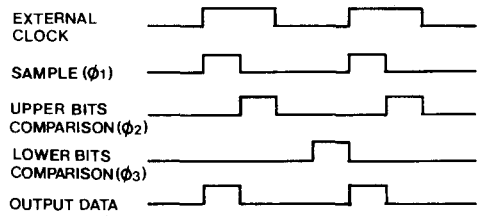


그림 2. 리플 애널로그-디지털 변환기의 시스템 타이밍
Fig. 2. System timing for the ripple ADC.

일 때, 애널로그 전압 V_{in} 이 샘플/홀드(S/H) 회로를 거쳐 각각의 비교기의 (-)입력 단자에 인가된다. ϕ_2 상 동안에, 애널로그 입력전압 V_{in} 은, 기준전압 V_r 과 $2^{N/2}$ 개의 저항기에 의해 분할된 전압들과 비교되어, $N/2$ 개의 상위 비트로 변환된다. 이 상위 비트의 결과에 따라 스위치 제어논리 회로는 $2(2^{N/2})$ 개의 스위치를 'on' 또는 'off' 시켜, 입력전압에 가장 가까운 전압 구간을 하위 비트를 위한 저항기 열(resistor string)에 연결시킨다. 다음의 ϕ_3 동안에, 이 전압 구간은 다시 $2^{N/2}$ 개의 저항기에 의해 분할되고, 분할된 전압과 입력 전압이 비교되어 $N/2$ 개의 하위 비트를 출력시킨다 따라서, 외부 클럭의 다음 주기의 ϕ_1 상일 때, 입력전압은 결과적으로 상위 $N/2$ -비트와 하위 $N/2$ -비트 즉, N-비트의 디지털 출력으로 변환된다. 그림 1의 구성원리에 의거해 두가지 유형의 ADC를 설계했다. 이하에서 이 회로들에 대해서 자세히 기술한다.

그림 3(a)와 (b)에 4-비트로 설계한 두가지 유형의 리플 ADC의 회로구성을 각각 나타냈다. 그림 3(a)의 ADC 회로는 상위 2-비트를 위한 저항기 열(2^2 개의 저항기로 구성됨)과 (2^2-1) 개의 비교기, 하위 2-비트를 위한 저항기 열(2^2 개의 저항기로 구성됨)과 (2^2-1) 개의 비교기, 그리고 상위 비트 회로와 하위 비트 회로를 연결 시켜주는 $2(2^2)$ 개의 스위치와 두개의 전압 폴로워로 구성된다. 입력전압 V_{in} 은 상위 2-비트 저항기 열과 비교기에 의해서 기준전압 V_r 과 비교된다. 비교기의 출력은 인코더에 의해 부호화되어 2-비트의 2진수로 변환된다. 따라서 상위 2-비트의 2진 출력 D_1 은 다음 식으로 표시된다.

$$D_1 = \frac{V_{in}}{V_r} = \frac{b_1}{2^1} + \frac{b_2}{2^2} \quad (1)$$

비교기의 출력은 또한 스위치 제어 논리회로에 입력되어 스위치를 제어하는 신호를 발생시킨다. 이 제어 신호에 의해서 홀수와 짝수 스위치중 각각 하

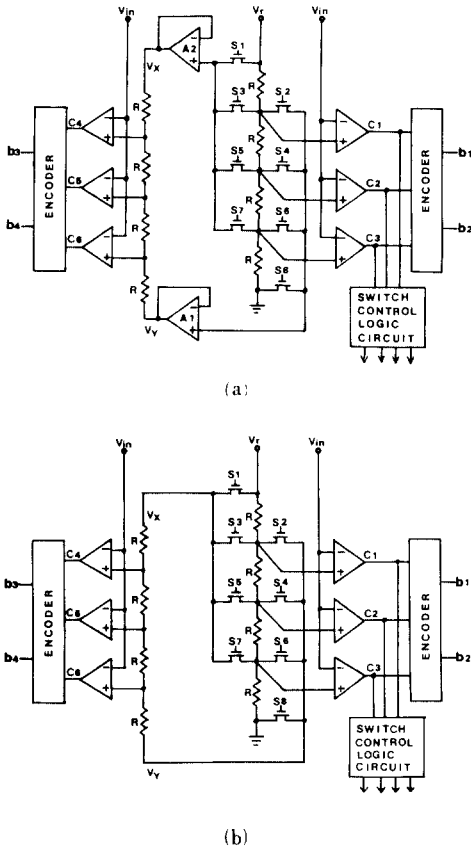


그림 3. (a) 4-비트 리플 애널로그-디지털 변환기의 회로도
 (b) 전압 폴로워를 사용하지 않는 4-비트 리플 애널로그-디지털 변환기의 회로도
Fig. 3. (a) Circuit diagram of the 4-bit ripple ADC,
 (b) Circuit diagram of the 4-bit ripple ADC without voltage followers.

나씩만(예를 들면, S_1 과 S_2 또는 S_3 와 S_4 등등) 'on' 되어, V_{in} 이 속해 있는 분할된 V_r 전압 구간을 전압 폴로워 A_1 과 A_2 를 통해 하위 2-비트의 저항기 열에 가해준다. V_{in} 은 다시 하위 2-비트의 저항기 열과 비교기에 의해서 V_r 의 구간 전압과 비교된다. 비교기 출력은 인코딩되어 2-비트의 2진수로 변환된다. 따라서, 하위 2-비트의 2진 출력 D_2 는 다음 식으로 표시된다.

$$D_2 = \frac{V_{in}}{V_r} = \frac{b_3}{2^1} + \frac{b_4}{2^2} \quad (2)$$

(1)식과 (2)식으로부터, 변환기의 입·출력 관계를 구하면,

$$D = D_1 + D_2 = \frac{V_{in}}{V_r} = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \frac{b_4}{2^4} \quad (3)$$

로, $2+2=4$ -비트의 2진 출력을 얻는다.
 이 회로구성은 전압 폴로워를 필요로 하는 단점을 갖는다. 즉 이 회로 구성으로 고속·고정도의 A/D 변환을 성취하려면, 고속·고정도의 전압 폴로워의 실현이 선결 과제가 된다. 한편, 전압 폴로워를 필요로 하지않는 ADC구성을 그림 3(b)에 나타냈다. 이 회로구성은 전압 폴로워가 제거된 것만을 제외하고는 그림 3(a)의 구성과 동일하다. 그러나 이 경우에는 전압 폴로워가 없기 때문에, 회로가 변환 동작을 할 때, 상위 비트용 저항기 열 중의 하나의 저항과 하위 비트용 저항기 열이 스위치를 통해 병렬로 연결된다. 따라서, 상위 비트용 저항기 열중에서 하위 비트용 저항기 열이 병렬로 연결된 저항의 총 저항값은 다른 상위 비트용 저항기의 저항값보다 작아지며, 이에 따라 오차 비트가 발생할 수 있다. 이러한 현상을 극소화하여 오차 비트의 발생을 막으려면, 하위 비트용 저항기들의 저항값을 상위 비트용 저항기들의 저항값보다 크게 해줘야 한다. 컴퓨터 시뮬레이션에 의하면 피크간 전압이 2V인 입력신호를 8-비트로 변환시키기 위해서는, 하위 비트용 저항을 상위 비트용 저항보다 6배 이상 크게 해줘야 한다는 것을 알 수 있다.

III. 실험 결과

그림 3(a)의 리플 ADC를 개별 부품을 사용하여 시험 제작했다. 상위 3-비트와 하위 3-비트, 도합 6-비트의 실험회로를 그림 4에 나타냈다. 샘플/홀드 회로는 AD585, 비교기는 LM710을 각각 사용했고, 전압 폴로워는 LM741 연산 증폭기를 사용했다. 애널로그 스위치는 MC74HC4006을, D-래치(Latch)는 MC74HC75를, 인버터는 MC74HC04를, AND 게이트는 MC74HC21을, 그리고 OR 게이트는 MC74HC32를 각각 사용했다. 또한, 모든 저항은 $2K\Omega$ 로 했다. V_r 을 2V로 고정시키고, 입력전압 V_{in} 을 0V부터 2V 까지 변화시키면서 측정된 디지털 출력을 그림 5에 나타냈다. 그림에서 실선은 6-비트 ADC의 이상적인 변환 특성이고, 점은 측정치이다. 실험 결과로부터, 이론치와 실험치가 잘 일치함을 알 수 있다.

그림 6에 1MHz의 샘플링 주파수로 회로를 동작시키면서 측정한 정적(static) 직선 오차를 나타냈다. 그림으로부터, 직선 오차가 ± 0.5 LSB 보다 작다는 것을 알 수 있으며, 이에 따라 오차 비트가 발생하지 않는다는 것을 알 수 있다.

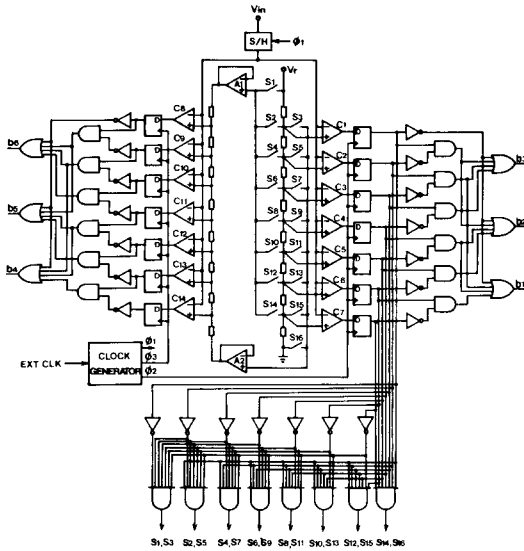


그림 4. 6-비트 리플 애널로그-디지털 변환기의 실험 회로도
 Fig. 4. Experimental circuit diagram of the 6-bit ripple ADC.

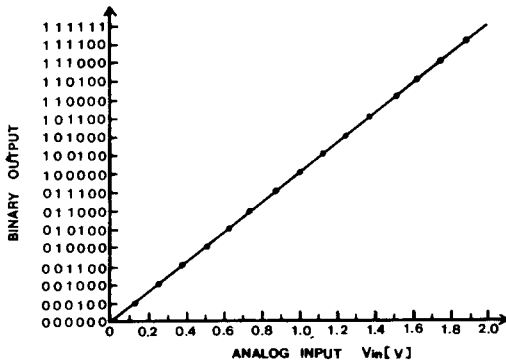


그림 5. 그림 4에 나타난 애널로그-디지털 변환기의 입력 애널로그 전압에 대한 출력 2진수
 Fig. 5. The output binary number versus the input analog voltage of the ADC shown in fig. 4.

변환기의 동적(dynamic) 변환 특성을 측정하기 위해 SNR(signal-to-noise ratio) 테스트를 수행했다. 50kHz의 사인파를 입력신호로 인가시키고, 이를 1MHz로 샘플링하여 A/D 변환시킨 후, 변환된 2진 신호를 8-비트의 D/A 변환기를 사용하여 다시 애널로그 신호로 복원시켰다. 이때 발생한 잡음 레벨을 rms 볼터

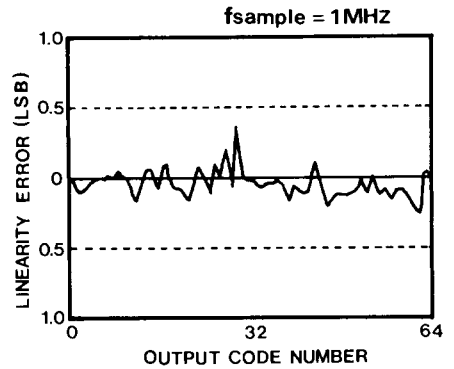


그림 6. 1MHz 샘플링 주파수에 대한 애널로그-디지털 변환기의 정적 직선성
 Fig. 6. Static linearity plot of the ADC for a 1MHz sampling frequency.

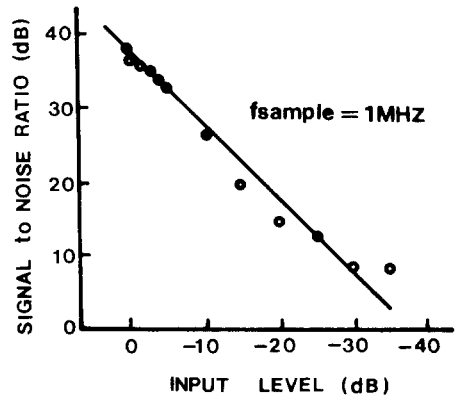


그림 7. 1MHz 샘플링 주파수에 대한 애널로그-디지털 변환기의 신호 대 잡음비
 Fig. 7. SNR of the ADC for a 1MHz sampling frequency.

미터로 측정했다. 그 결과를 그림 7에 나타냈다. 그림으로부터, 입력신호의 진폭이 2V일 때 SNR이 약 37dB임을 알 수 있으며, 이는 이론치(38.5dB)에 매우 가까운 값이다.

IV. 결 론

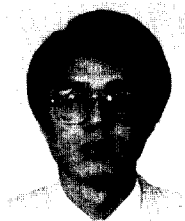
새로운 리플 ADC에 대해 기술하고, 그 동작원리를 실험을 통해 확인했다. 애널로그 입력신호는 2개의 클럭 사이클 동안에 디지털 출력으로 변환된다. 제안한 ADC로 N-비트의 애널로그-디지털 변환을

수행하는데 요구되는 비교기의 수는 $2(2^{N/2}-1)$ 개이고, 저항기와 스위치의 수는 각각 $2(2^{N/2})$ 개이다. 회로구성에 소요되는 저항기와 스위치의 수가 종래의 리플 ADC보다 훨씬 적으므로, 새로운 ADC는 고속·고정도의 ADC로써 많은 분야에 응용될 것이다.

參 考 文 獻

- [1] T. Kumamoto, et al., "An 8-bit high-speed CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. SC-21, no. 6, pp. 976-981, Dec. 1986.
- [2] R. J. Van de Plassche and R. E. J. Van der Grif, "A high-speed 7-bit A/D converter," *ibid.*, vol. SC-14, no. 6, pp. 938-943, Dec. 1973.
- [3] M. Ishikawa and T. Tsukahara, "An 8-bit 20-MHz CMOS subranging A/D converter with pipelined wide-band S/H," *IEEE J. Solid-State-Circuits*, vol. SC-24, no. 6, pp. 1485-1491, Dec. 1989.
- [4] K. Watanabe and W.-S. Chung, "A switched-capacitor interface for intelligent capacitive transducers," *IEEE Trans. Instrum. and Meas.*, vol. IM-35, no. 4, pp. 472-476, Dec. 1986.
- [5] 정원섭 등, "순환-병렬형 애널로그-디지털 변환기," 1987년도 전기·전자공학 학술대회 논문집 II, pp. 1166-1169, 7월, 1987.
- [6] A. G. F. Dingwall and V. Zazzu, "An 8-MHz CMOS subranging 8-bit A/D converter," *IEEE J. Solid-State Circuits*, vol. SC-20, no. 6, pp. 1138-1143, Dec. 1985.
- [7] T. Yamada, et al., U.S. Patent 4533903, Aug. 6, 1985.
- [8] T. Seikino, et al., U.S. Patent 4559522, Dec. 17, 1985.
- [9] S. Hosotani, et al., "An 8-bit 20-MS/s CMOS A/D Converter with 50-mW power consumption," *IEEE J. Solid-State Circuit.*, vol. SC-25, no. 1, pp. 167-171, Feb. 1990.

著 者 紹 介



鄭元夔(正會員)

1955年 11月 3日生. 1977年 2月 한양대학교 전자통신공학과 졸업. 1979年 한양대학교 대학원 전자통신공학과 공학석사 학위 취득. 1986年 3月 일본 静岡(Shizuoka) 대학 전자과학연구과 공학박사

학위 취득. 1986年 4月~현재 청주대학교 반도체공학과 조교수. 주관심분야는 Bipolar 및 CMOS 애널로그 집적회로 설계, 센서 신호처리 회로 설계 및 CAD 등임.



車炯雨(準會員)

1962年 1月 27日生. 1989年 2月 청주대학교 반도체공학과 졸업. 1989年 3月~현재 청주대학교 대학원 전자공학과 석사과정 재학중. 주관심분야는 Bipolar 및 CMOS 애널로그 집적회로 설계,

센서 신호처리 회로 설계 및 CAD 등임.