

論文 90-27-3-5

입력 디코더를 부착한 AND-EXOR형 PLA의 설계법에 관한 연구

(A Study on the Design Method for AND-EXOR PLA's with Input Decoders)

宋 洪 復* 金 明 起,**

(Hong Bok Song and Myung Ki Kim)

要 約

입력 디코더(decoder)가 달린 AND-EXOR형 PLA(programmable logic array)의 간단화 문제는 다치(Multiple-Value)입력 2치 출력 함수를 표현하는 ESOP(배타적 논리화를 이용한 적화형 논리식)의 간단화 문제에 대응한다.

본 논문에서는 5종류 적항의 변형 규칙(rule)을 이용한 ESOP의 간단화 알고리즘을 제안한다. 본 알고리즘에 의해 많은 산술회로의 데이터에 대해서 간단화를 행하였다. 그 결과, 1비트 입력디코더 및 2비트 입력디코더가 달린 PLA의 어느쪽에도 같은 예로써, AND-OR형 PLA 보다 AND-EXOR형 PLA의 쪽이 적은 적항수로 실현될 수 있었다.

Abstract

An optimization problem of AND-EXOR PLA's with input decoders can be regarded as a minimization problem of Exclusive-Or Sum-Of-Products expressions (ESOP's) for multiple-valued input two-valued output functions. In this paper, We propose a minimization algorithm for ESOP's. The algorithm is based on an iterative improvement. Five rules are used to replace a pair of products with another one. We minimized many ESOP's for arithmetic circuits. In most cases, ESOP's required fewer products than SOP's to realized same functions.

I. 서 론

PLA(programmable logic array)는 자동 설계가 용이하고 설계 변경에 대해서도 어레이(array)형 변경만으로 좋은 특징을 갖기 때문에 많은 LSI에서 사

용되고 있다. 그림 1(a)는 이들의 AND-OR 2단 논리를 실현하는 PLA이다. PLA의 논리 구조로서는 이외에 OR 어레이를 EXOR 어레이로 병용한것이 그림 1(b)의 AND-EXOR형 PLA이다. 따라서, AND-EXOR형 PLA는 AND-OR형 PLA에 비해서 몇가지 좋은 장점을 갖고 있다. 그 중의 하나는 AND-EXOR형 PLA쪽이 AND-OR형 PLA보다 일반적으로 적항수가 적다고 추측할 수 있으며 2번째는 AND-EXOR형 PLA는 AND-OR형 PLA에 비해서 검사가 용이하다는 것이다.^[18] AND-OR형 PLA는 약간의 회로를 부가 또는 첨부 함으로써 만능검사를 할 수 있

*正會員, 東義工業專門大學 電子通信科

(Dept. of Electronic Communication Eng., Dongeui Technical Junior College)

**正會員, 東亞大學校 電子工學科

(Dept. of Elec. Eng., DONG-A Univ.)

接受日字: 1989年 10月 4日

다. 또한 AND-EXOR형 PLA도 동일한 형태로만
 능검사를 할 수 있으며 AND-OR형 PLA에 비해서
 필요한 부가회로가 적으며 검사 시간도 짧다. 이와같
 이 AND-EXOR형 PLA는 여러가지 특징을 갖고 있
 지만 실용화 하는데는 많은 문제가 따른다. 하나는
 EXOR의 실현은 OR의 실현에 비하여 비용이 많이
 필요하며 또 하나의 문제는 실용적인 설계 방법이
 아직 확립되어 있지 않다는 것이다.^[16]

본 논문에서는 이 설계의 방법에 관해서 고찰한다.
 AND-OR형 PLA의 설계 문제는 적화형 논리식(SOP
 : sum-of-products)의 간단화 문제에 대응한다. 따라
 서, SOP의 간단화 문제는 오래전부터 연구 되어 왔
 으며 그 때문에 우수한 프로그램도 몇가지 개발이
 되었다. 한편 AND-EXOR형 PLA의 설계 문제는
 배타적 논리화를 이용한 적화형 논리식(ESOP:excl-
 usive-or sum-of-products)의 간단화 문제로 된다.
 ESOP의 간단화 문제는 SOP의 간단화에 비해서 훨
 씩 어렵고 또 현재까지도 최간형을 효율 좋게 구하는
 방법은 알려지지 않고 있다.^[17] 단, ESOP에 필요한
 적항수는 SOP에 필요한 적항수 보다 일반적으로 적
 다고 추측되기 때문에 AND-EXOR형 PLA는 AND-
 OR형 PLA 보다 적은 적항수로 실현할 수 있다고
 생각한다. 본 논문에서는 통상 AND-EXOR형 PLA
 와 병행해서 그림 2 와 같은 입력 디코더가 달린 AND
 -EXOR형 PLA를 고려한다. 그 때문에 종래의 2 치
 입력의 ESOP를 다치 입력의 ESOP로 확장한다. 또
 적항의 변형 규칙(Rule)의 반복 적용에 의해서 다치
 입력 ESOP의 간단화 알고리즘을 표시하며 이 알고
 리즘에 의한 간단화 결과도 표시한다.

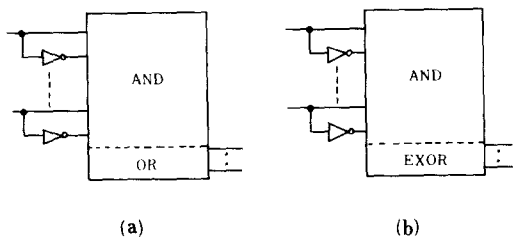


그림 1. PLA의 논리구조

- (a) 1비트 디코더 달린 AND-OR형 PLA
 - (b) 1비트 디코더 달린 AND-EXOR형 PLA
- Fig. 1. Logic structure of PLA.
 (a) AND-OR PLA's with one bit decoder.
 (b) AND-EXOR PLA's with one bit decoder.

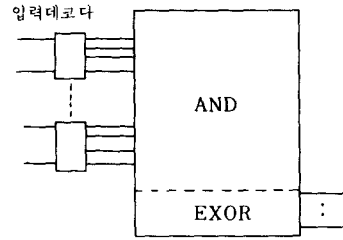


그림 2. 입력 디코더 달린 AND-EXOR형 PLA
 Fig. 2. AND-EXOR PLA's with in put decoder.

II. 다치 입력 ESOP

1. 다치 입력 ESOP

입력 디코더가 달린 AND-OR형 PLA 간단화는
 다치 입력 2 치 출력 함수를 표현하는 SOP의 간단
 화에 대응한다. 같은 형태로 입력 디코더가 달린
 AND-EXOR형 PLA 간단화는 다치 입력 2 치 출력
 함수를 표현하는 ESOP의 간단화에 대응한다. 여기
 에서 우선, ESOP를 정식화 한다.

[정의 1] 사상(寫像) $f: P_1 \times P_2 \times \dots \times P_n \rightarrow B$, $P_i =$
 $\{0, 1, \dots, P-1\}$, $B = \{0, 1\}$ 를 다치 입력2치
 출력 함수라 부른다.

[정의 2] X 를 $P = \{0, 1, \dots, P-1\}$ 의 모든 값을 갖는
 변수라 한다. $S \subseteq P$ 라고 하면 X^s 를 X 의 리
 터럴(Literal)이라고 부르며

$$X^s = \begin{cases} 1 & (X \in S \text{ 일 때}) \\ 0 & (X \notin S \text{ 일 때}) \end{cases}$$

라고 정의한다.

[정의 3] $X_1^{s_1} \cdot X_2^{s_2} \cdot \dots \cdot X_n^{s_n}$ 을 논리적 $\bigoplus_{(s_1, s_2, \dots, s_n)} X_1^{s_1} \cdot X_2^{s_2} \cdot \dots \cdot X_n^{s_n}$
 를 배타적 논리화를 이용한 적화형 논리식
 (ESOP: exclusive-or sum-of-products) 라
 고 부른다.

[정리 1] 임의의 다치 입력 2치출력 함수 f 는 ESOP
 에 의해서 표현할 수 있다.

[증 명] n 변수의 최소항을 (a_1, a_2, \dots, a_n) 으로 표시한
 다. 이때 함수 f 는 $\bigoplus_{(a_1, a_2, \dots, a_n)} f(a_1, a_2, \dots, a_n) \cdot X_1^{a_1} \cdot X_2^{a_2} \cdot \dots \cdot X_n^{a_n}$ 라고 표현할 수 있으며 이 식은
 ESOP이다.

[정의 4] 1개의 함수를 표시하는 ESOP는 여러개 존
 재한다. 이 중에서 적항수가 최소의 ESOP
 를 최소 ESOP라고 부른다.

[예 1] 표 1에 다치 입력 2치 출력 함수 f 를 표시
 한다. 여기에서, $f: P_1 \times P_2 \times P_3 \rightarrow B$, $P_1 =$
 $P_2 = B$, $P_3 = \{0, 1, 2\}$ 이며 카르노도(karn-
 augh map)에 의해 표현하면 그림 3 과 같다

표 1. 함수 f
Table 1. Function f.

| X_0 | X_1 | X_2 | f |
|-------|-------|-------|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 2 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 0 | 1 | 2 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 0 | 2 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |
| 1 | 1 | 2 | 0 |

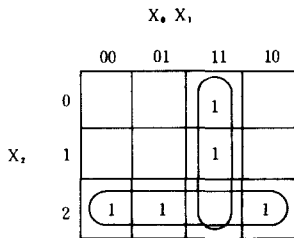


그림 3. 함수 f의 카르노드
Fig. 3. Karnaugh map of function f.

따라서, 함수 f의 최소 ESOP는 $f = X_0^{(0)} \cdot X_1^{(1)} \oplus X_2^{(2)}$ 으로 된다.

2. 다출력 함수

논리 회로의 적항수가 2이상의 경우에 각 출력을 독립으로 최소화 해도 전체로서 적항수가 최소의 PLA를 얻을 수 있다고는 할 수 없으며 다출력 함수를 전체에 대해서 최소화 하는 방법을 표시한다.

[정의 5] 다치 입력 2차 m출력 함수를 $f_i(X_1, X_2, \dots, X_n)$ ($i=0, 1, \dots, m-1$)으로 한다. 이때, 다출력 함수 $(f_0, f_1, \dots, f_{m-1})$ 의 특성 함수 F를, $F(X_1, X_2, \dots, X_n, X_{n+1}) = \bigvee_{i=0}^{m-1} X_{n+1}^{(i)} \cdot f_i(X_1, X_2, \dots, X_n)$ 으로 정의한다. 특성 함수 F에서는 입력과 출력의 조합이 처음의 다출력 함수에서 허용될때 $F=1$ 로 되고 허용되지 않을때 $F=0$ 으로 된다.

[정리 2] 다치 입력 2차 다출력 함수 $(f_0, f_1, \dots, f_{m-1})$ 를 실현하는 PLA 최소화는 특성 함수 F의 ESOP 최소화에 대응한다.

[증명] 특성 함수 f를 표현하는 최소 ESOP의 하나를 ϕ_1 으로 하고 그 적항수를 t_1 으로 한다. F의 정의역을 $X_{n+1}=i$ 에 제한하면 함수 f_i 가 얻어진다. 따라서 ϕ_1 의 적항을 적항선에 대응시켜 X_{n+1} 을 출력부로 하는 PLA를 만들면 이 PLA는 다출력 함수 $(f_0, f_1, \dots, f_{m-1})$ 를 실현한다. 이 PLA의 적항선수는 ϕ_1 의 적항수와 같다. 다음에 다출력 함수 $(f_0, f_1, \dots, f_{m-1})$ 를 실현하는 PLA에서 적항수가 최소의 것을 PLA_1 이라고 한다. PLA_1 에서 특성함수 f를 표현하는 ESOP (이것을 ϕ_2 라고 한다)를 얻을수가 있다. PLA_1 의 적항선수를 t_2 라 하면 이것은 ϕ_2 의 적항수와 같다. 특성 함수를 표현하는 ESOP의 적항수를 고려하면 ϕ_1 이 최소이기 때문에 $t_1 \leq t_2$ 를 얻을 수 있다. 다음에, 다출력 함수를 실현하는 PLA를 고려하면, PLA_1 이 최소이므로 $t_2 \leq t_1$ 을 얻을 수 있다. 이것으로부터 $t_1 = t_2$ 가 된다. 즉 특성 함수를 표시하는 ESOP를 최소화하는 것에 의해서 다출력 함수를 실현하는 PLA를 최소화 할 수 있다.

[예 2] 표 2의 2치 2입력 3출력 함수 (f_0, f_1, f_2) 를 고려한다. 특성함수 F는 예 1의 표 1 함수 f와 같게 된다. 특성함수 f의 최간형은 $F = X_0^{(0)} \cdot X_1^{(1)} \oplus X_2^{(2)}$ 이다. 여기서 3치 변수 X_2 는 출력부를 표시하는 변수이다. 따라서 3출력 함수 (f_0, f_1, f_2) 의 최간형은 $f_0 = f_1 = X_0^{(0)} \cdot X_1^{(1)}$
 $f_2 = X_0^{(0)} \cdot X_1^{(1)} \oplus 1$ 로 된다. 이 식에 대응하는 AND-EXOR형 PLA를 그림 4에 표시한다

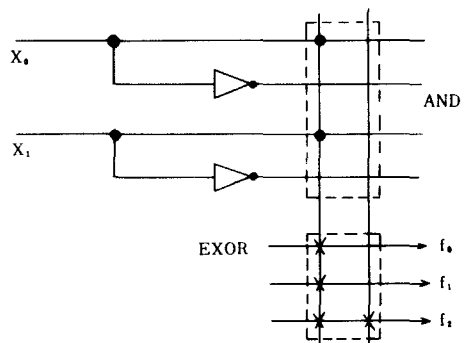


그림 4. AND-EXOR형 PLA
Fig. 4. AND-EXOR PLA's.

표 2. 다출력 함수
Table 2. Multi-out put function.

| X_0 | X_1 | f_0 | f_1 | f_2 |
|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

III. 간단화 알고리즘

1. 간단화 알고리즘의 기본방침

현재까지 다치입력의 ESOP 간단화를 직접 취급한 논문은 알려져 있지 않고 있다. 단 2치 논리함수를 표현하는 ESOP는 스위칭 (switching) 이론의 초기에서부터 고찰되어 왔다. 본절에서는 현재까지의 주된 ESOP의 간단화 알고리즘의 개략과 그 문제점을 지적하고 본논문에서 제안하는 알고리즘의 기본방침에 대해서 논한다.

ESOP의 기본형으로서, Reed-Muller전개 (RME)가 있다.^[10,13] 따라서 이 RME의 일반화를 고려할 수 있으며, ESOP의 간단화 알고리즘중의 한가지 방식은 일반화한 RME의 최적해를 구하는 방법이다.^[7,8,11,15] 그러나 일반화한 RME의 최적해를 구해도 최소 ESOP라고는 한정할 수 없다. 어떤함수는, 최소 ESOP에서 수개의 적항으로 실현할 수 있지만, 일반화한 RME에서 적항수는 입력수의 지수함수에 비례해서 증가한다.^[16] RME에 의한 ESOP의 간단화에서, 최소 ESOP에 비해, 적항수가 상당히 크게 증가한다고 하는 문제이다. 최근, RME에 제한을 두지 않는 ESOP의 간단화 알고리즘도 많이 연구되고 있으며 이들의 알고리즘에서는, RME 또는 최소항의 표현을 초기해로 하고 적항의 변형 룰 (Rule)을 이용해서 ESOP의 적항수 삭감을 행한다.^[2,3,4,5,14] 이 경우, 입력수가 크게 되면 초기해의 적항수가 폭발적으로 증가하는 문제가 있다. 이와같은 문제를 고려해서, 본논문에서는 다음과 같은 간단화 알고리즘을 제안한다.

(1) SOP를 disjoint로 분해한 ESOP를 초기해로서 이용한다.

(2) 5종류 적항의 변형 룰 (Rule)을 반복적으로 이용하는 것에 의해 ESOP의 간단화를 행한다.

(3) 다출력 함수를 품질 좋게 간단화 하기위해 한 번, 각출력을 독립적으로 간단화한후, 전체를 간단화한다.

2. 초기해

본 논문에서 제안하는 알고리즘은 룰 (Rule)을

반복적으로 적용해서 간단화를 행한다. 따라서, 계산시간의 단축과 또한 큰 데이터(Data)를 취급하기 위해서는 초기해로서 적항수가 작은 ESOP를 얻는 것이 중요하다. 본 논문에서는 간단화한 SOP를 disjoint로 분해하고, 이 ESOP를 초기해로 하고 있다.

[정의 6] 어떠한 적항도 상호적으로 같은 최소항을 공유하지 않도록한 SOP를 DSOP (disjoint SOP)라 한다.

DSOP의 연산을 EXOR 연산으로 치환하면 동일한 함수를 표시하는 ESOP로 된다. DSOP에 의한 초기해는 최소항을 바탕으로 해서 병합(merge)과 정형(Reshape)의 연산을 반복적으로 행해서 얻어진 ESOP와 거의 같은수의 적항수가 된다. 따라서, 이 초기해는 상당히 적항수가 적은 ESOP로 되고 있다.

3. 적용 룰-을

본 논문에서 제안하는 알고리즘은 다음 5종류의 적항 변형 룰 (Rule)을 반복 적용해서 ESOP의 간단화를 행한다. 등호 좌측의 2개 적항이 우측1개 또는 2개의 적항으로 변형한다.

(1) EXOR-merge

$$X^a \oplus X^b = X^{(a \oplus b)}$$

(2) Reshape

$$X^a Y^b \oplus X^c Y^d = X^a Y^{(b \cap d)} \oplus X^{(a \cup c)} Y^d$$

$$\text{If } (a \cap c = \phi, b \supset d)$$

(3) dual-complement

$$X^a Y^b \oplus X^c Y^d = X^c Y^{(b \cap \bar{a})} \oplus X^{\bar{a} \cup c} Y^b$$

$$\text{If } (a \subset c, b \supset d)$$

(4) X-Cover-1

$$X^a Y^b \oplus X^c Y^d = X^a Y^{(b \cup \bar{a})} \oplus X^{(a \cup c)} Y^d$$

$$= X^{(a \cup c)} Y^b \oplus X^c Y^{(b \cup \bar{a})}$$

$$\text{If } (a \cap c = \phi, b \cap d = \phi)$$

(5) X-Cover-2

$$X^a Y^b \oplus X^c Y^d = X^{(a \cup c)} Y^b \oplus X^c Y^{(b \cap \bar{a})}$$

$$\text{If } (a \cap c = \phi, b \supset d)$$

각각의 룰에 대응한 적항의 변형 모식도(模式圖)를 4치(Four value)입력의 경우를 예로 들어 그림5에 나타낸다. 이 5종류의 룰중, 적항수를 줄일 수 있는 룰은 (1) EXOR-merge 뿐이다. 그외의 룰은 (1)의 룰이 적용 가능하도록 적항의 변형을 행하기 위한 룰이다. (2)는 SOP의 간단화에도 적용되는 적항의 룰이다.^[17] (3)~(5)의 룰이 ESOP의 특유한 룰이다. 패리티 (parity) 함수처럼, SOP에서는 많은 적항이 필요하지만 ESOP에서 적은 적항으로 함수를 행하기 위해서는 (4), (5)의 룰을 잘 적용하는 것에 의해 적항수를 상당히 줄일 수 있다. (4)의

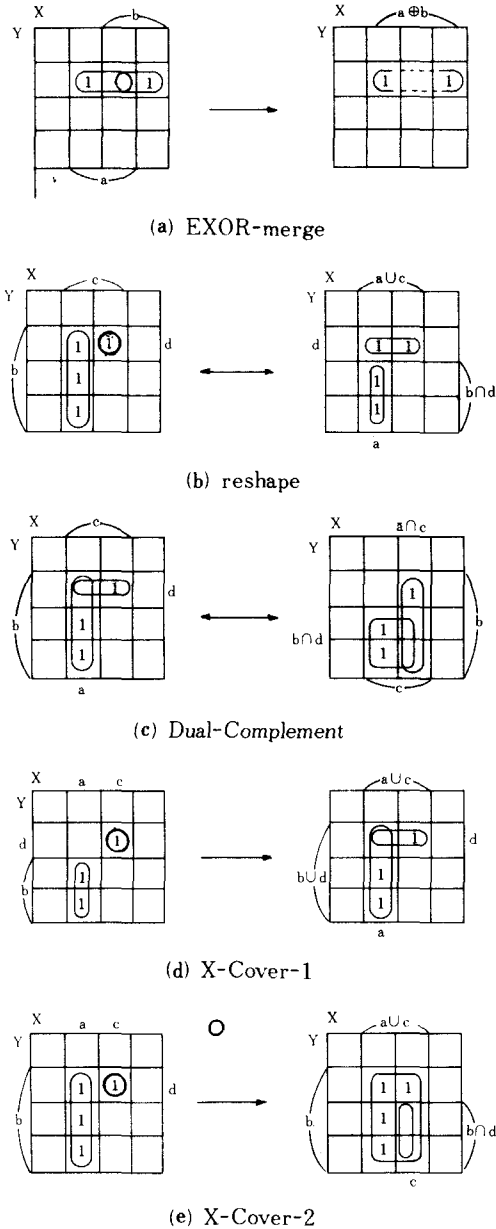


그림 5. 적용 루울의 모식도
Fig. 5. An example of application rule.

루울에는 2가지 종류의 변형이 가능하지만 그 사이의 변형은 (3)의 루울을 이용해서 행할 수가 있다. 또 (2)와 (3)의 루울은 동일한 루울을 2번 적용함으로써 처음의 적항으로 돌아간다.

4. 간단화 알고리즘

알고리즘(Algorithm)은 적항수를 줄일 수 있는 (1)의 루울을 중심으로 해서 (1)의 루울을 적용할 수 없

으면 루울 (2)~(5)를 순차적으로 적용한다. 현재의 알고리즘에서는 루울의 적용순, 또는 적항의 순서에 관한 수법은 고려하지 않는다. 단 2치 입력 다출력의 함수 경우, 각 출력을 단독으로 간단화하고 그후, 전체를 간단화하도록 하고 있다. 다음절의 예제에서도 알 수 있듯이 루울의 적용순을 고려하는 것은 중요하다. 다치 입력함수의 경우, 이들의 루울을 적용함으로써 주의해야 할점이 있다. 그것은 X-cover-1 또는 X-cover-2와 dual-complement의 루울을 적당하게 조합하면 처음의 ESOP로 돌아갈 수가 있다. 그 한가지의 예를 그림 6에 표시한다. 이와같은 루울의 적용에 의한 프로그램의 무한 루울을 방지하기 위해서 ESOP의 체적이라고 하는 개념을 도입한다.

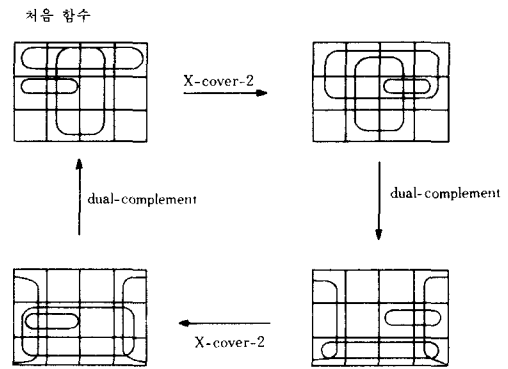


그림 6. (3)과 (5) 루울의 적용에 의한 루울프
Fig. 6. Loop by application of (3) and (5) rules.

[정의 7] 집합 S의 소요수를 |S|에 의해 표시한다. 이 때, 적항 $X_1^1 \cdot X_2^2 \cdot \dots \cdot X_n^n$ 의 체적을 |S₁| |S₂| ... |S_n|이라고 정의한다. 또한, ESOP의 모든 적항의 체적 총화를 ESOP 체적이라고 한다.

루울의 적용에 의한 체적의 변화를 고려해 보자. (2)의 루울에서 루울의 적용전과 적용후에서 적항의 체적은 변화하지 않지만, (4) 및 (5)의 루울은 적용에 의해서 체적이 증대한다. (3)의 루울에서 루울의 적용에 의해 2치 입력에서 체적은 변화하지 않지만 다치입력에서 변화하는 경우가 있다.

그림 6 예에서는 (5)의 X-cover-2 루울에 의해서 체적은 증대하지만 (3)의 dual-complement 루울의 적용에 의해서 체적이 감소하고 있기 때문에 처음의 ESOP로 돌아간다. 이와같이 (4) 또는 (5)의 루울 적용후에 (3)의 루울을 적용하면 (4), (5)의 루울 적용

전의 적항형으로 돌아갈수가 있다. 알고리즘 1은 루울의 적용에 의해 ESOP의 체적은 증대하며 최종적으로 루울을 적용할 수 없게 되어 정지한다. 다치입력의 경우에는 (3)의 루울 적용에 특별한 배려를 행하여 무한 루우프(Loop)로 함락하는 것을 방지하고 있다. [알고리즘 1] (ESOP 간단화)

(1) SOP의 입력 디코더를 DSOP로 변환하고 ESOP의 초기해로 한다.

(2) 입력이 2치의 경우, 각 출력 함수마다 아래의 처리를 행하며 또한, 그 결과를 통합해서 모든 함수에서 다시 아래의 처리를 행한다. 입력이 다치의 경우, 아래의 처리를 전함수에 대해서 한번만 행한다.

1) EXOR-merge 루울의 조건을 만족하는 모든 적항의 조합에 대해서 EXOR-merge를 행한다.

2) 모든 적항의 조합에 대해서 Reshape, Dual-Complement, X-Cover-1, X-Cover-2의 루울 적용을 순차적으로 시도한다. 루울을 적용할 수 있는 경우, 다음의 순서 처리를 행한다.

(i) 루울의 적용에 의해 변화한 적용에 대해서 EXOR-merge의 루울 적용을 시도한다.

(ii) (i)에 의해 EXOR-merge가 가능하면 (2)의 처리를 처음부터 행한다. 또, X-Cover-1, X-Cover-2의 루울에서 EXOR-merge를 적용할 수 없다 하더라도 (2)의 처리를 처음부터 행한다.

(iii) 다치 입력 함수의 경우, Dual-Complement의 루울을 적용하고 또한, (i)에서 EXOR-merge를 적용할 수 없으면 Dual-Complement 루울의 적용전 상태로 돌아간다.

5. 적용예

그림 7의 카르노도(Karnaughmap)에 표시한 2치 4입력 함수에 알고리즘 1을 적용한다. 그림 7에서 표시하는 ESOP는 이미 DSOP로 되어 있으며 또, 이것 이상의 EXOR-merge 루울을 적용할 수 없다. 따라서 알고리즘 1의 2)만의 처리가 남게된다. 적용예 I에서는 알고리즘 1에 따른 루울의 적용을 행하며 적용예 II는 (4)와(5) 루울의 적용순을 교체한 경우의 알고리즘 적용예이다.

(적용예 I) 그림 8(a)의 적항에 (2), (3)의 루울을 적용해도 EXOR-merge의 루울을 적용할 수 없다. 따라서 (4)의 X-Cover 루울의 적용을 시도한다. 적용할 수 있는 적항의 조합은 ①, ②와 ②, ③의 2개의 조합이다 ①과②의 적항에 X-Cover-1의 루울을 적용하면 그림 8(b)와 같이 된다. 이때 ④, ⑤의 적항을 EXOR-merge 할 수 있다. EXOR-merge의 결과가 그림 8(c)이다. 그림 8(c)에서 표시하는 ESOP에는

(1)~(5)의 어떠한 루울도 적용할 수 없다. 따라서 알고리즘은 종료하고 적항수 4개의 ESOP로 된다. (적용예 II) 그림 9(a)의 적항에는 적용예 I과 같은 형태로 (2), (3)의 루울은 적용할 수 없다. 다음에 루울의 적용순을 변경해서 (5)의 X-Cover-2 루울의 적용을 고려한다. 적용할 수 있는 적항의 조합은 ①, ②와 ③, ④와 ③, ⑤의 3개의 조합이 존재한다. ①, ②의 적항에 X-Cover-2의 루울을 적용하면 그림 9(b)로된다. 그림 9(b)에서 표시하는 ESOP에는 EXOR-merge 할 수 있는 적항은 존재하지 않는다. 다음의 (2)의 reshape 루울의 적용을 고려한다. (2)의 루울을 적용할 수 있는 적항의 조합은 ③, ④와 ③, ⑤와 ③, ⑦의 3개조합이다. ③과④의 적항에 reshape를 행하면 그림 9(c)를 얻을 수 있다. 그림 9(c)의 ⑦과⑧의 적항은 EXOR-merge 할 수 있으며 그림 9(d)와 같이 된다. 또한 그림 9(d)의 ⑨와 ⑩의 적항을 EXOR-merge 할 수 있으며 그림 9(e)와 같이 된다. 이것 이상의 루울 적용은 할 수 없으며 알고리즘은 정지한다. 따라서 최종 결과는 적항수가 3개의 ESOP로 된다. 적용예 I에서는 적항수가 4개로 되며, 적용예 II

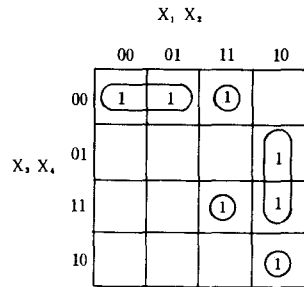


그림 7. 카르노도
Fig. 7. Karnaugh map.

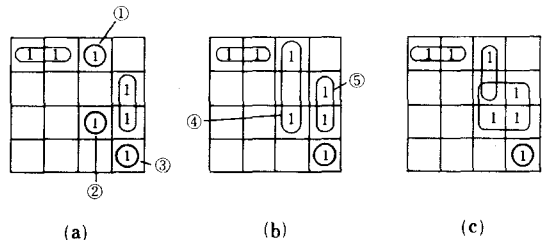


그림 8. 적용예 I
Fig. 8. An example I of application.

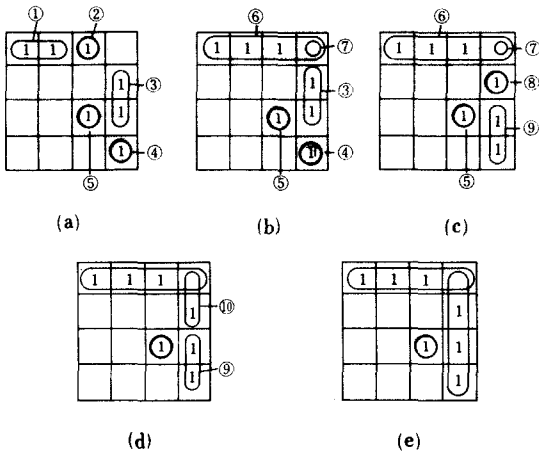


그림 9. 적용예 II
Fig. 9. An example II of application.

에서 적합수는 3개로 됨을 알 수 있다. 이와같이 루울의 적용순에 의해 최종 결과가 크게 좌우된다. 적용예 II의 경우에도 그림 9(a)에서 ③, ⑤의 적합에 X-Cover-2의 루울을 적용한 경우, 적용예 I과 동일한 결과로 된다. 역으로, 적용예 I의 경우도 초기해의 ESOP를 변화시키는 것에 의해 적합수가 3개의 ESOP를 얻을 수 있다.

IV. 실험 결과

3장에서 논한 ESOP의 간단화 알고리즘을 SUN 3/50 상에 FORTRAN을 이용해서 실현 하였으며 많은 산술회로에 대해서 간단화를 행하였다. Helliwell 과 Perkowski는 ESOP의 간단화 프로그램을 작성하고 그 결과의 데이터를 상세히 보고 하였다.^[2] 그들의 방법은 최소항의 표현을 초기해로 하고 X link 라고 부르는 적합의 변형 조작에 의해서 간단화를 정하였다. 그리고 같은 회로에 대해서 간단화를 시도 하였으며 CPU시간과 적합수를 표시한 결과를 표3에서 나타낸다. Helliwell 등의 사용계산기는 IBM-PC AT10 MHz 이다. 이들의 데이터에서는, 적합수에 대해서 동등하든가 또는 보다 좋은 결과를 얻고 있다. CPU 시간에 관해서는 적합수가 적은 ADR2, ROT6, SQR3의 데이터에 관해서는 늦든가 또는 가능한한 1/3 정도의 시간으로 해를 구하였으나 적합수가 많은 MLP4, SQR6, ADR4와 같은 데이터가 되면 1/6~1/30 정도의 시간에서 구하였다. 사용 계산기가 다르기 때문에 단순히 비교할 수는 없지만 적합수가 큰 회로에서는 본알고리즘의 쪽이 고속이라고 생각한다. 그 이유로는 초기해의 차(본알고리즘에서는

DSOP, 그들은 최소항)를 생각할 수 있다. 또, 1비트 및 2비트 디코더가 달린 AND-OR형 또는 AND-EXOR형의 PLA에 필요한 적합수를 8종의 산술회로^[17]에 대해서 구하였다.

그 결과를 표 4에 표시한다. AND-OR형 PLA의 데이터는 간단화 알고리즘으로 QM(quine-mcclusky)법을 이용하고 2비트 디코더가 달린 데이터는 모든 입력 변수의 조합을 망라적으로 조사한 결과이며 최소해이다. 한편, AND-EXOR형 PLA의 데이터는 본 알고리즘에 의해 구하였으며 준최적해이다. 그결과 AND-OR형 PLA, AND-EXOR형 PLA의 경우와 함께 1비트 디코더가 달린 PLA 보다는 2비트

표 3. Helliwell의 논문 결과와 본 알고리즘 1의 비교

Table 3. Comparision Helliwell's result with algorithm 1.

| 데이터명 | Helliwell | | 알고리즘 1 | |
|--------|-----------|----------|--------|----------|
| | 항수 | Time sec | 항수 | Time sec |
| ADR 2 | 8 | 0 | 7 | 1.6 |
| ADR 4 | 34 | 840 | 34 | 84.5 |
| ROTP 6 | 8 | 10 | 7 | 3.0 |
| ROTP 8 | 22 | 240 | 17 | 17.8 |
| SQR 3 | 7 | 0 | 7 | 1.1 |
| SQR 6 | 40 | 180 | 35 | 31.9 |
| MLP 3 | 19 | 48 | 18 | 7.7 |
| MLP 4 | 119 | 7800 | 82 | 242.0 |

표 4. AND-OR형 PLA와 AND-EXOR형 PLA의 적합수

Table 4. Number of product term for AND-OR and AND-EXOR PLA's.

| 데이터명 | AND-OR | | AND-EXOR | |
|-------|----------|----------|----------|----------|
| | 1 비트 디코더 | 2 비트 디코더 | 1 비트 디코더 | 2 비트 디코더 |
| ADR 4 | 75 | 17 | 33 | 12 |
| SQR 8 | 180 | 147 | 141 | 137 |
| MLP 8 | 121 | 85 | 72 | 67 |
| ROT 8 | 57 | 38 | 42 | 39 |
| RDM 8 | 76 | 52 | 35 | 30 |
| NRM 4 | 120 | 70 | 86 | 71 |
| LOG 8 | 123 | 98 | 122 | 115 |
| WGT 8 | 255 | 54 | 103 | 38 |

디코더가 달린 PLA의 쪽이 적항수가 적게 되었다. 또 1비트 디코더가 달린 경우, AND-EXOR형 PLA의 쪽이 AND-OR형 PLA보다 적항수가 적게 되었다. 2비트 디코더가 달린 경우도 LOG8의 예를 제외하고는 동일한 형태의 경향을 보이고 있다. 따라서 전체적으로는 거의 다음과 같은 경향으로 되었다.

- 1비트 디코더 달린 AND-OR형 PLA의 적항수
 > 1비트 디코더 달린 AND-EXOR형 PLA의 적항수
 > 2비트 디코더 달린 AND-OR형 PLA의 적항수
 > 2비트 디코더 달린 AND-EXOR형 PLA의 적항수

V. 결 론

본 논문에서는 입력디코더 달린 AND-EXOR형 PLA의 설계법을 고찰하였다. 이 PLA의 설계는 다치입력 ESOP의 간단화에 의해 실행 하였으며 또한 본 논문에서는 5종류의 규칙을 이용한 반복 개선법에 의해 간단화의 알고리즘을 제안하였다. 본 알고리즘은 SUN 3/50 상에서 실현 하였으며 많은 산술회로에 대해서 시도하였다.

參 考 文 獻

- [1] S.J. Hong, R.G. Cain and D.L. Ostapko, "MINI: A heuristic approach for logic minimization," IBM J. Res. & Develop. pp. 443-458, Sept. 1974.
- [2] M. Helliwell and M. Perkowski, "A fast algorithm to minimize multioutput mixed-polarity generalized Reed-Muller forms," 25th DAC, pp. 427-432, 1988.
- [3] Ph. W. Besslich "Efficient computer method for EXOR logic design," *IEEE Proc.*, vol. 130, part E. pp. 203-206, 1983.
- [4] H. Fleisher, M. Tavel and J. Yeager, "A computer algorithm for minimizing Reed-Muller canonical forms," *IEEE Trans. Comput.* vol. C-36, no. 2, pp 247-250, Feb. 1987
- [5] S. Even, I. Kohavi and A. Paz, "On minimal modulo-2 sums of products for switching functions," *IEEE Trans. Electronic Computers*, vol. EC-16, pp. 671-674, Oct. 1984.
- [6] H. Fujiwara and K. Kinoshita, "A design of programmable logic arrays with universal tests," Joint special issue on Design for Testability *IEEE Trans. Comput.*, vol. C-30, no. 11, pp. 823-828; and *IEEE Trans. circuit and system*, vol. CAS-28, no. 11, pp. 1027-1032, Nov. 1981.
- [7] A. Mukhopadhyay and G. Schmitz, "Minimization of Exclusive OR and logical Equivalence of switching circuits," *IEEE Trans. Comput.*, C-19, pp. 132-140, 1970.
- [8] K.K. Saluja and E.H. Ong, "Minimization of Reed-muller canonic expansion," *IEEE Trans. Comput.*, c-28, pp. 535-537, 1979.
- [9] T. Sasao, "Input variable assignment and output phase optimization of PLA's," *IEEE Trans. Comput.*, vol. c-33, no. 10, pp. 879-894, Oct. 1984.
- [10] D.E. Muller, "Application of boolean algebra to switching circuit design and to error to switching circuit design and to error detection," *IRE Trans. Electron. Comput.*, EC-3, pp. 6-12, 1954.
- [11] J.P. Robinson and Chia-Lung Yeh, "A method for modulo-2 minimization," *IEEE Trans. Comput.*, C-31, pp. 800-801, 1982.
- [12] S. Muroga, logic design and switching Theory, Wiley-Interscience Publication, 1979.
- [13] I.S. Reed, "A class of multiple-error-correcting codes and the decoding scheme," *IRE Trans. Information Theory* PGIT-4, pp. 38-49, 1954.
- [14] G. Papakonstantinou, "Mimimization of modulo-2 sum of products," *IEEE Trans. Comput.*, C-28, pp. 163-167, 1979.
- [15] S. Swamy, "On generalized Reed-muller expansions," *IEEE Trans. Comput.* C-31, pp. 1008-1009, Sept., 1972.
- [16] 笹尾, 藤原, "万能検査集合をもつADD-EXOR形PLA," 電子通信学会FTS研究会, FTS 86-25, 1987-02.
- [17] 笹尾, PLAの作り方・使い方. 日刊工業新聞社. 1986.
- [18] 笹尾, Ph. W. Besslich, "EXORアレイ付きPALの複雑度," 電子通信学会 FTS研究会, FTS86-17, 1986-11.

 著 者 紹 介



宋 洪 復(正會員)

1956年 4月 14日生. 1983年 2月
 광운대학교 전자통신 공학과졸업
 (공학사). 1985년 2월 인하대학교
 대학원 전자공학과(공학석사). 19
 85년 9월~현재 동의공업전문대학
 전자통신과 조교수, 1986년 3월
 ~현재 동아대학교 전자공학과 박사과정. 1989년 1
 월~1990년 1월 일본주공대 정보공학부 객원 연구
 원. 주관심분야는 논리회로설계, 스위칭 이론, PLA
 설계, 다식논리회로 등임.



金 明 起(正會員)

1930年 1月 25日生. 1958年 6月
 미국해군공과대학 졸업. 1966년
 2월 서울대학교 대학원 전자공학
 과 졸업(공학석사). 1976년 2월
 동아대학교 대학원 전자공학전공
 (공학박사). 1972년 3월~현재 동
 아대학교 전자공학과 교수. 주관심분야는 디지털 신
 호처리, 확산스펙트럼통신 등임.