

論文 90-27-3-19

CMOS 기술을 이용한 신경회로망의 VLSI 구현 (VLSI Implementation of Neural Networks Using CMOS Technology)

鄭 鎬 宣*

(Ho Sun Chung)

要 約

본 논문은 단층 perceptron과 새로 개발한 비대칭 케환형 신경회로망 모델을 CMOS VLSI로 구현하는 방법에 관한 연구로써, boolean 식과 산술 연산을 수행할 수 있는 50여개의 칩을 이중 금속 2마이크로미터 설계 규칙에 의해 설계하였으며 제작중에 있다. 이들 칩은 문자 인식, 디지털 처리 및 신경회로망 컴퓨터에 기본 칩으로 사용할 수 있도록 개발되었다.

Abstract

We describe how single layer perceptrons and new nonsymmetry feedback type neural networks can be implemented by VLSI CMOS technology. The network described provides a flexible tool for evaluation of boolean expressions and arithmetic equations. About 50 CMOS VLSI chips with an architecture based on two neural networks have been designed and are being fabricated by 2-micrometer double metal design rules. These chips have been developed to study the potential of neural network models for the use in character recognition and for a neural computer.

I. 서 론

Neural network 방식의 neural computer는 Von Neumann 방식의 computer와는 달리, 그 구조 및 계산 원리가 인간 두뇌의 신경망과 유사한 새로운 형태의 computer라고 볼 수 있다. 지금까지 알려진 바에 의하면 인간의 두뇌는 약 100억~150억개의 신경 세포로 구성되어 있으며, 각 세포들은 다시 약 10,000개의 다른 세포와 연결되어 있는 것으로 알려져 있다.

지금까지 발표된 약 50여종의 신경 회로 model 중에서 Caltech의 Hopfield 교수의 model^[1]은 인간 두

뇌의 연상 기억 처리방식을 본딴 것으로서, 이 신경 회로 model을 analog 회로와 VLSI 기술로 hardware 화 할 수 있는 가능성을 보여 주었다. 처음 Hopfield 교수가 착안한 model은 우리의 뇌 세포와 마찬가지로 신경 회로중 일부가 파손되거나 동작에 있어서 error가 생겨도 system의 전체적인 기능에는 영향을 주지 않도록 하는 것이었으나, 현재는 아직 연구 단계이므로 큰 기대에는 미치지 못하고 있다. 그러나 이러한 Hopfield 교수의 제안은 신경회로망에 대한 많은 관심과 연구를 촉진시켰으며, VLSI 기술을 이용하여 신경 회로칩(neural chip)을 만들 수 있는 방법을 제시 하였다.

지금까지 연구되고 있는 neural chip은 크게 두가지로 분류될 수 있으며, 그 중 하나는 인간의 뇌의

*正會員, 慶北大學校 電子工學科
(Dept. of Elec. Eng., Kyungbook Nat'l Univ.)
接受日字: 1989年 8月 28日

기능^[2]을 본 단 것이고, 또 다른 하나는 눈의 기능^[3]을 모방한 것으로서 인간의 정보 처리 기법을 각각 흉내낸 것이라고 할 수 있다. 현재 많은 기관에서는 음성 인식, 문자 및 패턴 인식을 실시간으로 처리할 수 있는 neural chip 개발에 대해 많은 연구를 수행하고 있다.

본 연구에서는 지금까지 연구되고 있는 model 중에서 VLSI로 구현하기 쉬운 single layer perceptron model^[4,5]과 Hopfield model을 변형시켜 본 연구실에서 새로 개발한 nonsymmetry feedback type model^[6,7] VLSI 구현방법에 대해서 설명하고자 한다. 그리고 double metal 2-micrometer CMOS 기술을 사용하여 신경 회로망을 VLSI로 구현하는 방법, 즉 신경세포(neuron), 세포간의 연결세기(synapse) 및 자극과 억제에 해당하는 입, 출력(dendrite, axon)신호를 가해주는 방법에 대해서 기술하고자 한다.

II. Neuron의 Model

인간의 신경세포는 중앙 신경 계통의 구성 단위로서 신체 각 부위간의 상호정보 통신을 수행한다. 이 신경 세포는 그림 1과 같이 neuron과 이들을 상호연결해 주는 신경 전도부(synapse), 그리고 neuron에 전기적인 신호를 전송하기 위한 수상돌기(dendrite)와 축색돌기(axon)로 구성되어 있다. 신경 회로망내의 각 neuron들은 약 10,000여개의 입력을 가질 수 있으나, 출력은 하나만 가질 수 있다. 그러나 각 출력은 다시 약 10,000개 정도로 분기되어 synapse를 통해 다른 많은 neuron에 입력이 될 수 있다. 어떤 하나의 neuron에 다른 neuron으로부터 들어온 입력(Vj)과 synapse(Gij)와의 곱의 합이 어떤 임계치(σi)

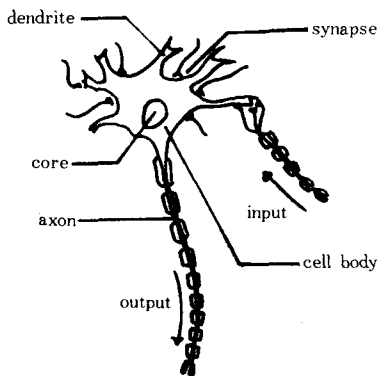


그림 1. 신경 세포의 구조
Fig. 1. Schmatic drawing of a neuron.

를 넘으면 이 neuron은 또 다른 neuron들에게 흥분에 해당하는 출력(excitatory), "high"신호를, 그렇지 않으면 억제에 해당하는 출력(inhibitory), "low"신호를 내준다. 이를 수학적으로 표시하면 i번째 neuron의 출력전압은 다음과 같은 식으로 표현할 수 있다.

$$V_i = f(\sum V_j G_{ij} - \sigma_i)$$

=1 : 흥분자극의 세기 > 억제자극의 세기
=0 : 흥분자극의 세기 < 억제자극의 세기

여기서 f: gain function, Vi: i번째 neuron의 출력, Gij: i번째와 j번째 neuron과 연결되는 synapse, Vj: j번째 neuron으로부터 i번째 neuron으로 입력, Ci: 분포 capacitance 및 σi: i번째 neuron의 임계값이다.

Neuron 간의 상호 연결부, 즉 synapse는 양 또는 음의 가중치를 가짐으로써 한 neuron이 신호를 내줄 것인가 내주지 않을 것인가의 결정에 기여한다. 한개의 신경회로는 아주 단순하지만 이 회로가 어떻게 연결되느냐에 따라서 그 기능은 아주 다양해질 수 있으며, 화상 인식, 문자 인식 및 음성 인식분야에 이들 신경회로망의 위력이 나타나고 있다. 신경회로를 실현하는데 있어 어려운 문제점은 신경 세포들간의 연결 세기를 나타내는 저항과 신경세포 자체를 전자 회로화 하여 여러개의 neuron들과의 복잡한 연결 방법을 어떻게 해결하느냐에 있다.

III. 신경 회로망의 VLSI 접근

Neural chip은 기존의 LSI와는 구조가 전혀 다른 것으로서, 인간의 뇌의 정보처리 방법을 본보기로 하여 신경 회로망의 model을 IC chip 상에 전자 회로로 실현시킨 것이라고 할 수 있다.

그림 2는 신경 세포의 model과 이러한 신경세포가 어떻게 모형화되어 hardware로 실현되는가를 나타낸 것으로서 그림 2(a)는 신경세포의 model 이고, 그림 2(b)는 신경 세포를 전자 회로로 구현한 방법을 보여주고 있다. 세포 몸체를 증폭기로, 신경 세포의 수상돌기(dendrite)를 입력선으로 신경 세포의 축색돌기(axon)를 출력선으로, 그리고 신경 전도부(synapse)를 저항으로 대치한 전자회로의 구현 방법을 보여주고 있다. 세포 몸체는 다른 신경 세포로부터 전달되는 자극들의 합과 세포내에 미리 설정된 문턱치와 비교하여 자극들의 합이 크면 흥분에 해당하는 출력(excitatory)을, 작으면 억제에 해당하는 출력(inhibitory)을 다른 세포에 보낸다.

그림 3은 그림 2(b)의 회로를 CMOS 회로로 구현한 것이다. 입력으로는 흥분에 해당하는 신호 A1,

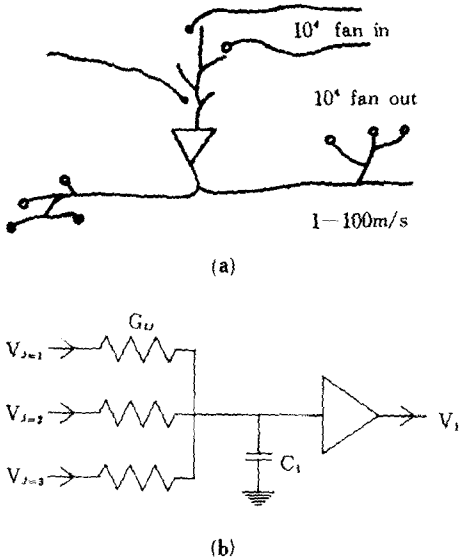


그림 2. 신경 회로망의 모델링
 (a) 신경 세포의 모형도
 (b) 신경 회로망의 회로 모델
 Fig. 2. Modeling of neural networks.
 (a) structure of neural cell.
 (b) circuit model for neural networks.

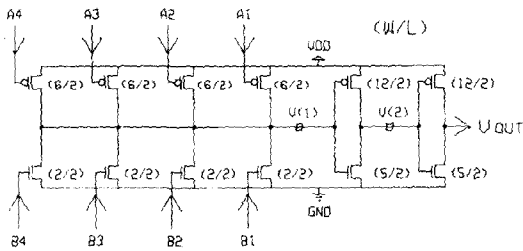


그림 3. 4비트 비교기 ($A > B$)
 Fig. 3. 4-BIT Comparator ($A > B$).

A2, A3 및 A4가 PMOS에, 그리고 억제에 해당하는 신호 B1, B2, B3 및 B4가 NMOS에 들어가고, 입력된 data에 따라 출력 V_{out} 이 결정된다. 여기서 입력 bit 들은 같은 가중치를 갖고 있다. Neuron은 CMOS inverter 두개로 구성된 beffer로 구현 되었으며, 그림 4는 buffer에서 PMOS와 NMOS의 여러가지 W/L의 값에 대한 simulation 결과이다. Buffer의 logic threshold 값은 W/L의 비에 따라 약 1.8V~3V가 됨을 알 수 있다. Synapse는, MOST의 ON 저항으로 대체되었다. PMOS들이 ON 되면 inverter의 입

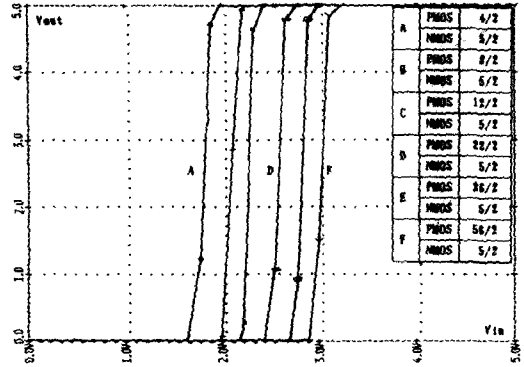


그림 4. CMOS 버퍼의 W/L 비의 영향
 Fig. 4. Influence of W/L ratio on CMOS buffer.

력 단자인 V(1)에는 VDD 전압이 가해지고 NMOS가 ON 되면 V(1)의 전압은 GND 전압으로 떨어지므로 PMOS와 NMOS 들이 몇개가 ON 되느냐에 따라서 0V에서 5V 사이의 analog 값이 된다. Synapse 들의 PMOS와 NMOS의 W/L 값은 hole과 electron의 mobility 값을 고려하여 $6/2\mu\text{m}$ 와 $2/2\mu\text{m}$ 로 각각 결정하였다. 그리고 neuron에 해당하는 inverter들의 W/L 값은 logic threshold 값이 약 2.5V가 되도록 하고, fan out을 고려하여 PMOS는 $12/2\mu\text{m}$ 와 NMOS는 $5/2\mu\text{m}$ 로 정하였다.

표 1은 그림 3의 각 MOST가 ON 되고 OFF됨에 따른 simulation 결과이다. 표에서 보면 5번째와 6번째 결과 사이에 출력이 5V에서 0V로 바뀌어짐을 볼 수 있는데 이는 5번째와 6번째 값 사이에서 입력 data 값에 따라 threshold 됨을 보여준다. 입력값들의 합이 threshold 값($=1/2 V_{dd}$)보다 크면 흥분 (excitatory)에 해당하는 값 high($=1$)를 출력하게 되고, threshold 값보다 작으면 억제 (inhibitory)에 해당하는 값 low($=0$)를 출력하게 됨을 보여준다. 따라서 이 회로는 입력 비트 A1~A4가 B1~B4보다 크거나 같으면 "high"가 출력되고 그렇지 않으면 "low"가 출력된다.

그리고 만일 NMOS의 W/L 값을 그대로 두고 PMOS의 W/L을 $5/2\mu\text{m}$ 로 설계하면 A1~A4가 B1~B4 보다 클 경우만 "high"상태가 출력됨을 simulation에 의해서 알 수 있다.

그림 5는 각 입력 bit 들이 서로 다른 가중치, 즉 1, 2, 4 및 8의 값을 갖고 있는 경우의 회로도이다. 각 MOST의 W/L 값은 가중치가 1인 경우 PMOS는 $6/2\mu\text{m}$ 이고, NMOS는 $2/2\mu\text{m}$ 이다. 가중치가 1 이상인 경우의 W/L 값의 결정은 L 값은 고정하고, 1인

표 1. 4비트 비교기의 SPICE 시뮬레이션
Table 1. SPICE simulation of 4-bit comparator.

A4 A3 A2 A1 B4 B3 B2 B1	V(1) (V)	V(2) (V)	VOUT (V)
0 0 0 0 0 0 0 0	5	0	5
0 0 0 0 1 0 0 0	4.5904	0	5
0 0 0 0 1 1 0 0	3.9425	0.0136	5
0 0 0 0 1 1 1 0	3.3515	0.1783	5
0 0 0 0 1 1 1 1	2.7866	0.7370	5
0 0 0 1 1 1 1 1	2.1727	4.5579	0
0 0 1 1 1 1 1 1	1.4198	4.9421	0
0 1 1 1 1 1 1 1	0.6563	5	0
1 1 1 1 1 1 1 1	0	5	0

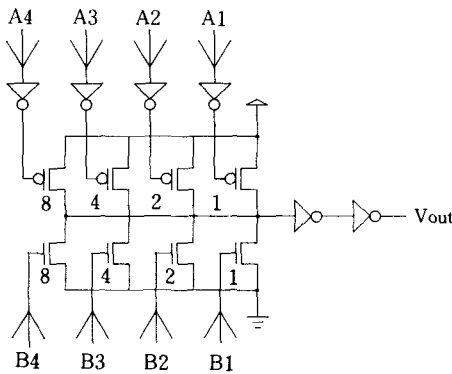


그림 5. 4비트용 크기 비교기 ($A \geq B$)
Fig. 5. 4-BIT Magnitude comparator ($A \geq B$).

경우의 W값 곱하기 가중치(2, 4, 8)로 결정된다. 여기에서도 NMOS의 W/L 값은 $2/2\mu\text{m}$ 로 하고, 기본 PMOS의 W/L 값을 $6/2\mu\text{m}$ 로 하면 A1~A4가 B1~B4 보다 크거나 같으면 "high"가 출력되고, $5/2\mu\text{m}$ 로 하면 A의 입력이 B의 입력보다 클 경우만 "high"가 출력된다. 예를들어, 만일 A의 bit가 1000 이고 B의 bit가 0111 이라면, A의 가중치는 8이고 B의 가중치는 7이므로 출력은 high가 된다. 따라서 이 회로는 4-bit magnitude comparator로 동작됨을 알 수 있다. 또한 A의 입력과 B의 입력이 같은 경우를 알기 위해서는 두개의 회로를 XOR 하면 얻을 수 있다.

IV. Single Layer Perceptron(SLP) Model의 VLSI 구현

Single layer perceptron(SLP)은 Rosenblatt (6)에 의하여 제안된 model로서 feed-forward 연결 구조를 가지며 pattern 분류의 기능을 갖는 간단한 형태의 neural network이다. 그림 6은 2차원 공간에서 pattern 들을 분류하는 single layer perceptron의 model 이다.

Single layer perceptron의 model을 CMOS로 구현하는 방법을 그림 7에 나타내었다. 그림 7(a)는 영상 처리에 있어서 세선화에 사용되는 3×3 mask의 한 예이다. 그림 7(a)에서 한 화소당 가질 수 있는 상태는 $-1, 0$ 및 $+1$ 의 세가지이다. Mask에서 $+1$ 상태는 그 화소가 문자 영역이어야만 하고, 0의 상태는 문자 영역 또는 배경 영역이 되어도 상관 없으며, -1 의 상태는 항상 배경 영역이어야만 한다. 이 pattern mask 형태를 그림 7(b)와 같이 CMOS 회로로 구현하였다. 형태 분류기 회로는 이 mask의 세가지 상태, 즉 $+1$ 의 상태는 PMOS로, -1 상태는 NMOS로, 그리고 0 상태는 소자를 연결하지 않는 것으로 하여 구성되었다. 이 회로에서 PMOS의 W/L 값은 $6/2\mu\text{m}$ 로, NMOS의 W/L 값은 $2/2\mu\text{m}$ 로 하였다. 또한 mask 형태와 동일한 입력일때만 출력이 "high"가 되도록 하기 위해서 bias 소자로서 NMOS를 하나 더 추가하였다. 이 NMOS 소자의 W/L 값은 $(2 * N) / 2\mu\text{m}$ 로 주어진다. 여기서 N은 mask 에서 결정된 $+1$ 상태의 갯수이다. mask의 상태와 서로 다른 문자 data가 들어오게 되면 출력 상태는 항상 "low"가 되고, mask의 상태와 같은 입력이 들어오면 출력은 "high"가 된

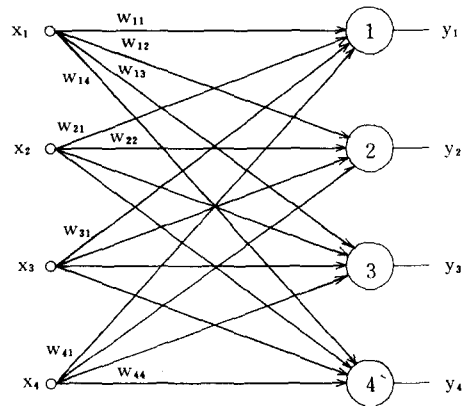


그림 6. 단층 퍼셉트론 모델
Fig. 6. Single layer perceptron model.

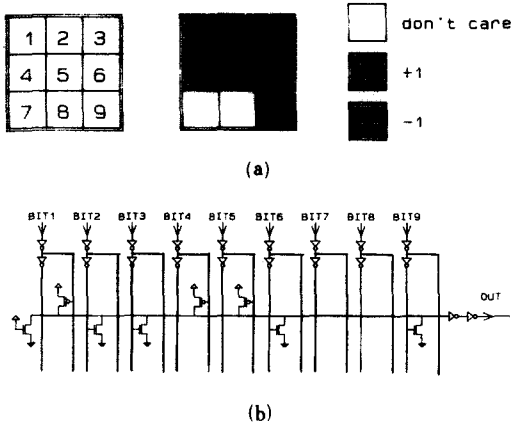


그림 7. 패턴 분류기를 위한 단층 퍼셉트론
(a) 3*3 마스크 패턴의 예
(b) 패턴 분류기용 CMOS 회로도

Fig. 7. Single layer perceptron for pattern classifier.
(a) example of 3*3 mask pattern.
(b) CMOS circuit of pattern classifier.

다. 따라서 저장된 data와 입력되는 data가 일치되는 경우를 쉽게 알 수 있다.

문자 인식이나 pattern 인식을 할 경우와 마찬가지로 세선화, noise 제거, smoothing 및 특징점 추출을 위한 회로와 또한 각종 code 변환, 다입력 XOR 및 error correction을 위한 회로들을 single perceptron model로 쉽게 구현할 수 있다. 표 2는 single layer perceptron model로 구현한 회로^[8-11]들에 관한 것이다.

V. Nonsymmetry Feedback Type (NFT) Model의 VLSI 구현

Hopfield network는 그림 8과 같이 간단한 neural network model 중의 하나이며, 연산기억 (associative memory) 혹은 최적화 문제를 해결하기 위하여 사용되고 있다. 이 network는 일정한 표본 pattern을 기억하였다가 어떤 input pattern이 주어질때 이와 가장 유사한 표본 pattern을 찾아낸다. 그러나 Hopfield network는 기억된 vector가 직교하지 않거나 또 기억된 vector의 수가 vector의 크기(혹은 node 수)에 비하여 크면 기억되지 않으며 전혀 새로운 vector에 수렴하거나 oscillation 하는 경우가 있다. 따라서 회로를 안정화시키기 위해서는 보정 회로를 추가로 설계해야 한다.

그러나, 본 연구실에서는 보정 회로를 사용하지 않

표 2. 단층 퍼셉트론 모델로 구현된 CMOS VLSI 칩

Table 2. CMOS VLSI chips implemented by single layer perceptron model.

No	Chip Name	Chip Size ($\mu\text{m} \times \mu\text{m}$)	File Name
1	4-bit Comparator (\geq)	285*95	COMP4G
2	4-bit Comparator ($>$)	285*95	COMP4S
3	3-bit Magnitude Comparator (\geq)	290*245	MCMP3G
4	4-bit Magnitude Comparator (\geq)	335*275	MCMP4G
5	4-bit Magnitude Comparator ($>$)	335*275	MCMP4S
6	4-bit Equality Check Circuit (=)	350*730	EQCHECKA
7	4 to 16 Decoder	470*1130	DEC416
8	16 to 4 Priority Encoder	829*474	PREN164
9	Error Corrector (4,3)	860*1283	ERRCRT
10	First 1 Check Circuit	571*778	FST1CHK
11	Decomposer for Rank Filter	270*1715	DECOMP
12	Binary Bit Separator	490*1095	BINSEP
13	Fattening & Defattening Circuit	1095*730	FATDFAT
14	Noise Elimination Circuit	1290*1370	NOISE
15	Thinning Circuit	775*1190	THINN
16	Smoothing Circuit	960*965	SMOOTH
17	End Point Detector	1300*1245	END
18	Edge Point Detector	1295*2685	EDGE
19	Branch Point Detector	1295*1720	BRANCH
20	6-bit D/A Converter	505*140	D/A6

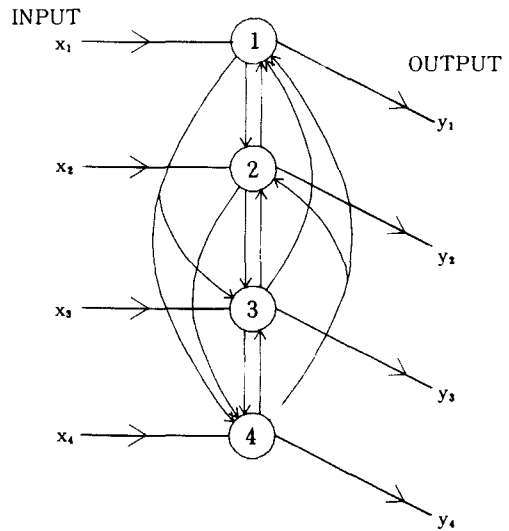


그림 8. 홉필드 모델
Fig. 8. Hopfield model.

고, 증폭기들의 연결을 symmetry feedback의 한쪽 부분을 없앤 nonsymmetry feedback type(NFT)로 연결함으로써 안정된 상태의 회로를 설계할 수 있었다. 그림 9는 nonsymmetry feedback 형태의 model이고, 그림10은 이 model로 half adder를 구현한 회로도이다. 이 half adder의 입력 신호로서 A1, B1 및 GND는 PMOS에 연결되어 있고, VDD 선과 출력선 C-out 에서 feedback 되는 선은 NMOS에 연결되어 있다. 회로의 출력 S1은 XOR의 결과와 같다.

그림11은 7 to 3 1's counter 이며, 입력되는 1개 갯수를 7개 까지 셀 수 있는 회로도 이다. IN1~IN7 은 counter 입력이고, A1~A3는 이 회로의 출력을 나타낸다. 이 회로에서 PMOS의 가중치는 모두 1이고, VDD 행의 NMOS는 각각 1, 2 및 4이며, 귀환되는 부분의 NMOS는 각각 2와 4의 값을 가진다. 모든 입력이 0이면 모든 PMOS가 ON 되므로 출력은 000이 된다. 입력들중 어느 하나가 1이면 그 행의 PMOS는 OFF가 되므로 counter의 출력은 001이 된다. 이렇게 하여 모든 입력에 1이 들어가면 111이 출력된다. 표 3은 nonsymmetry feedback type model로 구현한 회로^[12,13]들이다. 표 4는 single layer perceptron model과 nonsymmetry feedback type model로 구현한 회로^[14-20]들이다.

VI. 결과 및 고찰

설계된 회로의 기능을 확인하기 circuit simulator인 PSPICE를 사용하여 50여종의 neural chip의 회로도

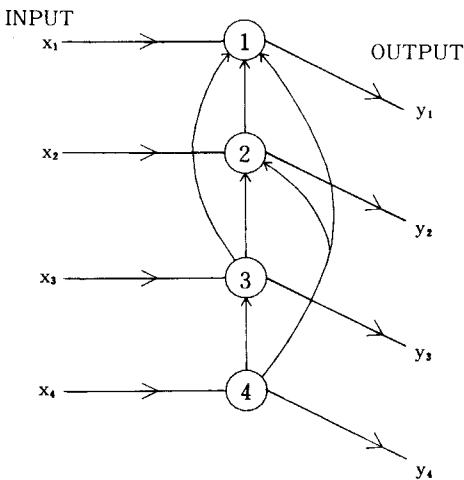


그림 9. 단방향 케환형 모델
Fig. 9. Nonsymmetry feedback type model.

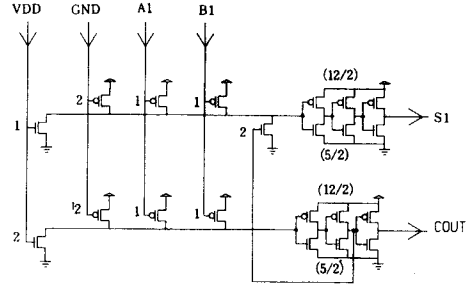


그림 10. 반 가산기
Fig. 10. Half adder.

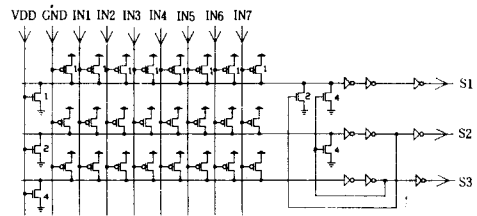


그림 11. 7입력 3출력 "1"의 갯수를 세는 병렬 카운터
Fig. 11. 7 to 3 1's counter.

표 3. 비대칭 케환형 모델로 구현된 CMOS VLSI 칩

Table 3. CMOS VLSI Chips implemented by nonsymmetry feedback type model.

No	Chip Name	Chip Size ($\mu\text{m} * \mu\text{m}$)	File Name
1	Half Adder	325 * 240	HA
2	Full Adder	345 * 239	FA
3	2-bit Adder	365 * 300	ADD2
4	3-bit Adder	430 * 485	ADD3
5	2-bit Subtractor	430 * 375	SUB2
6	3-bit Subtractor	500 * 610	SUB3
7	4 to 3 1's Counter	415 * 280	CNT43
8	5 to 3 1's Counter	430 * 280	CNT53
9	6 to 3 1's Counter	450 * 280	CNT63
10	7 to 3 1's Counter	515 * 280	CNT73
11	8 to 4 1's Counter	515 * 495	CNT83
12	9 to 4 1s Counter	500 * 495	CNT94
13	10 to 4 1's Counter	555 * 495	CNT104
14	11 to 4 1's Counter	555 * 495	CNT114
15	12 to 4 1's Counter	575 * 495	CNT124
16	13 to 4 1's Counter	600 * 500	CNT134
17	14 to 4 1's Counter	600 * 500	CNT144
18	15 to 4 1's Counter	645 * 500	CNT154
19	4-bit A/D Converter	330 * 475	A/D4

표 4. SLP와 NFT 모델로 구현된 CMOS VLSI 칩

Table 4. CMOS VLSI Chips implemented by SLP and NFT model.

No	Chip Name	Chip Size ($\mu\text{m} \times \mu\text{m}$)	File Name
	Content Addressable Memory (6, 4)	495*635	CAM64
	CAM Type Error Corrector (4, 3)	905*1974	ECCAM43
	Multiplier (5*5)	2250*635	MUL5*5
	Divider (6/6)	3655*2680	DIV6/6
	Floating Point-Adder (3, 3)	2310*1646	FPAD33
	Floating Point-Multiplier (5, 3)	2757*2445	FPMUL53
	Floating Point-Divider (5, 3)	3965*4859	FPDIV53
	Rank Filter for Gray Level (9, 4)	4409*4382	RFGL94
	Gray Level Amplitude Sorter (9, 4)	3179*2244	SORT94
	4-bit Flash A/D Converter	400*500	A/D4F

동작을 확인하였다. 그림12는 7 to 3 1's counter (그림11)의 simulation 출력 파형으로서, 입력단자 (IN1~IN7)에 입력되는 1의 갯수에 따라 출력단자 (S1~S3)에 결과가 digital 값으로 정확히 출력됨을 보여 주고 있다. 이 회로는 7개의 입력이 동시에 3개의 neuron에 병렬로 가해져, 3개의 CMOS inverter 만을 통해 결과를 얻게 되므로 회로동작이 아주 빠르다는 것을 알 수 있다. Hopfield model 대신 NFT model을 사용하여 feedback 회로를 절반으로 줄였고, 또한 확장성이 좋기 때문에 15 to 4 1's counter도 설계가 가능하였으며, 이를 이용하여 고속의 12*12 multiplier (table 4)도 간단하게 설계할 수 있었다.

SLP model로 설계된 회로 (table 2)는 truth table이나 mask pattern만 주어지면 설계가 용이함으로,

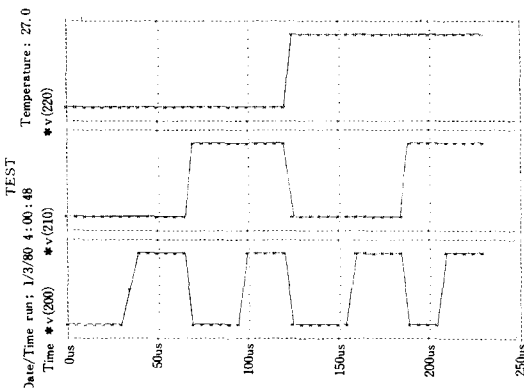


그림12. 7입력 3출력 “.”의 갯수를 세는 병렬카운터의 SPICE 시뮬레이션

Fig. 12. SPICE simulation of 7 to 3 1's counter.

error correction이나 문자 인식을 위한 preprocessing용 chip 설계에도 적용할 수 있었다. 그리고 NFT model을 사용하여 설계한 회로 (table 3)는 주로 arithmetic 연산을 하기 위한 adder와 counter 들로서, SLP model을 함께 사용한 회로 (table 4)와 조합하여 floating point 연산과 rank filter 및 sorting을 수행할 수 있는 회로도 쉽게 설계할 수 있었다.

지금까지 설계한 회로들은 취급할 수 있는 bit들이 적기 때문에 이를 확장하기 위해서는, 한개의 neuron에서 excitatory와 inhibitory를 좀 더 정밀하게 비교할 수 있어야 한다. 이러한 문제는 차동 증폭 회로를 사용하면 해결할 수 있다고 생각한다.

VI. 결 론

현재 연구되고 있는 neural chip의 neuron의 갯수는 규모가 작아 100억~150억개라는 인간의 neuron 수에는 아직 달하지 못하고 있다. 그러나 실제의 응용에는 이 정도의 많은 neuron은 필요하지 않다. neuron의 수가 수십~수백개 정도의 LSI 일지라도 실제 사용이 가능하므로 실용 level에 달하는 것은 그리 먼 이야기가 아니다. system의 고속화와 저렴화를 위해서는 neural chip 화가 불가피 하며 몇 년 이내에 neural chip이 시장에 나올 것이다.

본 연구에서는 single layer perceptron과 본 연구실에서 새로 개발한 nonsymmetry feedback type의 neural network model을 VLSI로 구현하는 방법에 대해서 논하였다. 지금까지 구현한 회로들은 주로 image processing 용이나 연산용의 회로들로서 약 50여종이 된다. 설계된 회로들은 2-micrometer double metal CMOS 설계 규칙에 따라 layout 되어 기업체에서 제작중이다. 추후 이들 chip의 성능을 평가하여 좀 더 다양한 회로를 개발할 예정이다.

Neural network의 장래를 살펴보면 기존의 computer와는 경합이 없을 것이며, 그 목적에 따라서 상호 보완되면서 응용될 것이다. Neural network를 고기능화하기 위해서는 neural 수를 증가시키지 않으면 안될 것이며, 이 경우 neuron 간을 결합하는 synapse를 어떻게 해결하느냐가 문제로 남아 있다고 볼 수 있다.

參 考 文 獻

[1] J.J. Hopfield, "Neural networks and physical systems with emergent collective computational abilities," *Proc. of Natl. Acad. Science*, vol. 79, pp. 2554-2558, April 1982.

- [2] Graf, H.P. and Vegvar, P., "A CMOS associative memory chip based on neural networks," 1987 IEEE international solid-state circuits conference digest of technical papers, FAM 22.1, pp. 304-305, Feb. 1987.
- [3] M.A. Sivilotti, M.A. Mahowald, and C.A. Mead, "Real-time visual computations using analog CMOS processing arrays," *Advanced research in VLSI: proceedings of the 1987 Stanford conference*, P. Losleben (Ed.), Cambridge, MA:MIT Press, pp. 295-312, 1987.
- [4] Hecht-Nielsen, R. "Nearest matched-filter classification of spatiotemporal patterns," HNC technical report. Hecht-nielsen neuro-computer corporation: san diego, 1986.
- [5] 류종필, 정호선, 이우일, "신경회로망을 이용한 세션화 및 특징점 추출" 1988년도 추계종합 학술대회 논문집, pp. 531-534, 1988. 11.
- [6] 김태경, 정호선, 이우일, "신경회로망을 이용한 A/D 변환기 설계," 1988년도 추계종합 학술대회 논문집, pp. 511-515, 1988. 11.
- [7] 김태경, "신경회로망의 VLSI 구현," 경북대학교 석사학위논문, 1989. 2.
- [8] 김종렬, 정호선, 이우일, "신경회로망 개념을 이용한 문자 두께 변환회로의 설계" 1988년도 추계종합학술대회 논문집, pp. 520-522, 1988. 11.
- [9] 배창석, 정호선, 이우일, "신경회로망 알고리즘을 이용한 한글 문자 인식," 1988년도 추계종합 학술대회 논문집, pp. 527-530, 1988. 11.
- [10] 김태훈, 정호선, 이우일, "신경회로망을 이용한 2진화 화상의 잡음 제거 및 직선화," 1988년도 추계종합학술대회 논문집, pp. 554-557, 1988. 11.
- [11] 남호원, 고휘진, 권건태, 정호선, 이우일, "신경회로망을 이용한 error 수정 circuits," 1989년도 하계종합학술대회 논문집, pp. 574-577, 1989. 7.
- [12] 김홍락, 류제광, 권건태, 정호선, 이우일, "신경회로망을 이용한 adder 및 subtractor 설계," 1989년도 하계종합학술대회 논문집, pp. 578-581, 1989. 7.
- [13] 김태훈, 정호선, 이우일, "신경회로망을 이용한 5*5 비트 곱셈기와 12*12 비트 곱셈기의 설계," 1989년도 하계종합학술대회 논문집, pp. 557-560, 1989. 7.
- [14] 김종렬, 정호선, 이우일, "신경회로망의 개념을 이용한 랭크 필터의 설계," 1989년도 하계종합학술대회 논문집, pp. 553-556, 1989. 7.
- [15] 권규완, 정호선, 이우일, "신경회로망을 이용한 gray level amplitude sorter 회로 설계," 1989년도 하계종합학술대회 논문집, pp. 561-563, 1989. 7.
- [16] 이상진, 여진경, 정호선, 이우일, "신경회로망을 이용한 부동 소수점 곱셈기와 나눗셈기 설계," 1989년도 하계종합학술대회 논문집, pp. 564-566, 1989. 7.
- [17] 김신진, 김홍락, 여진경, 정호선, 이우일, "신경회로망을 이용한 나눗셈기의 설계," 1989년도 하계종합학술대회 논문집, pp. 567-569, 1989. 7.
- [18] 백승엽, 여진경, 정호선, "신경회로망을 이용한 부동소수점 방식 가산기 설계," 1989년도 하계종합학술대회 논문집, pp. 570-573, 1989. 7.
- [19] 정호선, "신경회로망의 VLSI 구현," 특집: 신경회로망, 대한전기학회, 38권 2호, pp. 39-52 1989. 2.
- [20] 정호선, "신경회로망의 VLSI 구현," 신경회로망 워크샵, 한국통신학회, pp. 165-196, 1989. 4.

 著 者 紹 介



鄭鎬宣(正會員)

1943년 1월 29日生. 1969년 2월 인하대학교 전기공학과 졸업. 1975년 2월 서울대학교 대학원 전자공학과 석사학위 취득. 1980년 10월 프랑스 ENSEEIHT 전자공학과 박사학위 취득. 1976년 5월~현재 경북대학교 공과대학 전자공학과 부교수. 주관심분야는 CAD 시스템 개발, 신경회로망의 VLSI 구현 및 한·영 문자인식 시스템 개발 등임.