

論文 90-27-11-12

## BiCMOS를 사용한 전압 제어 발진기의 설계

(Design of Voltage Controlled Oscillator Using the BiCMOS)

李 勇 熙\* 柳 基 漢\*\* 李 天 熙\*

(Yong Hui Lee, Gi Han Ryu, and Cheon Hee Yi)

## 要 約

전압제어 발진기(VCO:voltage controlled oscillator)는 FM 신호 변조, 주파수 안정기와 디지털 클럭 재생과 같은 부분의 적용에 필수적인 기본회로이다. 본 논문에서는 BiCMOS 회로를 이용한 차동 증폭기를 사용하여 OTA(operational transconductance amplifier) 회로와 OP amp를 설계하고 이를 토대로 하여 VCO 회로를 설계하였다. 그리고 이 VCO는 OTA와 전압 제어 적분기, 그리고 슈미트 트리거 회로로 구성이 되어 있다. 종래에는 CMOS를 사용하여 VCO를 설계하였지만 여기서는 구동능력이 좋은 BiCMOS를 사용하여 VCO를 설계하였다. 이 회로를 SPICE로 시뮬레이션 한 결과 출력 주파수는 105KHz에서 141KHz이며 변화 감도는 15KHz였다.

## Abstract

VCO (voltage controlled oscillator) circuits are necessary in applications such as the demodulation of FM signals, frequency synthesizer, and for clock recovery from digital data. In this paper, we designed the VCO circuit based on a OTA (operational transconductance amplifier) and the OP amp which using a differential amplifier by BiCMOS circuit. It consists of a OTA, voltage controlled integrator and a schmitt trigger. Conventional VCO circuits are designed using the CMOS circuit, but in this paper we designed newly BiCMOS VCO circuit which has a good drive ability. As a result of SPICE simulation, output frequency is 141KHz at 105KHz, and sensitivity is 15KHz.

## I. 서 론

전압 제어 발진기(VCO:voltage controlled oscillator)는 발진 주파수를 전압에 의해서 변환시킬 수 있는 회로로서 각종 센서의 신호처리 시스템에서 긴

요하게 사용된다. VCO는 회로내의 정 전류원과 슈미트트리거(schmitt trigger)의 성능이 VCO 회로의 효율을 좌우한다. 특히 최근에는 구성이 간단하고 성능이 좋은 OTA(operational transconductance amplifier)를 정 전류원으로 하는 CMOS에 의한 VCO 회로를 구성하는 경향이 있다.<sup>(1)</sup> 정 전류 VCO는 소신호(수 mV-이내)에서 선형성(linearity)이 좋은 OTA를 정 전류원으로 사용하여 부하 용량( $C_L$ :load capacitance)을 충 방전시켜 삼각파를 발생시키고 이를 다시 슈미트 트리거에 입력시켜 구형파(square wave)를 발생시킨다. 그리고 이 발진된 파형을 또 다시

\*正會員, 淸州大學校 電子工學科

(Dept. of Elec. Eng., Cheongju Univ.)

\*\*正會員, 忠州工業專門大學 電算氣工學科

(Dept. of Comm. &amp; Scien. Eng., Choongju Technical Junior Callege)

接受日字: 1990年 5月 15日

OTA로 제환(feedback)시켜 회로의 온(on)과 오프(off) 동작을 제어하게 된다. 따라서 회로의 성능은 정 전류원의 스위칭 특성에 의하여 결정된다. 그러나 종래 사용하던 VCO는 두개의 정 전류원을 스위칭시키는데 사용되는 반전기의 지연으로 인해 50%의 듀티 사이클(PW/T)의 발진 파형을 얻기가 어렵다. 그래서 본 논문에서는 이와같은 문제점을 개선하기 위해 종래의 정 전류원 대신에 스위칭 특성이 좋은 BiCMOS를 사용하여 동작이 빠르고 선형성이 좋은 VCO를 설계 하였다. 이러한 VCO는 스위칭 동작에 의해 구현되기 때문에 넓은 주파수 범위에서도 안정된 동작을 한다. 본 논문에서는 비교적 고출력 전류 OTA를 설계하여 안정된 고주파 특성을 가진 VCO를 BiCMOS를 사용하여 설계하였다.

II. VCO의 동작 특성

그림 1은 본 논문에서 설계한 VCO의 회로를 불러 다이어그램으로 표현한 것이다. 이 VCO의 회로 구성은 전압입력 전류출력(VCCS)의 OTA와 OP amp로 구성되며 OP amp에 저항 R1과 R2에 의해 OP amp는 슈미트 트리거로서 동작하게 된다.

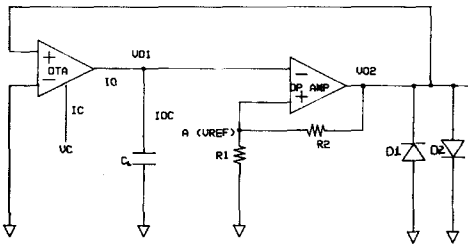


그림 1. VCO의 블록 다이어그램  
Fig 1. VCO block diagram.

OTA는 전압입력에 대한 전류출력 증폭기로서 입력 전압과 출력 사이의 관계는 다음식과 같이 주어진다.

$$I_o = g_m (V_{in}^+ - V_{in}^-) \quad (1)$$

여기서  $g_m$ 은 OTA의 이동 전도계수로 제어 전류  $I_o$ 에 비례한다. 즉,  $g_m$ 은 제어 전압  $V_o$ 와 제어 전류  $I_o$ 에 의해 조절될 수 있다.

부하 용량  $C_L$ 은 OTA의 출력단에 연결되어 OTA의 출력 전류를 적분하여 전압으로 바꾸어 삼각파를 발생시키게 된다. 그리고 부하 용량기에서 적분되는

전압  $V_o1$ 은 다음과 같은 식으로 정리할 수 있다.

$$V_o1(t) = \frac{1}{C_L} \int_{t_0}^t I_o dt + V_o1(t_0) \quad \text{단}(t \geq t_0) \quad (2)$$

$$V_o1(t) = \frac{1}{C_L} I_o(t - t_0) + V_o1(t_0)$$

여기서  $t_0=0$ .  $V_o1(t_0)=0$ 이라 놓으면

$$\begin{aligned} V_o1(t) &= \frac{1}{C_L} I_o t \\ &= \frac{1}{C_L} g_m (V_{in}^+ - V_{in}^-) t \\ &= K' t \quad (K' = g_m \frac{1}{C_L} (V_{in}^+ - V_{in}^-)) \quad (3) \end{aligned}$$

윗 식에서  $V_o1$ 은  $K'$ 의 기울기를 갖는 시간에 대한 일차 함수임을 알 수 있다.

OP amp는 전압이득이 상당히 크기 때문에 그림 1에서와 같이 저항 R1과 R2가 연결되었을 때에는 트리거 전압  $\pm R1 V_o1 / (R1 + R2)$ 를 갖는 슈미트 트리거로서 동작하게 된다. 여기서 다이오드  $D_1$ 과  $D_2$ 는  $V_o2$ 를  $\pm 0.7V$ 로 조절하는 클리핑(clipping)소자이다. 이러한 동작을 연관시켜 그림 1의 VCO에서  $V_o2$ 는  $+0.7V$ 이고  $V_o1$ 을  $-R1 V_o2 / (R1 + R2)$ 라 놓으면 OTA의 출력 전류는 식(4)과 같이 만들 수 있다.

$$I_{oc} = g_m 0.7 \quad (4)$$

식(4)을 식(3)에 대입하면 식(5)과 같이 된다.

$$V_o1(t) = 0.7 g_m \frac{1}{C_L} t \quad (5)$$

이때 A점에서 기준전압  $V_{ref}$ 는 식(6)으로 표현이 된다.

$$V_{ref} = 0.7 \frac{R1}{(R1 + R2)} \quad (6)$$

이와같은 적분이 계속되면서  $V_o1(t) \geq V_{ref}$  일 때  $V_o2 = -0.7V$ 로 반전이 되고 식(5)도 반전이 되어 식(7)과 같이 된다.

$$V_o1(t) = -0.7 g_m \frac{1}{C_L} t \quad (7)$$

이를 시간에 대한 전압 곡선으로 나타내면 그림 2와 같이 된다. 따라서 식(5)은  $V_o1(t)$ 가 시간에 따라 선형적으로 변한다는 것을 의미한다. 그리고 이러한 결과는 SPICE 시뮬레이션의 결과와도 동일하다.

그림 2에서  $V_o1$ 은 초기 전압  $-0.7 R1 / (R1 + R2)$ 에서  $0.7 R1 / (R1 + R2)$ 까지 도달할 것이며 이때 걸

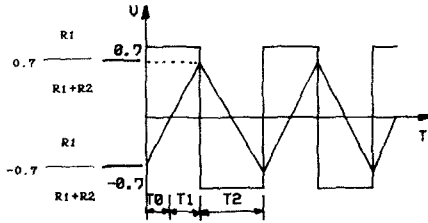


그림 2. VCO의 출력 파형  
Fig. 2. VCO output waveforms.

리는 시간은  $t_1 - t_0$ 로써  $t_1$ 은 식(9)으로 표현이 되며 다음과 같이 주어진다.

$$V_o I(t_0) = 0.7 g_m \frac{1}{C_L} t_0 - 0.7 \frac{R_1}{R_1 + R_2} \text{ 이고}$$

$$V_o I(t_1) = 0.7 g_m \frac{R_1}{R_1 + R_2}$$

$$= 0.7 g_m \frac{1}{C_L} t_1 - 0.7 \frac{R_1}{R_1 + R_2} \text{ 이므로}$$

$V_o I$ 이  $V_{ref}$ 가 될때까지 걸리는 시간  $T_1 = t_1 - t_0$ 라 놓고  $t_0 = 0$  sec 놓으면 다음과 같이 된다.

$$t_1 = 2 \frac{R_1}{R_1 + R_2} \frac{C_L}{g_m} \quad (8)$$

$t_0 = 0$  sec 일때  $t_1 - t_0 = T_1$ 이라 놓으면

$$T_1 = 2 \frac{R_1}{R_1 + R_2} \frac{C_L}{g_m} \quad (9)$$

또한 출력 주파수  $f_0$ 는 다음과 같이 표현되며

$$f_0 = \frac{1}{2T_1} = \frac{1}{2} \frac{g_m}{C_L} \left(1 + \frac{R_2}{R_1}\right) \quad (10)$$

$R_1 = R_2 = R$ 로 하면 발진주파수  $f_0$ 는 식 (11)과 같이 표현할 수 있다.

$$f_0 = \frac{g_m}{2C_L} \quad (11)$$

따라서 발진주파수  $f_0$ 는 이동 전도계수에 직접 비례한다. 즉, VCO의 출력주파수는 OTA의 이동 전도계수  $g_m$ 과 용량의 역수  $1/c$ 의 곱에 비례함을 알 수 있다. 식(11)에서 발진주파수는 OTA의 성능에 따라 좌우되므로 큰 이동 전도계수를 갖는 고효율 OTA를 구성하면 넓은 주파수 범위의 발진주파수를 얻을 수 있다.

본 논문에서는 150KHZ 범위의 VCO를 구현하기 위한 OTA와 OP amp를 BiCMOS를 사용하여 설계하였다.

### III. VCO의 설계

VCO 회로를 설계하기 위해서는 몇개의 부 회로(sub-circuit)를 사용하여 설계할 수 있다. 이들 부 회로의 특성을 어떻게 만드는가에 따라 회로의 성능이 크게 달라진다. 따라서 여기서는 VCO에 사용되는 기본적인 부 회로인 차동 증폭기와 OTA, 그리고 OP amp에 대해 고찰해 보기로 하겠다.

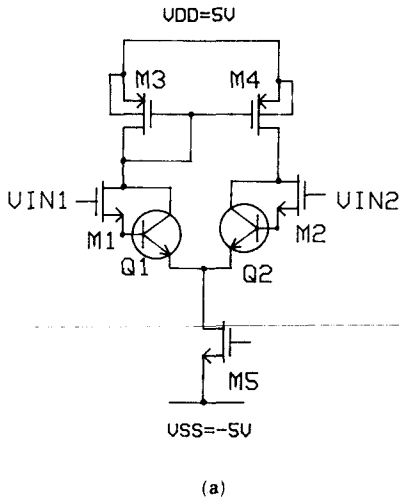
#### 1. 차동 증폭단의 설계

차동 증폭단(differential amplifier stage)은 집적회로에서 가장 많이 사용되는 증폭소자로서 두개의 입력신호를 받아들여 그 차이 성분만을 증폭하도록 구성된 증폭단이다. 집적 회로소자의 발달로 요즘에는 MOS 트랜지스터와 바이폴라 트랜지스터를 서로 결합하여 만든 BiCMOS가 회로 설계에 사용되고 있다.<sup>[2][5][6]</sup> MOS 트랜지스터<sup>[5]</sup>는 높은 집적도와 적은 전력 소모, 그리고 공정이 단순한 장점을 가지고 있다. 반면에 바이폴라 트랜지스터는 전력 소모가 크고 집적도가 낮다는 단점을 지니고 있다. 그러나 바이폴라 트랜지스터는 큰 부하 전류 용량으로 CMOS의 낮은 구동력을 보상에 줄 수 있기 때문에 요즘에는 빠른 동작속도에 기반을 둔 BiCMOS 기술이 회로의 고속화와 고 집적도를 갖는 여러가지 기능의 집적회로를 설계하는데 폭 넓게 사용되고 있다. 따라서 MOS 트랜지스터의 드레인 전류  $I_d$ 를 바이폴라 트랜지스터로 증폭 시킴으로써 출력 쪽에 큰 구동능력을 가지며 큰 전류 전압 증폭도를 만들 수 있도록 한 것이 BiCMOS 트랜지스터이다. 이러한 BiCMOS 회로는 CMOS 공정에 몇가지 공정만 추가하면 구성할 수 있으므로 공정이 단순해 질 수 있으며 CMOS로 만든 회로보다 시간지연이 더 짧은 특성을 가지고 있다. 그림 3(a)는 OTA와 OP amp에 사용될 BiCMOS의 차동 증폭단을 보여주고 있다. 그러나 MOS트랜지스터로 차동 증폭단을 설계 할 때에는 포화 영역에서 동작하도록 잘 설계해 주어야 한다.

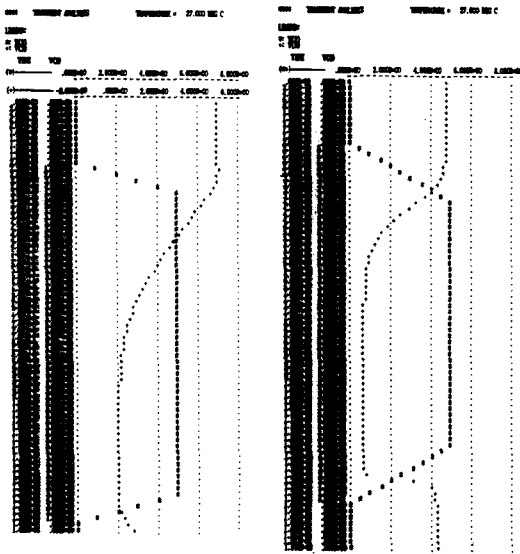
그리고 그림 3(b)는 CMOS와 BiCMOS를 SPICE<sup>[4]</sup>로 시뮬레이션한 결과이다. 이 그림에서 볼 수 있듯이 BiCMOS가 CMOS에 비해 지연시간이 짧고 상승시간이 빠름을 알 수가 있다. 이 두회로의  $t_r$ 과  $t_f$ ,  $t_{phl}$ ,  $t_{plh}$ 에 대해 표로 나타내면 표 1과 같다.

#### 2. OTA회로의 설계

OTA는 입력단에 소 신호가 입력될 때 입력 전압



(a)



(b)

그림 3. (a) BiCMOS 차동 증폭단  
(b) CMOS와 BiCMOS의 지연시간 비교  
Fig. 3. (a) BiCMOS differential amp. stage.  
(b) Comparison CMOS with BiCMOS delay time.

에 비례하는 전류를 출력시키는 전압 제어 전류증폭기로서 동작한다. Bipolar로 만들어진 OTA는 성능이 상당히 우수한 것들이 많이 있으나 이를 CMOS로 구성하게 되면 온도 특성도 좋아지고 칩 크기도 작게 만들 수 있으므로 고집적도를 실현하는데 많은 효용이 있다. 그런데 이러한 CMOS OTA를 바이폴라와 CMOS를 조합하여 BiCMOS 회로로 구성되면 회로 성능의 고속화와, 고집적화 그리고 빠른 지연 시간 등을 얻을 수 있다. OTA 회로에서는 스윙과 회전율(slew rate)이 클수록 좋으므로 이러한 특성을 갖는 회로를 구성하도록 시도하였다. 종래에는 스윙을 높이기 위해 OTA를 2단으로 병렬 접속하여 사용하던 것을 본 논문에서는 한단의 OTA로 큰 스윙을 낼 수 있으며 출력 전류 특성도 우수한 편이므로 높은 회전율로 인한 고속 BiCMOS 회로 설계에도 응용될 수 있다

1) 회로 구성 및 동작 상태

그림 4는 전압제어 OTA 회로를 보여주고 있다. 여기서  $T_r$  M1과 M2 그리고 Q1, Q2는 차동입력단으로 M2의 게이트가  $V_{in}^-$ 이고 M1의 게이트가  $V_{in}^+$ 입력이다. MOS 트랜지스터 M3와 M5, M4와 M6, M7과 M9, M12와 M13, M10과 M11은 각각 전류 미러(current mirror)를 형성한다. 그리고 M8은 전압을 바이어스 전류로 변환시켜 주기 위한 전류원이다.

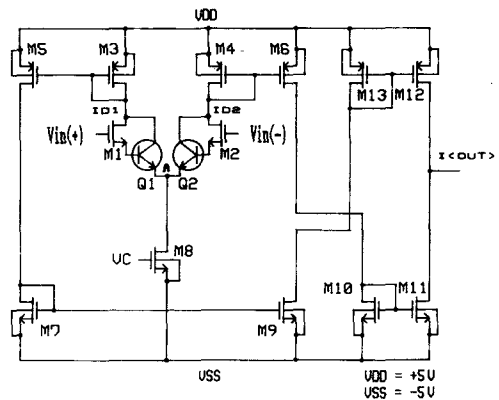


그림 4. OTA 회로도  
Fig. 4. OTA circuit.

표 1. CMOS와 BiCMOS 회로의 비교  
Table 1. Comparison CMOS with BiCMOS circuit.

TYPE	$t_f$ (n)	$t_r$ (n)	$t_{phl}$ (n)	$t_{plh}$ (n)
CMOS	3.6	3.0	1.6	0.18
BiCMOS	1.6	0.6	1.4	0.1

이 OTA 회로에 대한 소신호 해석은 다음과 같다. 입력전압  $V_{in}^-$ 가 차동입력단에 인가될때 A단에 걸리는 전압은  $(V_{in}^+ - V_{in}^-)/2$ 이다. M1의 드레인 전류

$i_{d1}$ 과 M2의 드레인 전류  $i_{d2}$ 는 다음과 같이 표시된다.

$$i_{d1} = -i_{d2} \quad (12)$$

또한 소신호 드레인 전류  $i_d = g_m V_{gs}$  이므로  $i_{d1}$ 과  $i_{d2}$ 는 다음과 같다.

$$\begin{aligned} i_{d1} &= g_m \left( \frac{2V_{in}^+}{2} + \frac{V_{in}^+ - V_{in}^-}{2} \right) \\ &= g_m \left( \frac{V_{in}^+ - V_{in}^-}{2} \right) \end{aligned} \quad (13)$$

$$\begin{aligned} i_{d2} &= g_m \left( V_{in}^- - \frac{V_{in}^+ - V_{in}^-}{2} \right) \\ &= -g_m \left( \frac{V_{in}^+ - V_{in}^-}{2} \right) \end{aligned} \quad (14)$$

$i_{d1}$ 은 전류 미러 M3와 M5, M7과 M9 M13과 M12에 의해  $i_{i1}$ 으로, 또한  $i_{d2}$ 는 M4와 M6, M10과 M11에 의해  $i_{i2}$ 로 반사됨을 알 수 있다. 그러므로  $i_{d1}$ 과  $i_{d2}$ 는 다음과 같다.

$$i_{i1} = \beta i_{d1} \quad (15)$$

$$i_{i2} = \beta i_{d2} \quad (16)$$

위식에서  $\beta$ 는 M3, M4와 M11, M12와의 W/L비이다. 따라서  $i_{out}$ 은 식 (17)과 같이 된다.

$$\begin{aligned} i_{out} &= i_{i1} - i_{i2} \\ &= \beta i_{d1} - \beta i_{d2} \\ &= \beta (i_{d1} - i_{d2}) \end{aligned} \quad (17)$$

식(13)과 식(14)을 식(17)에 대입하면

$$\begin{aligned} i_{out} &= \beta \left( g_m \frac{V_{in}^+ - V_{in}^-}{2} + \frac{V_{in}^+ - V_{in}^-}{2} \right) \\ &= g_m \beta (V_{in}^+ - V_{in}^-) \end{aligned} \quad (18)$$

여기서  $g_m \beta = G_m$ 으로 놓으면

$$i_{out} = G_m (V_{in}^- - V_{in}^+) \quad (19)$$

식 (19)으로 부터 OTA의 출력전류  $i_{out}$ 은 차동 입력과 입력  $T_r$ 의 이동 전도계수의 곱으로 표시 됨을 알 수 있다. 여기서  $T_r$ 의 이동 전도계수  $g_m$ 은 바이어스 전류  $I_o$ 에 평방근으로 비례하여 다음과 같은 식으로 주어지게 된다.

$$g_{mi} = \sqrt{\left( \frac{4\mu_n C_{ox}}{2} (W/L) i \frac{I_o}{2} \right)} \quad (20)$$

여기서  $K_n = (\mu_n C_{ox})/2 [\mu A/V^2]$ 이고  $\mu_n$ 은 전자이동도,  $C_{ox}$ 는 산화물의 용량 바이어스 전류를 나타내며  $I_o$ 는 전류원 트랜지스터의 제어 전압  $V_c$ 에 비례하고 다음식으로 주어진다.

$$I_o = K_n (W/L) 8 (V_c - V_{ss} - V_{tn})^2 \quad (21)$$

$V_{tn}$ 은 n채널 MOS의 문턱전압(threshold voltage)이다. 식 (21)을 식 (20)에 대입하면 식(22)이 된다.

$$\begin{aligned} g_{mi} &= 2 \sqrt{(K_n (W/L) i \frac{K_n (W/L) 8 (V_c - V_{ss} - V_{tn})^2}{2})} \\ &= 2K_n (V_c - V_{ss} - V_{tn}) \sqrt{(W/L) i (W/L) 8/2} \end{aligned} \quad (22)$$

식 (22)에서 OTA의 이동 전도계수가 바이어스 제어 전압  $V_c$ 에 따라서 선형적으로 변한다는 것을 알 수 있다. 그러므로 출력전류는 차동입력과 바이어스  $V_c$ 에 비례함을 알 수 있다. 그리고 표 2에서는 OTA회로 설계에 사용된 입력 파라미터 값을 기술해 놓았다.

표 2. OTA MOS 파라메타  
Table 2. OTA MOS parameters.

MOS #	TYPE #	L (u)	W (u)
M1	MOD1	10	120
M2	MOD1	10	120
M3	MOD2	6	60
M4	MOD2	6	60
M5	MOD2	10	180
M6	MOD2	10	180
M7	MOD1	10	165
M8	MOD1	50	20
M9	MOD1	10	165
M10	MOD1	10	165
M11	MOD1	6	165
M12	MOD2	6	180
M13	MOD2	10	180

### 3. OP amp의 설계

OP amp (operational amplifier)는 아날로그 회로의 기본 소자로서 일반적인 회로로 구성할때 기본단위로 쓰이는 소자이다. 그림 5는 VCO의 부 회로로 쓰인 OP amp의 회로도도를 보여주고 있다. 여기서 M1, M2, Q1, Q2가 연결되어 있는 부분은 차동 입력단이며 M1의 게이트가 VIN1, M2의 게이트가 VIN2 입력이 되며 M3, M4와 결합하여 차동 증폭단을 형성한다. M6과 M7은 공통 소스 증폭단을 형성하며, 그리고 M10, M11, 그리고 M13, M14로 형성되는 BiCMOS 반전 증폭단으로 구성이 된다. M8과 M9는 전류원이며, CC와 M12는 출력 보상용 소자이다. M5와 M9, 그리고 M7과 M9는 회로를 바이어스 시켜주기위한 전류 미러를 형성하며 M12 MOS 트랜지스터는 트라

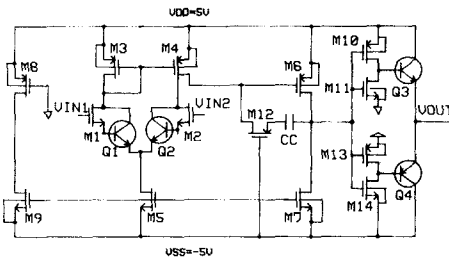


그림 5. OP amp 회로도  
Fig. 5. OP amp circuit.

이오드 영역에서 동작한다. OP amp의 전체 전압이득은 식 (23)으로 주어진다.

$$A_v \approx - \frac{g_{m2}}{g_{a2} + g_{a4}} \frac{g_{m6}}{g_{a6} + g_{a7}} \quad (23)$$

표 3에서는 설계한 OP amp의 입력 파라미터 값을 나타내었다. 그리고 표 4에서는 SPICE 시뮬레이션에 사용된 MOS와 BJT 모델 파라미터를 나타내었다.

IV. 시뮬레이션 및 고찰

이전에 사용되던 정 전류 VCO는 두개의 전압 제어 정 전류원으로서 타이밍 커패시터를 충전시켜 삼각파를 발생시키고 이를 다시 슈미트 트리거에 입력시켜 구형파 발전을 얻었다. 그런데 이 구형파는 정 전류원으로 제한되어 이들의 특성을 결정하게 된다. 이러한 관점에서 볼 때 종래의 VCO는 슈미트 트리거의 구형파 출력으로 두개의 정 전류원을 스위칭 시킬때 전압 스위치 및 정 전류원에서 발생하는 스위칭 지연에 의해 고주파 특성과 전압-주파수 특성의 선형성이 떨어지게 된다. 그리고 두개의 정 전류원을 스위칭 시키는데 사용되는 반전기의 지연으로 인해 50%의 듀티 사이클(PW/T)의 반전 파형을 얻기가 어렵다. 그래서 본 논문에서는 이와 같은 문제점을 개선하기 위해 종래의 정 전류원 대신에 스위칭 특성이 좋고 구동 능력이 좋은 BiCMOS를 사용하여 VCO회로를 설계하였다. 본 논문에서 설계한 BiCMOS VCO의 전체 회로도는 그림6에 나타내었다. 표 1에서는 SPICE 시뮬레이션에 사용한 OTA의 트랜지스터의 L/W값을 나타냈고 표 2에서는 OP amp에 사용된 MOS의 L과 W값의 비를 나타냈다. 식 (22)를 식 (10)에 대입하여 구한 VCO의 출력 주파수 표현식은 식(24)과 같이 주어지게 된다.

표 3. OP amp MOS 파라미터  
Table 3. OP amp MOS parameters.

MOS #	TYPE #	L (u)	W(u)
M1	MOD1	6	900
M2	MOD1	6	900
M3	MOD2	39	18
M4	MOD2	30	18
M5	MOD1	18	42
M6	MOD2	21	51
M7	MOD1	12	81
M8	MOD2	45	9
M9	MOD1	39	21
M10	MOD2	10	120
M11	MOD1	10	90
M12	MOD2	15	21
M13	MOD2	10	120
M14	MOD1	10	90

표 4. MOS와 BJT 모델 파라미터  
Table 4. MOS and BJT model parameters.

MOS model parameters

BJT model parameters

	MOD 1	MOD 2
TYPE	NMOS	PMOS
LEVEL	2.0000	2.000
VTO	0.684	-0.652
KP	4.60d-05	2.70d-05
GAMMA	0.5000	0.400
PHI	0.703	0.684
CGSO	2.20d-10	6.50d-10
CGDO	2.20d-10	6.50d-10
CGBO	5.50d-10	5.50d-10
RSH	30.000	55.000
CJ	3.26d-04	2.90d-04
MJ	0.314	0.461
CJSW	4.17d-10	2.45d-10
MJSW	0.441	0.717
JS	2.90d-06	1.17d-05
TOX	3.80d-08	3.80d-08
NSUB	1.49d+16	9.59d+14
NFS	2.38d+11	1.49d+11
TPG	-1.000	1.000
XJ	9.56d-07	1.06d-06
LD	2.00d-07	4.50d-07
UO	620.890	240.540
UCRIT	4.94d+04	4.50d+04
UEXP	0.091	0.329
UMAX	4.86d+04	4.32d+04
NEFF	2.000	2.000
QXC	1.000	1.000

	MOD 2	MOD 3
TYPE	PNP	NPN
IS	1.00d-16	1.00d-16
BF	100.000	100.000
NF	1.000	1.000
BR	1.000	1.000
NR	1.000	1.000
RE	11.200	11.500
RC	7500.000	165.000
CJE	3.30d-14	7.70d-14
CJC	5.10d-14	5.58d-14
CJS	2.88d-13	3.20d-13

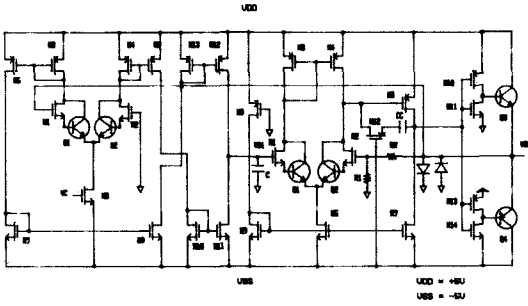


그림 6. VCO의 전체 회로도  
Fig. 6. Entire circuit diagram of VCO.

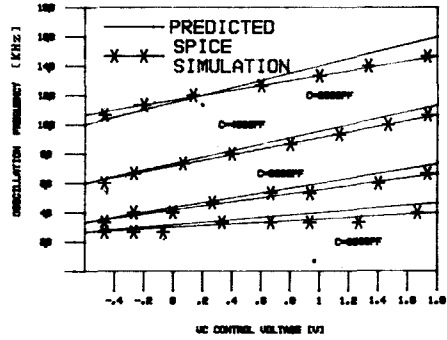
$$f = \frac{1}{2} \mu_n C_{ox} (V_c - V_{ss} - V_{th}) \sqrt{(W/L_i)(W/L)8/C}$$

$$= 5.039 * 10^{-8} (V_c + 4.316) / C \quad (24)$$

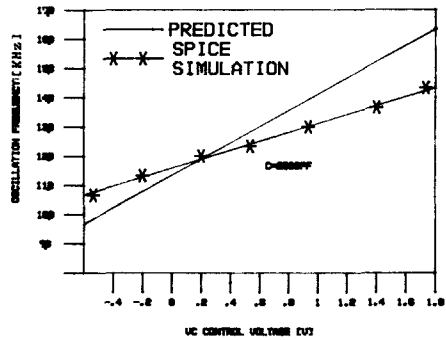
그림 7의 A, B는 식 (24)식의 계산에 의한 출력 주파수와 SPICE 시뮬레이션에 의한 검증 결과치를 비교하여 그림으로 표시한 것이다. 그림 7의 A는 부하 커패시턴스를 8000, 6000, 4000, 그리고 2000에서 제어 전압  $V_c$ 의 변화에 의한 출력 주파수 값이며 그림 7의 B는  $C=2000$  pF에서의 제어전압  $V_c$ 에 대한 출력주파수 값이다. 여기서 볼 수 있듯이 전압 대 주파수 특성의 기울기가 타이밍 커패시터의 값에 거의 비례하며 증가하는 것을 볼 수 있는데 특히 커패시턴스가 2000pF에서는 계산치와 시뮬레이션 한 결과가 차이가 나는데 이는 실제한 회로의 특성이 커패시턴스 값이 작아질 경우 계산치와 약간 차이가 발생함을 알 수가 있다. 그러나 2000pF 이상의 커패시턴스에서는 계산치와 거의 비례함을 알 수가 있었다. 그래서 worst case인 2000 pF에서의 선형도를 계산해 본 결과 선형도는 87%이고 최대 직선오차는  $V_c=1.2V$ 에서 2.3KHz였다. 그리고 그림8은 타이밍 커패시터를 바꾸어서  $V_c=-2V$ ,  $V_c=2V$ 일때 SPICE로 시뮬레이션한 결과이다. 이 그림에서 볼 수가 있듯이  $V_c$ 전압이 증가 할수록 주파수 발진이 빨라짐을 알 수가 있다. 그리고 삼각파를 입력 하였을때 OTA와 OP amp를 거쳐 나온 파형이 아주 좋은 구형파 특성으로 발진됨을 볼 수가 있다.

V. 결 론

본 논문에서는 종래 정 전류원 VCO가 갖고 있는 문제점을 개선하고 CMOS에서의 고주파 출력의 VCO를 구현하기 위해 BiCMOS를 사용하여 스위칭



(a)



(b)

그림 7. (a) 부하 커패시턴스와 제어 전압의 주파수 비교  
(b) 부하 커패시턴스와 제어 전압의 주파수 비교

Fig. 7. (a) Comparison between frequency of  $C_L$  and  $V_c$ ,  
(b) Comparison between frequency of  $C_L$  and  $V_c$ .

속도가 빠르고 출력 전류의 변화가 거의 선형적인 OTA를 사용한 새로운 BiCMOS VCO를 설계하였다. 따라서 종래의 CMOS VCO가 갖고 있는 높은 주파수에서의 선형성 문제를 스위칭 특성이 좋은 BiCMOS를 사용해 개선하였고 또 보다 높은 주파수 영역을 갖도록 하였다. BiCMOS OTA 회로의 중요특성은 DC에 회로 이득이 70dB이며 단위 이득 대역폭은 2MHz이다. 그리고 위상 마진은 72°이며 CMRR은 90dB이고 10pF 부하 커패시턴스에서 회전율은 14 V/ $\mu$ S이고  $V_c$ 를 -3V에서 +3V까지 증가하였을때 전류 변화율은 165 $\mu$ A/V였다. 또한  $\pm 5V$  바이어스에서 SPICE로 시뮬레이션한 결과 높은 선형성을 나타냈다. 이에 대한 특성표는 표 4와 같으며 이를 저항 R1(0.5K)과 R2(0.5K)를 갖는 슈미트 트리거에 연결하여 VCO를 설계하였다. 그리고 타이밍 커패시터  $C=2000$  pF에서 제어전압 -0.4V와 2V사이 구

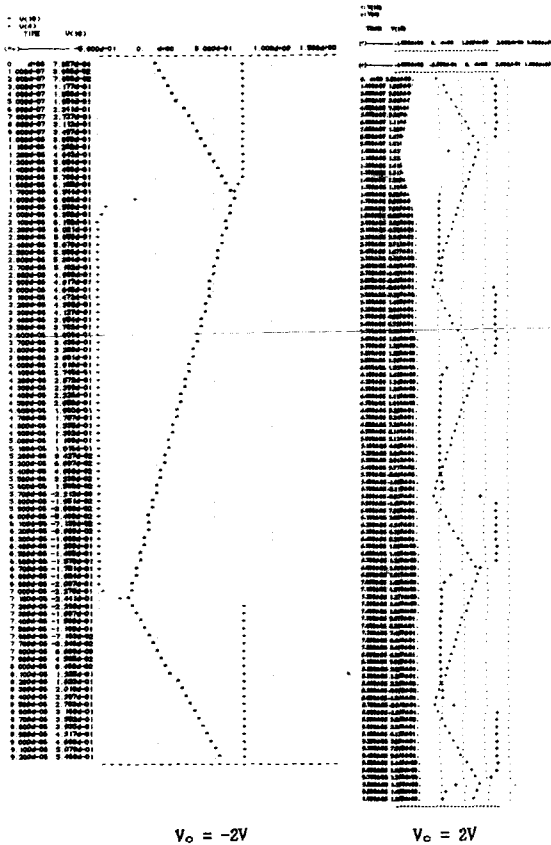


그림 8. VCO의 SPICE 시뮬레이션 결과  
Fig. 8. SPICE simulation results of VCO.

간의 출력 주파수는 약 105KHz에서 141KHz이며 변화 감도는 약 15KHz/V이다.

参 考 文 献

[1] J. Kukielka and R.G. Meyer, "A high frequency temperature stable monolithic VCO," *IEEE J. Solid-State Circuit*, vol. SC-16, pp. 639-647, Dec. 1981.  
[2] Alan B. Grebene, "Bipolar and MOS analog integrated circuit design: *Willy Interscience*, pp. 215-233, 1984.

표 5. OTA의 특성

Table 5. OTA characteristic.

Parameter	Measured
DC-open circuit	70dB
Unity-gain bandwidth	2MHz
Phase margin	72°
Slew rate	14V/U sec
Input offset voltage	0.08m V
CMRR	90dB
DC-power dissipation	13.5mW
Load capacitor	1pF
Bias voltage	-0.2V

[3] John P. Uyemura, "Fundamentals of MOS digital integrated circuits," *Addison Wasly*, pp. 1-71, 1988.  
[4] *PSPICE reference manual*. Jan, 1986.  
[5] K. Nagata, O. Nakajima, T. Nittono, Y. Yamavchi, and T. Ishibashi, "Extremely Small Emitter (1x1um2) ALGaAs/GAAs HBT's Utilizing Bridged Base Electrode Structure," *IEDM89*, pp. 385-388, 1989.  
[6] K. Ko, H-S. Lee, and R. Reif, "A BiCMOS Process Utilizing Selective Epitaxy For Analog/Digital Applications," *IEEE Transaction on Electron Devices*. vol. 36, no. 7. pp. 1362-1369, 1989.  
[7] H. Momose. et al., "A Supply Voltage Design for Half um BiCMOS Gates: Symp. VLSI Tech. pp. 55-56, 1989.  
[8] Ytaka Kobayashi. Kyoichiro Assayama. Masayuki Oohayashi. Ryoichi hori. Goro Kitsukawa., and Kiyoo Itoh. "Bipolar CMOS-merged Technology for High-Speed 1-Mbit DRAM," *IEEE Trans. Electron devices*, vol. 36, no. 4. April. pp. 706-711, 1989.  
[9] A. Vladimirescu, Kaihe Zhang. "*Spice vergion 2G User's Guide*, pp. 1-43, Dec. 1984.



---

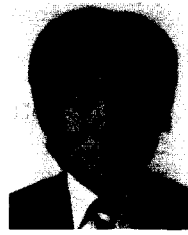
著 者 紹 介

---



李 勇 熙 (準會員)

1966年 6月 18日生. 1989年 청주대학교 전자공학과 졸업. 1990年 청주대학교 전자공학과 대학원 재학중. 주관심분야는 VLSI, CAD, ASIC, DRAM 등임.



柳 基 漢 (正會員)

1947年 5月 18日生. 1974年 단국대 공대 전기공학과 졸업(학사) 1981年 단국대 대학원 전기공학과 졸업(석사). 1989年 청주대 대학원 전자공학과 박사과정. 1975年~현재 충주공업전문대학 전자계산기과 교수. 주관심분야는 VLSI설계, ASIC, CAD TOOL개발 등임.

●  
李 天 熙 (正會員) 第27卷 第11號 參照  
현재 청주대학교 전자공학과 교수