

Full Flash 8-Bit CMOS A/D 변환기 설계

(A Design of Full Flash 8-Bit CMOS A/D Converter)

崔 英 奎*, 李 天 熙*

(Young Gyu Choi and Cheon Hee Yi)

要 約

CMOS VLSI 기술에서 고속으로 데이터를 인식하기 위해서는 비교적 낮은 전달 콘덕턴스와 MOS 소자 장치들의 불균형을 극복하는 것이 중요하다. 그러나 CMOS 소자들의 한계 때문에 VLSI 회로설계는 일반적으로 CMOS 동작에 알맞도록 바이폴라 A/D (analog-to-digital) 변환기가 사용되었다. 또한 파이프라인으로 종속 연결된 RSA에 의하여 전압 비교가 이뤄지는 VLSI CMOS 비교기를 설계 하였다. 따라서 본 논문에서는 파이프라인으로 연결된 CMOS 비교기와 병합한 A/D 변환기를 설계하였다.

Abstract

In order to implement high-speed data acquisition system in CMOS VLSI technology, means must be found to overcome the relatively low transconductance and large device mismatch characteristic of MOS device. Because of these device limitations, circuit design approaches traditionally used in high-speed bipolar analog-to-digital converter(ADC) are suited to CMOS implementation. Also, the design of VLSI CMOS comparator wherein voltage comparison is accomplished by means of a pipelined cascade RSA (Regenerative Sense Amplifier). So, in this paper we designed the A/D converter incorporates the pipelined CMOS comparator.

I. 서 론

애널로그 회로에서 기본적인 회로 구성요소로 전압 비교기를 들 수 있다. 전압 비교기는 고속으로 데이터를 인식하는 시스템에서 매우 중요한 회로이다. 전압 비교기(voltage comparator)는 어떤 애널로그 입력전압(input voltage)과 기준전압(reference voltage)을 비교하여 입력전압이 기준전압보다 큰 상태("1")와 작은 상태("0")의 2가지를 인식하게 되는데 이는 매우 빠른 속도를 요하고 있다. 그래서 신호처

리를 고속으로 하기위해 각 증폭단을 병렬로 연결하는 pipeline 방식을 사용하게 된다. 또한 A/D 변환기는 연속적인 아날로그 입력신호를 이산적인 디지털 신호로 변환시키는 장치로서 크게 아날로그 A/D 변환기와 논리 A/D 변환기가 있다. 논리 A/D 변환기는 아날로그 A/D 변환기 보다 신호처리 속도가 빨라 데이터의 변환이 빠른 시스템에 이용된다. 또한 고속으로 데이터를 처리하기 위해서는 비교기나 변환기를 pMOS와 nMOS로 구성된 CMOS 회로로 설계하는 것이 전력소비나 회로 구성면에서 간단하다. 그래서 본 논문에서는 변환기 전단에 비교기 회로를 pipeline으로 병렬 연결하여 회로를 구성하였으며 데이터 처리를 고속으로 변환할 수 있도록 하였다. 여기서 구현한 풀 플래시(full flash) A/D 변환기는 신

*正會員, 淸州大學校 電子工學科
(Dept. of Elec, Eng., Cheongju Univ.)
接受日字: 1989年 9月 30日

호처리 속도가 빠르기 때문에 전 병렬 A/D 변환기라고도 하며 전단에는 pipeline으로 연결된 CMOS비교기가 연결되어 있고 엔코더가 배열 구조로 중속연결되어 있다. 2개의 아날로그 입력전압이 비교기에 가해지면 비교기에서는 입력된 입력전압과 비교기에 가해진 기준전압과 비교하여 입력전압이 클때만 출력신호 "1"을 생성하게 된다. 이 비교기에서 나온 디지털 출력은 엔코더를 거쳐 2진 코드나 그레이 코드와 같은 효율적인 디지털 코드로 변환된다.

본 논문에서 구현한 A/D 변환기는 샘플링율이 100MHz, 단일전압 +5V, 분해능이 8-bit, 엔코더 전력소비가 355mW, CLK가 249mW, F A/D가 16.6M/mW의 수행능력을 지녔으며 3 μ 공정을 기준하여 SUN level에서 사용되는 AWB(analog workbench)툴을 이용하여 시뮬레이션을 수행하였으며 그결과 얻고자하는 그레이코드 값을 얻을수가 있었다. 이 결과는 기존의 [11] 것과 비교하여 볼 때 샘플링율에서 20~30MHz에서 100MHz로 크게 개선되었으며 소비전력도 상대적으로 낮은 편이다. 현재 학교 기관에서 이용할 수 있는 서울대 반도체 공동 연구소의 3 μ 디자인 툴을 사용하였으나 앞으로 좀 더 나은 MOSFET 모델을 사용하고 공정에 알맞는 모델 파라미터를 개발한다면 좀 더 우수한 회로를 구현할 수 있을 것이다.

II. 비교기의 구조

그림 1은 INS, 증폭단 RSA, 그리고 출력단인 S-R latch로 구성된 전압 비교기의 schematic이다. 먼저 맨첫단의 INS 회로는 2개의 아날로그 입력신호(Vin, Vref)를 샘플링하고 홀드하여 생성된 출력 전압을 SA1에 제공해주며, 다음단인 SA1과 SA2는 입력되는 전압차를 디지털 전압에 접근시키기 위해 사용한 전압증폭기이다.

여기서 사용한 SA1과 SA2는 최소 입력전압차를 디지털 신호로 증폭하기 위해 충분히 큰 전압이득이

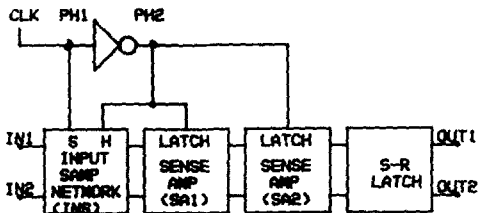


그림 1. 비교기 구조
Fig. 1. Comparator architecture.

필요하다. 그리고 최소 입력전압차의 극성을 구별하기 위해 충분히 큰 분해능을 필요로 한다. 출력단의 S-R latch는 흔히 사용하는 flip-flop 구조로 구성되어 디지털 출력을 잠시 저장하게 된다. 여기서 구현되는 아날로그 입력전압은 0V에서 2V범위에서 설계되었다. 또한 최고의 noise immunity를 얻기위해 전체적으로 차동회로를 사용하였으며 +5V의 바이어스 전원으로 동작하게 하였다. 비교기의 순차적인 동작은 외부에서 공급되는 50% duty cycle을 가지는 단일 클럭에 의해 구동된다.

1. INS (input sampling network)

INS는 아날로그 입력신호 Vin과 Vref를 샘플링하고 홀드하여 입력전압차에 대한 출력전압을 생성하는데 이 회로의 동작은 크게 sampling mode와 hold mode의 2가지로 나눈다.[3] 그림 2는 INS의 schematic 회로이며 모두 5개의 n-MOSFET 스위치(M1-M5)와 2개의 캐패시터(C1, C2)로 구성되어 있다. 캐패시터 CL은 INS의 각 출력단에서 등가 커패시터를 표시한 것이다.[4]

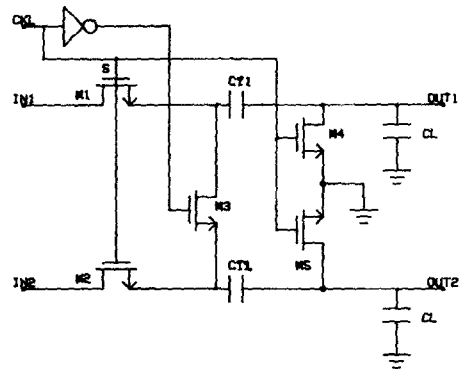


그림 2. INS 회로의 schematic
Fig. 2. Schematic of INS circuit.

(1) INS Sampling mode 분석

Sampling 회로를 설명하기 위해 그림 3에 보인 간단한 S/H 회로를 살펴보자. 이 회로는 트랜지스터 Mp1과 Mp2 그리고 2개의 sampling 커패시터 Cp1과 Cp2로 구성된다.

여기서 다음과 같은 sampling 오차 전압 Vsp를 정의할 수 있는데 이는 입력 전압차와 sampling 커패시터에서의 전압차이다.

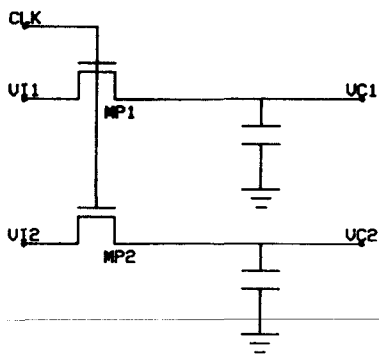


그림 3. 차동 S/H 회로
Fig. 3. Differential S/H circuit.

$$V_{sp} = |(V_{i1} - V_{i2}) - (V_{cp1} - V_{cp2})| = |V_{id} - V_{cd}| \quad (1)$$

“단” V_{id} 는 입력전압차이고 V_{cd} 는 D_{p1} 과 C_{p2} 사이의 출력 전압차이며 고속 동작에서 V_{sp} 는 다음과 같은 2가지 주된 요인의 결과를 낳게 된다.

- Pass 트랜지스터의 thermal noise
- Sampling 회로의 transient delay.

(2) INS Hold Mode 분석

그림 3에서 CLK가 low일 때 C_{p1} 과 C_{p2} 는 V_{i1} 과 V_{i2} 로부터 분리된다. 이러한 동작으로 C_{p1} 과 C_{p2} 에 전압이 저장되게 된다. 여기서 M_{p1} 과 M_{p2} 로부터 CLK feed-through와 charge injection을 유발하게 되고 이로 인해 small common-mode 출력신호를 생성하게 될 것이다. 그리고 회로가 정합되지 않았을 경우 출력이 차동 전압오차를 생성하게 된다.

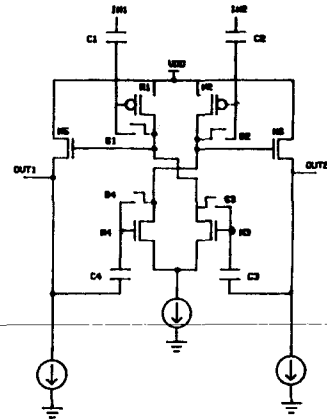
2. Sense Amplifier (SA)

SA(sence amplifier)회로의 주된 목적은 비교기의 분해능(resolution)을 향상 시키기 위해 사용되며 낮은 오프셋 전압을 가지고 있다. SA1은 self-calibrate된 RSA 회로이며 고속 동작과 낮은 전력 소모라는 이점을 가지고 있다.

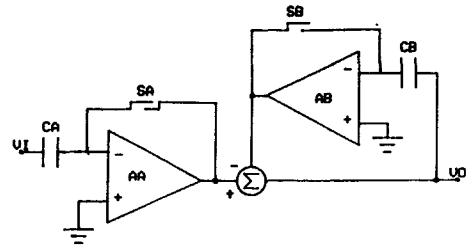
(1) SA 회로

SA회로는 NMOSFET 차동쌍인 $M3$ 와 $M4$, sourcefollower인 $M5, M6$, 입력단 트랜지스터인 $M1, M2$, 그리고 커패시터로 이를 그림 4(a)에 나타내었다.

SA의 동작은 “Mode control switch”라는 스위치 $S1-S4$ 에 의해서 조정되며 SA는 크게 reset mode와 regeneration mode의 두가지 동작모드로 구동된다.



(a) SA의 기본 schematic 회로도



(b) SA의 기능 블럭도

그림 4. SA의 기본 schematic과 기능 블럭도
Fig. 4. Basic schematic and function diagram of SA.

그림 3의 (b)는 SA의 블록 다이어그램이며 그림 5의 (a), (b)는 SA의 reset 모드 regeneration모드를 나타내고 있다.

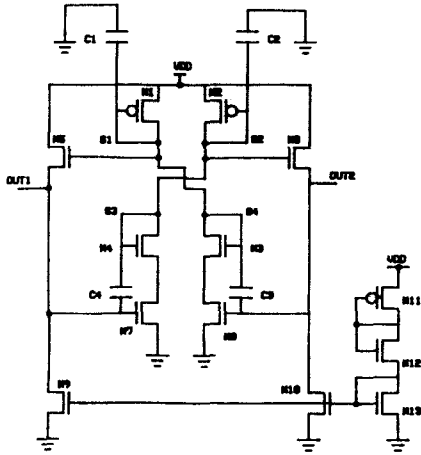
III. 플래쉬 A/D 변환기 설계

1. 설계 구조

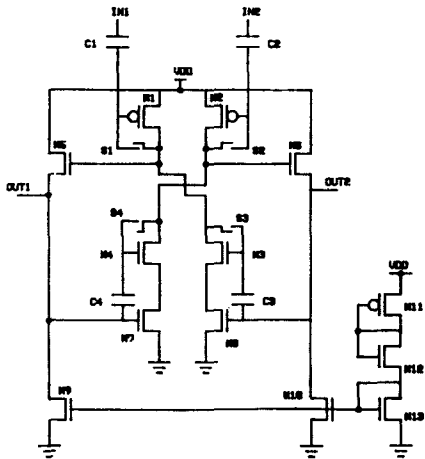
현대의 VLSI 기술에서 8-bit 분해능을 가진 풀 플래쉬 A/D 변환기는 바이폴라^[18]나 MOS 공정기술^[1,2,7] 상에서 단일 모놀리틱 IC로서 구현할 수가 있다. 다음은 풀 플래쉬 A/D 변환기의 동작을 검증할 수 있는 풀 플래쉬 A/D 변환기($F_{A/D}$)의 관계식이다.

$$F_{A/D} = \frac{2^B \times f_s}{P} \quad (2)$$

여기서 B 는 비트수에 따른 변환기의 분해능이고 f_s 는 변환기의 최대 샘플링을 그리고 P 는 최대 샘플링을 할 때의 소비전력이다.



(a) 리셋 모드



(b) 영역 재생 모드

그림 5. 리셋모드와 영역 재생모드
Fig. 5. Reset mode and regeneration mode.

그림 6은 8-bit 플래쉬 A/D 변환기의 구조를 나타낸 그림이다. RRL(reference resistor ladder)은 기준 저항렬이며 $V_r(0), V_r(1), \dots, V_r(n)$ 은 기준전압을 나타낸다. 상위의 기준전압 $V_r(n) = V_{rt}$ 와 하위의 기준전압 $V_r(0) = V_{rb}$ 는 외부에서 공급되며 아날로그 입력전압 V_a 는 IRL(input resistor ladder)이라 하는 2번째 저항단 양쪽으로 인가된다. 그리고 Comparator bank $Q(0) \dots Q(n)$ 의 뒷단에 엔코더가 있으며 여기서 8-bit 그레이 코드 $GC(0), GC(1), \dots, GC(7)$ 를 통해 디지털 신호가 나가게 된다. 이 시스템 구조에서 데이터는 3개의 비교기와 2개의 ESA(encoding sense

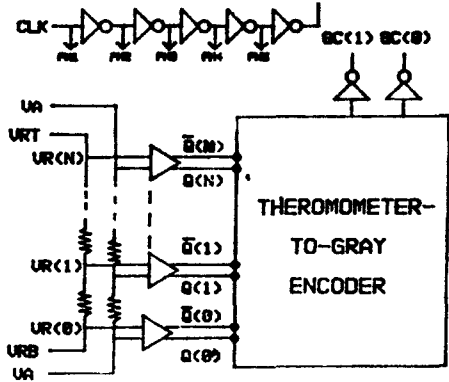


그림 6. Flash A/D 변환기 구조
Fig. 6. Flash A/D converter architecture.

amplifier) 등 5단으로 중속 연결된 pipeline을 통해서 이동한다. 외부에서 인가되는 CLK는 50% duty cycle로 공급되며 PH1-PH5까지 5개의 CLK이 pipeline을 조정하게 된다. 그리고 PH1-PH3은 comparator bank를 조정하고 PH4-PH5는 엔코더를 조정하게 된다. 여기서 엔코더에 있는 NOR 게이트를 제외하고는 모든 회로를 기판과 전력선으로 부터 노이즈를 막기위해 전 차동회로로 구성하여 설계하였다.

2. 엔코더의 기본구조

그림 7은 엔코더의 기본구조를 나타내고 있다. $Q(i)$ 와 $\bar{Q}(i)$ 는 $0 \leq i \leq N$ 일 때 comparator bank로부터의 디지털 출력이며 3개의 입력단자를 가진 NOR 게이트는 $Q(i)$ 에서 "0"과 "1"의 변화를 조사한다. 이에 대한 NOR 게이트의 출력 $Y(i)$ 는 다음과 같다.

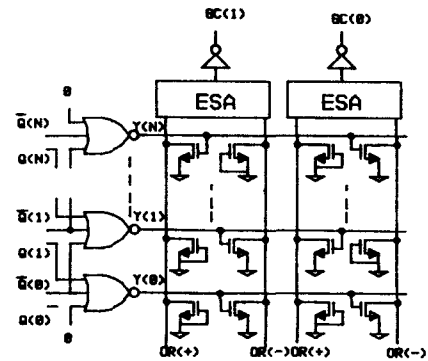


그림 7. 고속 thermometer 코드 엔코딩 scheme
Fig. 7. A high-speed thermometer code encoding scheme.

$$Y(i) = Q(i+1) + Q(i) + Q(i-1) \quad (3)$$

$$= Q(i+1)Q(i)Q(i-1)$$

단 $Q(i) = 0$, if $N \geq i > K$

1, if $N \geq i \geq 0$

$Y(i) = 1$, if $i = k$

0, if $i \neq k$

윗 식에서 NOR 게이트는 단지 "1"일때만 출력 상태가 된다는 것을 의미하며 $Y(K)$ 신호는 n-MOS 트랜지스터를 구동하게 된다. OR-line에 연결된 nMOS는 엔코딩 배열에서 특정한 OR-line에 대해서 GND(ground)로 조건에 따라 방전 경로를 마련해 준다. 그리고 노이즈를 막기위해 사용된 엔코딩 배열은 전 차동회로로 구성되어 있다. 그래서 각 출력단은 OR(+)와 OR(-)된 OR-line 쌍으로 구성되어 있으며, 만약 n-MOSFET가 OR(+)에 연결되어 있으면 출력비트는 "1"상태를, OR(-)에 연결되어 있으면 출력 비트는 "0"을 나타내게 된다.

또한 모든 OR-line 쌍에서 ESA는 OR-line 사이의 차를 조사하고 이 차에 의해서 디지털 신호 "1"과 "0"을 출력하게 된다. 모든 B-bit 코드마다 엔코딩 배열은 OR-line 쌍의 B-bit와 pull-down n-MOSFET의 $N+1$ 열로 구성되어 있다. 모든 열마다 OR-line에 정확히 $2 * B$ 의 n-MOSFET들이 연결되어 있으며 NOR 게이트 출력과 엔코딩 배열상에 있는 n-MOSFET의 게이트간의 상호연결은 $(N+1)$ -to-B 엔코딩 mapping을 결정하게 된다. Glitch 영향을 최소화 하기 위해서 그레이 코드 엔코딩은 이러한 설계로 구성하였으며 비교적 다른 엔코딩 scheme에 대해 속도가 빠른 장점이 있다.^[6]

3. ESA(encoding sense amplifier) 회로

그림 8은 ESA의 구조를 나타낸 것인데 엔코딩 배열은 Y(A)와 Y(B)에 의해 구동되는 2열의 n-MOSFET에 의해서 구성된다. Y(A)와 Y(B)는 V1과 V2에 의해 구동되는 2개의 구동 인버터에 의해서 simulate 되며 comparator bank로부터 디지털 신호를 출력하게 된다. 또한 OR-line에서 노이즈 마진을 제거하기 위해서는 회로를 전 차동으로 구성하여 보상할 수가 있다.

그림 9에서 처럼 ESA1은 차동 OR-line을 충전하는데 사용되고 OR(+)와 OR(-)사이의 차동전압을 생성해준다. 여기서 차동된 신호는 2번째 ESA 단인 ESA2에서 조사되어 다음단에 있는 S-R latch에서 ESA2로부터 감지된 결과를 저장하게 된다. ESA 1과 ESA2는 pipeline 배열로 통속 연결되어 있으며

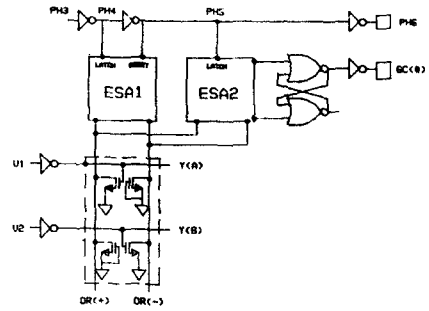


그림 8. ESA 구조
Fig. 8. ESA architecture.

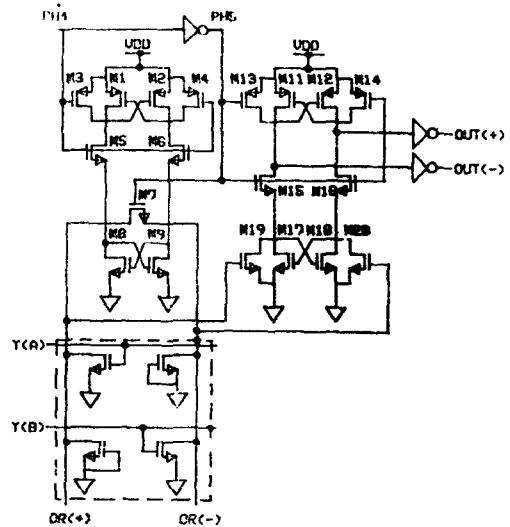


그림 9. ESA 회로 schematic
Fig. 9. ESA circuit schematic.

CLK PH4와 PH5에 의해 구동된다. PH4와 PH5는 구동 인버터인 단일 CLK에 의해 분리되어 있으며 PH5 역시 동기 CLK 신호 PH6을 생성하기 위해 off chip 구동 인버터를 구동하게 된다.

그림 9는 CMOS ESA1(M1-M9)과 ESA2(M11-M20)가 종속으로 연결되어 있는 완전한 ESA 회로이다. ESA1과 ESA2의 동작은 4개의 트랜스미션 게이트인 M5-M6와 M15-M16에 의해서 조정되며 각 증폭기는 reset 모드와 regeneration 모드 2가지 동작모드를 가지고 있다. ESA1에서 PH4가 high 일 때 이 회로는 regeneration 모드가 되고 PH4가 low 일 때는 reset 모드가 된다. 그리고 ESA2에서는 PH

5가 high일 때 regeneration 모드가 되고 PH5가 low 일때는 reset 모드가 된다. 따라서 그림12에서 PH4가 low일 때 ESA1에 있는 트랜스미션 게이트 M5와 M6은 open되며 nMOSFET 쌍인 M8-M9로 부터 p-MOSFET cross-couple쌍 M1-M2가 분리되게 된다. M1과 M2의 드레인 노드는 M7에 의해서 함께 short 되고 전압이 n-MOSFET의 문턱전압(V_{th})아래로 떨어질 때까지 M8과 M9를 통하여 전하가 된다. 그러나 고속 동작 중에는 큰 커패시턴스가 OR-line 과 연결되어 있기 때문에 M8과 M9의 드레인 노드 전압은 n-MOSFET의 V_{th} 위에 항상 남아 있게 된다. PH4가 high일 때 ESA1은 regeneration 모드가 되며 트랜스미션 게이트 M5와 M6은 M8-M9와 함께 M1-M2쌍에 연결되고 PH5가 low 일 때 M7은 open 되어 OR(+)와 OR(-)쌍의 전압은 분리된다. 그러면 인코딩 n-MOSFET와 연결된 OR-line은 다른 OR-line이 $VDD - V_{th}$ (M5-M6의 V_{th})에 충전되는 동안 ESA1에 의해서 GND에 방전된다. 그러므로 ESA1의 기능은 ESA1의 신호를 ESA2에서 쉽게 조사할 수 있도록 OR-line 사이의 미소전압을 충분히 큰 값으로 증폭시켜 준다.

ESA2의 동작은 PH5에 의해 조정되며 ESA2는 ESA1과 같이 유사한 회로로 구성되어 있다. 그러나 ESA2는 큰 커패시턴스를 구동하지 않으므로 고속에서 full scale 디지털 신호를 생성하게 된다. ESA 2는 입력소자인 M19와 M20을 통하여 나가는 OR(+)와 OR(-)사이의 전압차를 감지하며 PH5가 low 일 때 ESA2는 reset 모드가 되고 출력을 이상없이 GND로 돌아오게 된다. 따라서 ESA2 다음단에 있는 S-R latch 에서는 ESA2가 reset 모드에 스위칭 되었을 때 재 생성된 출력을 hold 하게 된다. 그리고 S-R latch를 거쳐 GC 출력을 생성하게 된다.

4. 시뮬레이션 분석 및 고찰

모든 엔코더 소자는 3 μ 채널길이로 설계하였으며 SPICE 시뮬레이션시 OR-line은 커패시터에 터미널을 첨가하여 만든 저항을 포함하여 π 형 RC 회로로 모델링 하였다. 왜냐하면 π 형 회로는 한개의 저항과 한개의 커패시턴스⁽⁶⁾로 구성된 L형 RC회로 보다 시뮬레이트 하기에 좋기 때문이다. 그래서 μ 형 RC 회로 모델에서는 메탈라인 저항을 150 Ω 으로 가정하였고 커패시턴스는 5PF으로 모델링 하였다. 그림10은 OR-line 에서의 출력파형이며 그림11은 ESA 에서의 출력파형이다. 그 결과 그림11에서 인코딩 pull down 트랜지스터는 t=15nsec에서 스위칭 되고 regeneration 모드상에서 t=21.9nsec일 때 OR-line 사이의

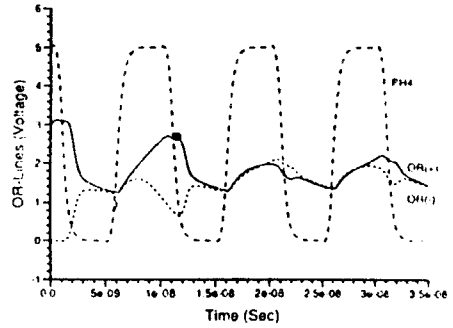


그림10. OR-line 파형
Fig. 10. OR-line waveform.

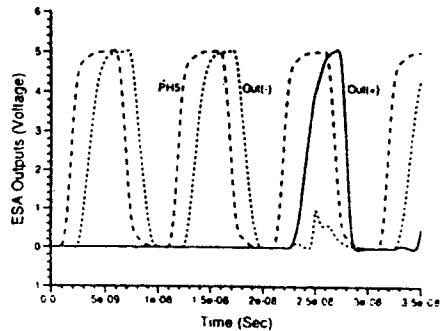


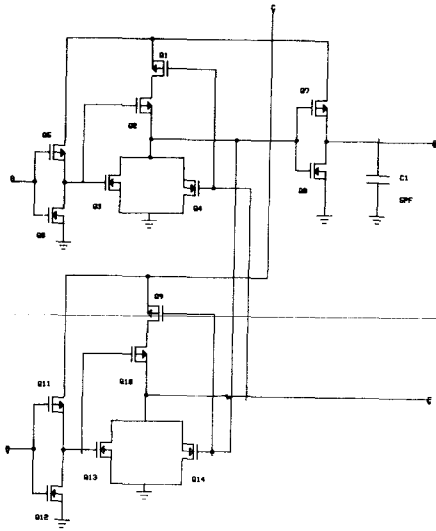
그림11. ESA 단의 출력파형
Fig. 11. Output waveform of ESA stage.

차동전압은 330mV가 된다.

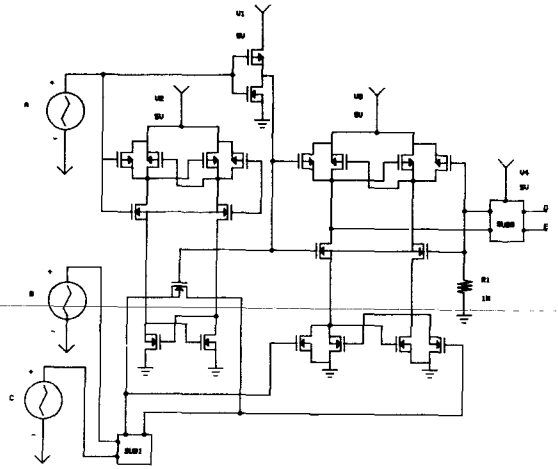
IV. A/D 변환기의 설계

본 논문에서는 pipeline으로 종속 연결된 RSA와 RS1과 RS2 증폭단을 사용하여 낮은 전력 소모를 하면서도 고속으로 수행되는 CMOS 비교기를 3 μ 공정 파라미터에 기초하여 설계하였다. 그리고 이를 기초로 하여 CMOS를 이용한 full flash 8-bit CMOS A/D 변환기를 설계하였다. 이 A/D 변환기는 고속으로 신호를 처리할 수 있도록 하기위해 스위치 소자를 CMOS로 구성 하였으며 최대 100MHz의 샘플링율과 총 전력소비량이 1545mV인 낮은 전력 소비 값을 얻을 수가 있었다.

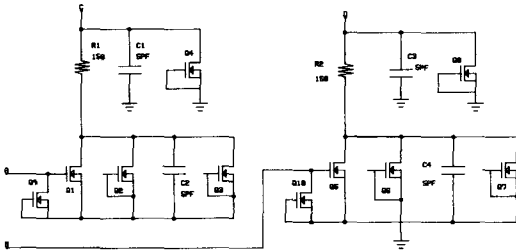
이 변환기는 병렬구조로 설계된 256개의 CMOS비교기와 연결하여 완전한 A/D 변환기를 구성할 수 있다. 그래서 비교기에서 2개의 서로 다른 전압 “즉”



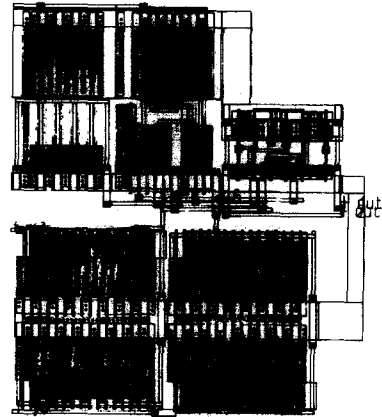
(a) SUB0 회로



(c) A/D 변환기



(b) SUB1 회로



(d) 완성된 칩의 layout.

그림 12. A/D 변환기
Fig. 12. A/D converter.

Vin과 Vref가 들어왔을 때 비교기에서 이 두 전압을 비교하여 이 두 신호를 샘플링/홀드하여 SA(sense amplifier)라는 2개의 증폭단을 걸쳐 신호를 증폭하게 된다.

여기서 증폭된 2개의 신호는 $V_{in} < V_{ref}$ 일 때 디지털 출력 "0"을 $V_{in} > V_{ref}$ 일 때 디지털 출력 "1"을 생성하게 된다. 여기서 생성된 출력은 thermometer-to-gray 엔코더 회로를 통하여 GC(gray code) 출력으로 생성되는데 이 회로는 ESA라는 2개의 증폭단을 통해 다시 신호를 증폭하며 ESA를 거쳐 S-R

latch단에 신호를 임시 저장 하였다가 GC출력 "즉" 디지털 출력을 생성하게 된다. 따라서 이 회로는 고속동작을 요하고 낮은 전력을 요하는 시스템에 이용될 수 있다. 그림(c)에 A/D 변환기의 전체흐름도를 나타냈으며 (a)와 (b)는 전체 그림중에서 SUB0 블럭과 SUB1 블럭의 회로를 표시하고 있고 (d)는 칩의 layout이다. 그림13은 SUN level에서 아날로그 워크벤취(AWB)를 사용하여 구현한 결과인데 여기서는 ESA단 한단만을 최종적으로 구현한 예를 나타냈다.

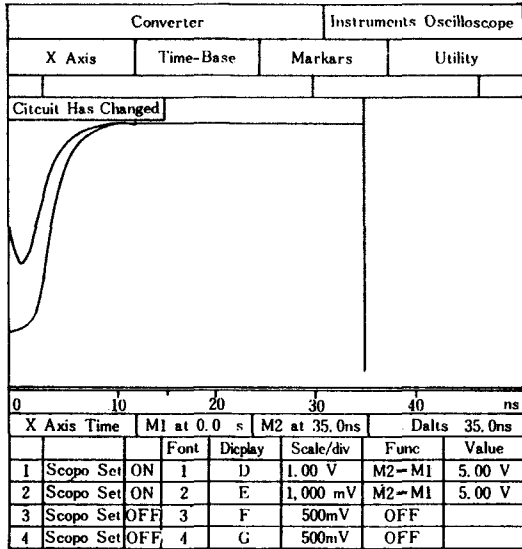


그림 13. 최종 출력파형
Fig. 13. Final output waveform.

V. 결 론

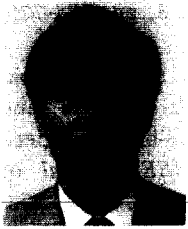
본 논문에서 구현한 A/D 변환기는 단일 전압 +5V, 분해능이 8bit, 엔코드 전력소비가 335mW, CLK가 249mW, $F_{A/D}$ 가 16.6MHz/mW의 수행능력을 지녔으며 3 μ m공정을 기준으로 하여 SUN level에서 사용되는 AWB(analog work bench)틀을 이용하여 시뮬레이션을 수행하였으며 그 결과 그레이 코드값을 얻을 수가 있었다.

앞으로의 연구과제는 실질적으로 우수한 회로를 설계하기 위해 좀 더 나은 MOSFET 모델들이 필요하며 processing에 알맞는 모델 파라미터를 개발하는 것이다. 그리고 또 한가지 고속동작을 위해서는 Si 기술공정 외에 BiCMOS나 GaAs와 같은 새로운 기술공정이 필요하며 이러한 기술을 이용하면 좀 더 우수한 회로와 고속 A/D 변환기를 구할 수 있을 것이다.

參 考 文 獻

- [1] Akira Yukawa. "A CMOS 8-bit High-speed A/D coverter IC," *IEEE Journal of Solid-State Circuits*, vol. 20, no. 3, pp. 775-779, 1985.
- [2] Toshio Kumamoto, Masao Nakaya, Hiroki Honda, Sotoju Asia, Yoichi Akasaka, and Yasutaka Horiba, " An 8-bit high-speed CMOS A/D converter." *IEE Journal of Solid-State Circuits*, vol. 21, no. 6, pp. 976-982. 1986.
- [3] Robert C. Yen and Paul R. Gray. "A MOS switched capacitor instrumentation amplifier," *IEEE Journal of Solid-Statr Circuits*, vol. 17, no. 6, pp. 1008-1013, 1981.
- [4] J. Wu and B.A. Wooley, "A 100 Mhz pipelined CMOS comparator," *IEEE J. of Solid-State circuits*, vol. 23, no. 6, pp. 1379-1385, 1988.
- [5] Yukio Akazawa, Atushi Iwata, Tstomv Wakimo to, Tsuomu Kamato, Hiroaki Nakamvra, and Hyoh Ikawa. "A 400MSPS 8b flash AD conversion LSI," *In IEEE International Solid-State Circuits Conference Degest of Technical papers*, pp. 98-99, February 1987.
- [6] Yoji Yoshii, Minov Nakamvra, Kaoru Hirasawa, Akio Kayanvma, and Katsvaki Asano, "A 8b 350MHz flash ADC," *In IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 96-97, February 1987 .
- [7] Andrew K. Joy, Robert J. Killips, and Peter H. Saul. "An inherently monotonic 7-bit CMOS ADC for video application," *IEEE Journal of Solid-State Circuits*, vol. 21, no. 3, pp. 436-440, 1986.
- [8] Takayasu Sakurai. "Approximation of wiring delay in MOSFET LSI," *IEEE Journal of Solid-State Circuits*, vol. 18, no. 4, pp. 418-426, 1983.

 著 者 紹 介

**李 天 熙(正會員)**

1945年 6月 6日生. 1968年 한양대학교 전자공학과 졸업. 동 대학원 졸업. 1975년 성균관대학교 대학원 전자자료처리과 졸업. 1986년 성균관대학원 전자공학과 공학 박사학위 취득. 1971년(주)

한국마벨 근무. 1977년 동양공업전문대학 전자과 근무. 1979년~현재 청주대학교 전자공학과 부교수. 1983년~1985년 미국 캘리포니아 산호세 주립대학교 전산과 객원교수. 주관심분야는 VLSI Layout, ASIC, DRAM, CAD Tool개발 등임.

**崔 英 奎(正會員)**

1960年 3月 27日生. 1983년 청주대학교 전자공학과 졸업. 1986년 중앙대학교 전자공학과 대학원 졸업. 1989년~현재 청주대학교 전자공학과 연구조교. 주관심분야는 회로시스템 설계, VLSI 설계

및 마이크로 프로세서 등임.