半導體 DI Switching素子의 試作과 特性에 관한 實驗的 考察

Experimental Fabrication and Analysis on the Double Injection Semiconductor Switching Devices

성만영*, 정세진*, 임경문*
（Man-Young Sung, Se-Jin Jeong, Kyoung-Moon Lim）

요 약

2重注入效果에 의한 高 voltage 半導體 스위칭素子의 設計 製作에 촁점을 맞추어 Injection Gate構造과 MOS Gate 構造로 試料素子를 製作해 그 特性을 檢討하고 Electrical Switching 및 Oxide膜에서의 Breakdown現像에 의한 문제점을 해결해 보고자 Optical Gate 構造을 提案하여 이 optically Gated Semiconductor Switching素子의 動作特性을 研究하고 Injection Gate 및 MOS Gate 構造(Planar type, V-Groove type, Injection Gate mode, Optical Gate mode)로 設計 製作된 素子와 特性을 比較 分析하였다.

ABSTRACT

Double Injection Switching Devices consist of p' and n' contact seperated by a near intrinsic Semiconductor region containing deep trap. A V-Groove Double Injection Switching Devices were proposed for high voltage performance and optical gating scheme. The experimental result to demonstrate the feasibility of these devices (Planar type, V-Groove type, Injection Gate mode, Optical Gate mode) for practical application are described.
1. 序論

최근 MOS集積回路 공정기술의 발전은 4 Mega DRAM 및 16 Mega DRAM의記憶素子를 실현함으로써半導體産業이 비약적이고 급진적
인 성장을 이룩하는데 충분적인 역할을 가져왔
다. 이와같이 MOS IC 제조공정의 발전은電力
用半導體素子의 개발에도 영향을 미쳐電力用
MOS FET라는 새로운半導體素子가 출현하였
으며 이素子는IC 제조공정을 이용한 최초의
성공적인電力用半導體素子라 할 수 있다. 이
울리電力用MOS FET는비아폴라電力트랜
지스터에 비해驅動回路가 간단하고 스위치能
度가 빠르며二次降伏이 일어나지 않는 장점을
가지고 있어 분과 15여년 전에 소개되었지만 80
년대부터 크게 각광을 받아가며 계속研究開
発되고 있는 중이다.7)
특히電力用半導體素子에서 가장 심각하게
작용하는 문제점 중 고耐圧化와大容量化 및
高溫에서도特性의 변화가 없는安定性 문제는
앞으로 우선적으로 해결해야 할 과제라 사료된
다.8)

현재Power System에 주로 사용되고 있는
스위칭素子인Thyristor의최고許容温度는150
℃정도이며, 또Radiation에 매우 약한 결점은
가지고 있다. 3~8 그로인다 다른 차원의스위칭
소자를 개발한다는 취지에서Thyristor와 같은
PNPN構造의理論이외의 다른 메가니즘을 스
위칭素子에活용하기 위해絶緣體 또는高比抵
抗 半導體로서의 2重注入(double injection: DI)에 관한基礎研究가 많이 발표되고 있으며9)
특히 Deep Impurity Level을 형성하는 원자를
도핑한試料에 2重注入이 발생하면 電流電壓의
特性에서電流制御型 特性抵抗이 나타나기 때
문에實用上 많은 흥미를 불러일으키고 있
다.10) 이와같은半導體에서의 2重注入에 의한
負性抵抗 特性은ス위칭素子, 光検出器, 周波数
에 따른電流振動 他御素子등에 많이活用될 수
있어 현재研究가 꾸준히推進되면서特性改善
과信頼性 向上에 대한 문제점의解決 등負性
抵抗特性을利用한半導體素子의 개발에 있어서
物性的언 解析이 병행되고 있는 단계에 있
다.11~13)

따라서 본論文에서는 앞에서 언급한 바와
같이電力用半導體素子에 관한基礎研究와
새로운素子의개발이란 차원에서高電壓 半導
體 스위칭素子를設計 提案하고 실현을통해
製作하여 그特性을研究 検討하므로써 새로운
電力半導體素子의設計 및製作에 관한研究を
하고 당연히 문제점을 해결해 나갈으려써 기
술적인Know-how의蓄積에役立つ을담당하고자
하였다. 그러므로本研究에서는2重注入効果에
의한高耐圧 半導體 스위칭素子(Double Injection
Semiconductor Switching Devices: DI 반
도체 스위칭 소자)의設計製作에 초점을 맞추어
Injection Gate構造과MOS Gate構造로試料素
子を製作해 그特性を検討하였고最終적으로
Electrical Switching 및Oxide膜에서의Break-
down現像에 의한問題解決を解決해보자Opti-
cal Gate構造を提案하여 이Optically Gated Se-
miconductor Switching素子를設計製作한同
시에Optical Energy에 의해 制御할 수 있는
高電圧スウィッチング素子の動作特性を研究하고In-
jection Gate 및MOS Gate構造로設計製作된
素子와特性에比較分析하므로서Power System에의
활용가능성을研究하였다.
2. Double Injection 負性抵抗에 의한 스위칭特性

고전압 半導體 스위칭 素子의 設計及製作에 있어서 本論文에서는 2重注入現像(Double Injection)을 利用한 Injection Gate, MOS Gate 및 Optical Gate 構造에 의한 스위칭 素子的 動作特性을 設計及製作  yö건과 연구시켜 解析하였다. 그

러므로 우선 Deep Level 不純物이 도입된 半

導體 및 絶緣體에 있어서 2重注入에 의한 電流

制御型 負性抵抗이 발생하는 현상을 이론적으로

考察하여 보면 다음과 같다.1,2) 즉 禁止帶 중에

1개의 깊은 억제자(deep acceptor) 準位를 가진

再結合中心을 닫히며 接合점 Nᵢ만큼 포함하고

 있는 半導體 또는 絶緣體에서 熱平衡 상태가 유

지되면 再結合中心은 熱 수 응子를 部門하고 있

되어 負로 대전되어 있고 Nᵢ=Nᵢ'Cm⁻³의 도우미

不純物이 존재하여 電氣的 中性 條件이 만족되

고 있다. 이와같은 設計에 興極으로부터 正孔이

注入된 경우 再結合中心이 負로 대전되어 있기

때문에 正孔의 lifetime은 大幅히 작게 나타나며

 이것은 再結合中心의 正孔에 대한 捕獲斷面積

(capture cross section)은 電子에 대한 것보다

 아주 작 것으로 考察할 수 있다. 電子을 捕獲하고 있

는 再結合中心의 正孔에 대한 捕獲斷面積을

σᵢ라고 하고 빈 상태의 再結合中心이 電子에

 대한 捕獲断面積은 σᵢ라 하면 σᵢ>σᵢ의 관계가

 성립한다. 이와같은 상태에서 再結合中心은 正

孔의 Sink로서 活動하고 電子濃度 n과 正孔濃度

p와의 관계는 n>p로 된다.

따라서 呼르는 電流은 実際적으로 한rompt 캐리

어인 電子에 의해 구성되며 인가 電流을 더욱

높여 正孔의 lifetime이 길어지게 되고, 捕獲되기

전에 電極에 닿달하게 되어 電子와 正孔 2종류의

キャリア가 電流의 頭部에 관여하게 된다. 이와

같은 상태에서 实際적인 2重注入이 開始된다.

이상과 같은 定性的 解析을 考察하여 다음

과 같이 몇 가지 가정을 설정하므로써 2重注入에

관한 理論을 推測할 수 있다.

즉 i) 試料는 모든 점에서 電気的으로 中性

이다.

ii) 電流은 報 Robbie의 性質에 의해 決定되며

電極의 性質에는 接觸되지 않는다.

iii) 擴散 電流は 無視한다.

v) 移動度는 電界에 따라 変化하지 않는다.

vi) 再結合中心으로 부터의 캐리어의 熱의

再放出은 무시한다.

vii) 熱的으로 動起된 自由キャリア는 무시한

da.

이들 見念을 推測하므로써 2重注入이 발생하는

Threshold電圧은

\[ V_{th} = \frac{d^2}{2 \mu_p \tau_{th}} \] ........................ (2-1)

으로 表現될 수 있다.

여기서 μᵢ는 正孔의 移動度, d는 試料의 電極

間 거리이며, τᵢ는, 低注入rooms에서의 正孔의 life-

time으로서,

\[ \tau_{th} = \frac{1}{V_{th} \sigma_i N_i} \] ........................ (2-2)

표현된다.1,2) Vᵢ는 正孔의 熱運動狀態에서의 平

均速度이다.

印加電圧이 Vᵢ일 때 正孔이 電極 사이를 주행하

는데 필요한 시간, 즉 초간 시간을
半導體 DI Switching 탐에의 試作과 特性에 관한 實驗의 考察

\[ t_{ph} = \frac{d^2}{\mu_e V_{ch}} \] 으로 표현하면 식 (2-1)로 부터

\[ t_{ph} = 2\tau_{ph} \] .......................... (2-3)

이와같이 정전의 注入電壓을 높이면 정전의 lifetime이 길어지기 때문에 정전된 거의 모든 정전은 陰極에 도달하기 쉽게 된다. 이것은 負
抵抗의 발생 원인이다. 試料 全域에서 \( n \approx p \) \( N_k \)으로 되면 微分抵抗은 正으로 되고 이때 電流-電壓 特性은

\[ I = \frac{9e\tau_{ph}\mu_e N_k V^2}{8d^3} \] .......................... (2-6)

으로되어 식(2-6)이 성립되는 最低電壓을 \( V_m \)이라 하면 \( V_n \)와 \( V_m \)은 \( V_n/V_m \approx \sigma_p/\sigma_n \)의 관계가 있다. 그림 2-1에 \( V_n \)으로 부터 식(2-6)로 표현되는

\[ I = \frac{125K\tau_{ph}\mu_e N_k V^3}{18d^2} \] .......................... (2-7)

으로 된다.\(^{301)}\) 여기서 \( K \)는 誘電率이며 그림 2-1에서 點線으로 나타낸 절 부분이 (2-7)식의 關係를

\[ \frac{\tau_{ph}}{\tau_{ph}} = \frac{V_n\sigma_p}{V_n\sigma_n} \approx \frac{\sigma_p}{\sigma_n} \] .......................... (2-5)

로 된다. (단, \( V_n \approx V_p \)로 가정) 再結合中心이 비리

\[ \tau_{ph} \gg \tau_{ph} \] .......................... (2-5)

억세터 타입이라면 \( \sigma_p \gg \sigma_n \)이므로 \( \tau_{ph} \gg \tau_{ph} \)로

이와같이 정전의 注入電壓을 높이면 정전의 lifetime이 길어지기 때문에 정전된 거의 모든 정전은 陰極에 도달하기 쉽게 된다. 이것은 負抵抗의 발생 원인이다. 試料 全域에서 \( n \approx p \) \( N_k \)으로 되면 微分抵抗은 正으로 되고 이때 電流-電壓 特性은

\[ I = \frac{9e\tau_{ph}\mu_e N_k V^2}{8d^3} \] .......................... (2-6)

으로되어 식(2-6)이 성립되는 最低電壓을 \( V_m \)이라 하면 \( V_n \)와 \( V_m \)은 \( V_n/V_m \approx \sigma_p/\sigma_n \)의 관계가 있다. 그림 2-1에 \( V_n \)으로 부터 식(2-6)로 표현되는

\[ I = \frac{125K\tau_{ph}\mu_e N_k V^3}{18d^2} \] .......................... (2-7)

으로 된다.\(^{301)}\) 여기서 \( K \)는 誘電率이며 그림 2-1에서 點線으로 나타낸 절 부분이 (2-7)식의 關係를

\[ \frac{\tau_{ph}}{\tau_{ph}} = \frac{V_n\sigma_p}{V_n\sigma_n} \approx \frac{\sigma_p}{\sigma_n} \] .......................... (2-5)

로 된다. (단, \( V_n \approx V_p \)로 가정) 再結合中心이 비리

\[ \tau_{ph} \gg \tau_{ph} \] .......................... (2-5)

억세터 타입이라면 \( \sigma_p \gg \sigma_n \)이므로 \( \tau_{ph} \gg \tau_{ph} \)로

이와같이 정전의 注入電壓을 높이면 정전의 lifetime이 길어지기 때문에 정전된 거의 모든 정전은 陰極에 도달하기 쉽게 된다. 이것은 負抵抗의 발생 원인이다. 試料 全域에서 \( n \approx p \) \( N_k \)으로 되면 微分抵抗은 正으로 되고 이때 電流-電壓 特性은

\[ I = \frac{9e\tau_{ph}\mu_e N_k V^2}{8d^3} \] .......................... (2-6)

으로되어 식(2-6)이 성립되는 最低電壓을 \( V_m \)이라 하면 \( V_n \)와 \( V_m \)은 \( V_n/V_m \approx \sigma_p/\sigma_n \)의 관계가 있다. 그림 2-1에 \( V_n \)으로 부터 식(2-6)로 표현되는

\[ I = \frac{125K\tau_{ph}\mu_e N_k V^3}{18d^2} \] .......................... (2-7)

으로 된다.\(^{301)}\) 여기서 \( K \)는 誘電率이며 그림 2-1에서 點線으로 나타낸 절 부분이 (2-7)식의 關係를

\[ \frac{\tau_{ph}}{\tau_{ph}} = \frac{V_n\sigma_p}{V_n\sigma_n} \approx \frac{\sigma_p}{\sigma_n} \] .......................... (2-5)

로 된다. (단, \( V_n \approx V_p \)로 가정) 再結合中心이 비리

\[ \tau_{ph} \gg \tau_{ph} \] .......................... (2-5)

억세터 타입이라면 \( \sigma_p \gg \sigma_n \)이므로 \( \tau_{ph} \gg \tau_{ph} \)로
그래픽 2.1 2중 주입에 의한 전류-전압 특성
(실선은 전극의 중성 편이 나타나는 화면, 점선은 공간 전동률 고려한 화면)

Fig. 2.1 Theoretical I-V Characteristics for a Au-doped DI Switching Devices.

3. Double Injection 스위칭 소자의 설계 및製作

본 연구에서는 고전도 페널리 페널리 소자의 Breakdown 전압과 ON 전압 및 Epi층의 상관성 21)과 V-Groove의 샘물 doping에 있어서 나타나는 분포, 결과 22)를 토대로하여 HVIC에 DI 스위칭 소자의 활용도 있는 가능성을 두고 기판의 불투명도 및 용어를 설정하여 resistivity가 50Ω·cm이고 두께가 0.0254cm인 Si(100) n형 wafer를 사용하여 소자를 Planar Type과 V-Groove Type으로 구분하여製作하고 그 특성을 관찰하였다. 23, 30)

3-1. Planar type DI 스위칭 소자의 설계 및製作

Planar type은 그림 3.1과 같이 설계하여製作하였으며 Anode와 Cathode 사이의 거리는 일정하게 유지하고 Gate 영역은 Anode와 Cathode 사이에서 변화시키면서 소자를製作하여 I-V 특성을 측정하였다. 소자는 게이트 위치를 각각 다른 설정하여 여러개로製作하였으며 소자의製作에 있어서 Anode와 Gate 그리고 Cathode를 형성하는 P⁺, N⁺ 영역은 BN 및 POCl₃ 소스에 의해 확산하였으며 doping B, P가 실리콘에서 Au를 getteringe하는 것을 방지하기 위해 확산하는 동안 wafer의 뒷면은 SiO₂막을 형성하여 보호하였다. 그리고 P⁺와 N⁺의 확산이 끝난 다음 SiO₂를 계층하고 wafer의 뒷면으로부터 Au를 doping하였으며 Au doping 후의 resistivity는 270KΩ·cm로서 Au의 용도가 약 1.1×10¹⁵cm⁻³임을 산출할 수 있었다. 이때 Au 소스는 Au실리카 필름을 사용하였다. Au의 doping이 완료된 소자는 AI로 E-Beam 공작하여 metallization시키고 Ohmic contact을 양호하게 하기 위해 400°C N₂ 분위기에서 5분간 sintering하여 소자의製作를 완료하였다. 이외
게 완성된 소자의 사전을 그림 3.2에 나타내었으므로 이 사전에는 소자의 설계,製作에 있어 Anode, Gate, Cathode의 총대의 구조의 변화가 특성의 변화를 부수적으로 고려하기 위해 여러 가지 모형으로 소자를製作하였으며 그림 3.2에는 기본 구조(a)로設計된 소자와 함께 변형된 패턴(b), (c)도 나타나 있다.

3-2. V-Groove Type DI 스위칭 소자의設計 및製作

본 연구에서는 스위칭電壓을 높이고 아울러 Injection Gate 모드나 MOS Gate 모드에서 애기되고 있는 high power dissipation과 Gate oxide의 Brasakdown電壓에 관한 문제점을 해결하고 스위칭 속도를 증가시킬 수는 차원에서 Optical Gate DI 스위칭 소자를 시도하였다. 이 Optical Gate 모드에서는 앞에서 언급한 Planar Type DI 스위칭 소자보다 Anode와 Cathode사이의 실제적인 거리를 증가시킬수는 목적 아래 V-Groove 소자를提案하였으며 V-Groove Type에서는 Injection Gate 및 MOS Gate모드를 함께設計하여 그 특성을 비교하여 보았다. V-Groove Type DI 스위칭 소자의設計

그림 3.2 DI 스위칭 소자의 사전
(a) 기본 구조 모형
(b) Anode, Gate, Cathode의 변화 패턴(Ⅰ)
(c) Anode, Gate, Cathode의 변화 패턴(Ⅱ)

Photograph of a experimental fabricated DI Switching Device.
(a) Basic Model
(b) Modified Model (Ⅰ)
(c) Modified Model (Ⅱ)
가시부는 사용한 마스크는 4.5μm × 234μm, 5μm × 234μm, 5.5μm × 234μm이었으며 KOH Solution의 액청속도는 1μm/min이었다. 완성된 V-Groove DI 스위칭 소자의 사진은 그림 3.4와 같으며 V-Groove소자의 층초에 먼저 Gate 및 Anode, Cathode의 배열과 형상을 달리하여 부분적인 특성변화를 촉진하였고 그림 3.4에는 이들 역시 함께 나타나 있다.

4. 实験結果 및 考察

本研究에서는 개별소자의 활용뿐만 아니라 HVIC에서도 활용할 수 있는 高耐壓 스위칭素子의 개발에 관한 藉景研究로서의 面에서 Double Injection 현상을 이용한 DI(Double Injection) 스위칭素子를 設定하여 planar 및 V-Groove 構造로 設計製作하고 그 特性을 측정하였다.

한편 Threshold 電壓을 높여 高電壓 特性을 삶여 보고자 제안한 V-Groove素子에서는 이를 Injection Gate 및 MOS Gate에서 나타나고 있는 電力損失과 酸化膜的 絕緣破壊 特性과 같은 문제를 해결하고 아울러 光電子 工學에의 활용성을 모색한다는 차원에서 Optical Gate V-Groove DI 스위칭素子를 提案하였다. 따라서 그特性測定結果는素子別로 구분하여 나타내며 다음과 같다.

4-1. Planar Type DI 스위칭 素子의 I-V 特性

本研究에서는 Planar Type으로製作된 素子는 그림 3.1과 같이 제안된 構造에 Anode와 Cathode 사이의 거리를 일정하게 設定하고 Gate의 위치(즉 Cathode와 Gate사이의거리)를 변화시키면서製作하였으며 素子別設計條件은 표 4.1과 같다.
표 4.1 Planar Type 스위칭 소자의 계획조건
Table 4.1 Design condition of Planar Type Switching Devices.

<table>
<thead>
<tr>
<th>parameter</th>
<th>Device</th>
<th>L_{ac} (mil)</th>
<th>L_{dc} (mil)</th>
<th>W (mil)</th>
<th>d (mil)</th>
<th>Gate Type</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td>P - 1</td>
<td>5</td>
<td>3</td>
<td>10</td>
<td>1</td>
<td>Injection</td>
</tr>
<tr>
<td></td>
<td>P - 2</td>
<td>5</td>
<td>3</td>
<td>10</td>
<td>1</td>
<td>Gate</td>
</tr>
<tr>
<td></td>
<td>P - 3</td>
<td>5</td>
<td>1</td>
<td>10</td>
<td>1</td>
<td>&quot;</td>
</tr>
<tr>
<td></td>
<td>P MOS</td>
<td>5</td>
<td>2</td>
<td>10</td>
<td>1</td>
<td>MOS Gate</td>
</tr>
</tbody>
</table>

(표 4.1과 같은 조건으로, 제작된 소자는 SCR과 유사한 스위칭 특성을 나타내고 있었으며 이는 2장에서 언급한 2중 존재 효과에 기인된다는 이론적인 배경과도 일치하고 있었다. 이러한 DI 스위칭 소자의 스위칭 특성은 제작 조건에 따라 약간의 차이가 있었으나 거의 동일한 스위칭 특성 특성은 나타내었고 단지 Gate와 Cathode 사이의 거리의 변화에 따라 Threshold 전압이 약간 다르게 나타나고 있었다. 즉 Gate가 Anode나 Cathode 어느 레벨에 가깝게 설계된 p-1, p-3소자에서는 Gate를 개방시킨 상태에서 Threshold 전압이 Gate 중앙 부근에 설정된 p-2소자보다 약 60~80[V] 정도 낮게 관측되었고 이러한 현상은 전류 분포의 변화를 기인하는 것으로 해석되지만 앞으로 computer simulation을 통한 정밀한 해석이 있어야 할 것으로 생각된다. 그림으로 확명 Planar Type DI 스위칭 소자 동 Threshold 전압이 가장 높게 나타나고 있는 p-2모델의 출력 특성을 나타내면 그림 4.1과 같으며 Threshold 전압은 약 400[V] 정도였고 Holding 전압은 30[V] 정도로 나타났다.)

한편 게이트에 바이어스를 인가한 경우도 그림 4.1(b)과 그림 4.1(c)에서 알 수 있듯이 게이트 전압에 따라 SCR과 같이 완전한 스위칭

그림 4.1 Planar Type DI 스위칭 소자의 출력 특성(p-2모델)
(Vertical: 5mA/div., Horizontal: 50 V/div.)
(a) Anode-Cathode I-V 특성(Gate: open)
(b) Anode-Cathode 모델 특성(Gate Bias: 4volt)
(c) Anode-Cathode I-V 특성(Gate Bias: 1V/step)

Fig. 4.1 I-V Characteristics of Planar Type DI Switching Devices.
(Model: p-2) (Vertical: 5mA/div., Horizontal: 50V/div.)
(a) Anode-Cathode I-V Characteristics(Gate: open)
(b) Anode-Cathode Model Characteristics(Gate Bias: 4 volt)
(c) Anode-Cathode I-V Characteristics(Gate Bias: 1V/step)
特性이 관측되고 있으며 그림 4.1(c)에는 게이트
전압을 parameter로 해서 각 게이트 전압에 따른
스위칭 특성의 변화 양상을 나타낸 것이다. 이
에 따라 Planar Type p-2모델과 같은 동일 설계조
건으로 제작하고 Gate 동작 모드만 MOS Gate로
설정한 MOS Gate DI 소위칭 녹색 PMOS 모델의 Anode-Cathode I-V 특성은 Gate를 개방
시킨 상태에서 그림 4.2과 같으며 이는 p-2 모
델의 특성과 거의 같게 나타났고 있으나 Thresh-
old 전압이 10~20Volt 정도 높게 나타났고 있
으며 Holding 전압 역시 50 Volt 정도로 높게
관측되었고 Gate 전압에 의한 출력 특성의 제
한도 Voltage Injection Gate 구조보다 다소 둔감하게
나타나고 있었다.

그림 4.3 Planar Type 圓形構造 DI 소위칭 녹색
(Dimension : mil)
Fig.4.3 Planar Type Circular DI Switching
Device (Dimension : mil)

그림 4.4 Planar Type DI 소위칭 녹색의 출력
특성
(Vertical : 5mA/div., Horizontal : 50
V/div.)
Fig.4.4 I-V Characteristics of Planar Type
Circular DI Switching Device (Vertical : 5mA/div., Horizontal : 50/div.)
4-2. V-Groove DI 스위칭 소자의 I-V 특성

본 연구에서는 4.1절에서 연구한 Planar Type DI 스위칭 소자의 Threshold 높이 보고, 다규성화 및 다용량화를 추구한다는 목적으로 그림 3.3과 같은 구성의 V-Groove DI 스위칭 소자를 투입하였으며 특히 Injection Gate 및 MOS Gate 모드에서 나타나고 있는 출력 특성과 Gate 스테이션에서의 변화 현상과 같은 문제점을 해결하고 아울러 space station에서의 활용과 실용화 산업 분야의 활용이란 측면에서 Optical Gate V-Groove DI 스위칭 소자를 투입하여 그 특성 그 특성을 살펴보았다.

V-Groove DI 스위칭 소자에서도 Planar Type에서와 같이 스위칭 특성이 나타나고 있으며 Planar Type p-2 모델과 같은 설계시수(단, V-Groove모델에서 Anode-Cathode 사이의 거리는 설계시수가 아닌 Anode-Cathode 사이의 수평거 리임)를 가지고 제작한 V-Groove DI 소자의 Injection Gate 모델에 대한 출력특성은 그림 4.5과 같다.


이와 같이 Planar Type과의 비교에서 Holding 높이에는 큰 차이가 없으나 Threshold 높이에 크게 차이가 나타나고 있는 것은 V-Groove로 형성하므로 Anode-Cathode 사이의 실제적인 거리가 증가하기 때문으로 관찰되며 2장의 과학의 실험이 실험을 통해 Aode-Cathode 전극간 거리의 현재에 비해하는 내용과도 잘 부합되고 있었다. 한편 Gate 높이를 크게 높여 Gate에 의한 전류의 증가량을 경우에는 그림 4.6과 같이 N형의 특성 구조가 나타나고 있었다.

그림 4.5 V-Groove DI 스위칭 소자의 출력 특성

(Injection Gate 모드)

(a) Anode-Cathode I-V 특성(Gate : open)
(b) Anode-Cathode I-V 특성(Gate Bias : 4[V])

Fig.4.5 I-V Characteristics of V-Groove DI Switching Devices (Injection Gate Mode).

(a) Anode-Cathode I-V Characteristics(Gate : open)
(b) Anode-Cathode I-V Characteristics(Gate Bias : 4[V])

4-3. 연구 결과 고찰

4-3-1. DI 스위칭 소자의 스위칭 Mechanism

그리고 본 연구에서 그림 3.3과 같이 새로운 제안한 V-Groove Optical Gate DI 스위칭 소자의 출력 특성은 그림 4.7과 같이 Threshold 높이 560[V]로 Injection Gate와 같은 값이었으며 Gate부분에 받은 음영화하므로서 출력특성은 Injection Gate 바이어스를 분석한 결과와 같은 스위칭 특성이 나타나고 있었다. 이상과 같은 소자의 특성을 살펴볼 때 V-Groove DI 스위칭 소자를 Optical Gate로 구성할 경우 전자기계
그림 4.6 V-Groove DI 스위치 촉수의 출력 특성
(Injection Gate모드)
(Vertical : 10mA/div., Horizontal : 10V/div.)
(a) Anode-Cathode I-V 특성 (Gate Bias : 15[V])
(b) Anode-Cathode I-V 특성 (Gate Bias : 20[V])

Fig.4.6 I-V Characteristics of V-Groove DI Switching Devices (Injection Gate Mode).
(a) Anode-Cathode I-V Characteristics (Gate Bias : 15[V])
(b) Anode-Cathode I-V Characteristics (Gate Bias : 20[V])

그림 4.7 V-Groove DI 스위치 촉수의 출력 특성
(Optical Gate)
(Vertical : 100μA/div., Horizontal : 50V/div.)
(a) Anode-Gate I-V 특성 (Gate : without light)
(b) Anode-Gate I-V 특성 (Gate : with light, Photon energy : 0.4eV)
(c) Anode-Gate I-V 특성 (Gate : with light, Photon energy : 0.5eV)

Fig.4.7 I-V Characteristics of V-Groove DI Switching Devices (Optical Gate)
(Vertical : 100μA/div., Horizontal : 50V/div.)
(a) Anode-Gate I-V Characteristics (Gate : without light)
(b) Anode-Gate I-V Characteristics (Gate : with light, Photon energy : 0.4eV)
(c) Anode-Gate I-V Characteristics (Gate : with light, Photon energy : 0.5eV)

의해 촉수/속도 시스템의 활용도 가능하려 생각되며 Injection Gate, MOS Gate에서 나타나고 있는 전력 플로와, 결수방해의
결점이 많아 특성에 좀 더 유의해야 하는 이론은 할 수 있다는 특성을 가지고 있다.

전력용 반도체 촉수는 날로 그 활용 분야가 넓어지고 있으며 요구되는 특성 또한 점점 다양해지고 있다. 선전국에서 구상하고 있는 Space Station이나 달에 건설된 것으로 예상되는 Permanent Station에 사용될 부분으로서의 반도체 촉수는 매우 안정된 특성이 요구되며 특히 원자로 등이 함께 사용될 경우 반도체 촉수는 High Level의 Radiation과 고온에 잘
가능성이 높아진다. 그리고 Space Station 등에서 투사방면의 방사선 수단이 되고 있기 때문에, 결수방해 문제는 가장 심각한 문제로 대
두되고 있다. 그러나 현재 Power System에는 많이 활용되고 있는 Thyristor의 최고 허용온도는 150
°C이하이며 Radiation에 매우 약한 결점을 갖고
半導體 DI Switching 素子의 試作과 特性에 관한 実験的 考察

하지만 이와는 대조적으로 2重注入效果를 이용한 素子는 400°C 정도에 건발 수 있는 耐高溫 特性이 있어 高温에서도 動作이 가능하며 100 Mega rads 이상의 Irradiation에서도 瀰洩電流를 비롯한 I-V 特性이의 변화가 10% 정도로 매우 적다는 보고도 발표되었다고 있어 2重注入效果를 이용한 素子는 일반 電力 應用 分野뿐만 아니라 군事용 또는 우주항공산업에 크게 활용될 수 있고 또한 적합할 것으로 생각된다.

그러므로 本 研究에서는 스위칭 素子의 高耐 壓化를 이룩한다는 체제의 기본 목표아래 半導 體의 2重注入效果를 이용한 DI 스위칭 素子를 設定하여 이로 Injection Gate, MOS Gate 및 Optical Gate로 구성하여 그 特性을 検討하였다.

이 결과를 토대로 본 本 研究에서 試作한 DI 스위칭 素子는 매우 높은 Threshold 電壓과 낮은 Holding 電圧의 特性을 가지고 있어 2重注入效果를 스위칭 素子가 개발에 활용할 수 있다는 환승을 얻을 수 있었으며 아울러 Au doping濃度와 構造의 parameter에 따른 特性 변화를 정량적으로 分析한다면 안정된 DI 스위칭 素子가 실현될 것으로 判斷된다.

그리고 本 研究에서는 Planar Type 構造의 인치수를 같게 設定하고 Anode와 Cathode 사이의 V-Groove와 함으로서 실제적인 Anode-Cathode간의 확장시켜 Planar Type보다 50% 이상의 높은 Threshold 電圧을 얻을 수 있었고 아울러 Injection Gate모드와 MOS Gate모드에 서 아기되고 있는 전력손실과 酸化膜의 降伏特性에 의한 高耐壓化 및 大容量화의 장에 요인은 없어도 에너지 損失이 적은 스위칭 素子의 개 발과 光電子工學에의 활용이란 차원에서 Opti
cal V-Groove DI 스위칭 素子를 제안하여 그 特性을 살펴본 결과 역시 활용가능성이 있는 매우 우수한 特性이 얻어졌다.

本 研究에서 試作한 Planar Type 과 V-Groove Type의 電圧-電流 特性은 二重에서 설명한 理論의 인 背景으로부터 Au는 E_n = E_c − 0.56eV부
근에 Acceptor level을 형성하며 이 Au Acceptor는 n형 不純物로 사용된 Donor(shallow don-
or)가 제공하는 電子에 의해 負로 이온화된 Au Acceptor는 큰 hole 捕獲 断面積(Capture Cross-
Section)을 가지게 되며 이론의 상태에서 Anode와 Cathode사이에 電圧이 인가되면 Cath-
ode-Anode로부터 電子과 hole이 각각 注入된
다. 그러나 Anode로 부터 注入된 hole의 대부
분은 Au Acceptor에 의해 捕獲되므로 低電圧
상태에서의 hole은 Cathode에 도달할 수가 없고
電子만 Anode에 도달해 電流로 흐름에 기여하게
되며 이때 DI 스위칭 素子에 호르는 電流는 매우
 작고 스위칭 OFF된 상태가 된다. 印加電圧을
 더욱 증가시키면 Cathode와 Anode에서 더 많은
電子와 hole이 注入되므로 어느 臨界電圧이상
에서는 hole도 Cathode에 도달해電流로 흐름에
기여하게 되며 이때 비만 콘트린스 ∂I/∂V의
중가로 인하여 電流가 급증하게 되어 DI 스위칭
素子는 ON 상태가 된다.

그리므로 DI 스위칭 素子는 Anode-Cathode사
이의 길이 즉 Channel길이 I_L을 길게 하므로서
I_L에 비례하는 Threshold 電圧을 얻을 수 있어
진 채널을 갖는 DI 스위칭 素子가 높은 스위칭
電圧을 갖게 된다. 아울러 素子의 channel길이
I_L을 일정하게 設計하고 Cathode와 Gate모델에
 있어서 Gate-Cathode Bias 電圧에 따른 Threshold電圧의 변화를 試作된 素子로 부터 측정
하여 그림 4.8에 나타내었다. 그림에서 알 수
있는 바와 같이 모든 모델의 DI 스위칭 속도는 Gate Bias 전압이 4[V] 이상에서 최소 Threshold 전압을 형성하였으며 이는 본 연구에서 시험한 DI 스위칭 속도가 Gate Bias에 따른 다양한 스위칭 특성을 갖고 있음을 더불어 기존의 SCR이 활용되고 있는 분야에까지 응용될 수 있을음을 시사하여 주고 있다고 판단된다.

\[ V_{sc} (V) \]

\[ V_{ac} (V) \]

그림 4.8 DI 스위칭 속도의 Gate Bias 전압에 따른 Threshold 전압의 변화

Fig.4.8 Variations of Threshold Voltage as a function of Gate Bias.

한편 본 연구에서는 Injection Gate와 MOS Gate모드에서의 High Power Dissipation 및 Gate Oxide Breakdown등과 같은 문제점을 해결하여 특성을 개선하고자 제안한 V-Groove Optical Gate DI 스위칭 속도는 OFF상태로 바이어스 되어 있을 때 포텐에너지가 \( hv > 0.56eV \)인 빛은 Channel 영역에 조사하면 Au Acceptore에 쫓겨난 전자는 전도태로 방출하게 되고 hole의

\( \text{注入을 방해하며 큰 물질은} \) 遮蔽面積을 구성하여 Barrier 역할을 하고 있던 전원에 은화된 Au Acceptor의 수가 감소하게 된다.

이러한 상태에서는 hole의 注入은 응이해지므로 Cathode에 도달하는 hole의 수가 증가하게 되고 결과로의 유도의 급격한 증가를 야기시켜 OFF상태에 있던 DI 스위칭 속도는 ON 상태로 전이하게 된다.

이와같은 Optical Gate에서의 캐리어의 수는 빛의 강도에 비례하므로 임의의 스위칭 전압에서 Turn-On 시킬 수 있고 이때 광원으로는 LED IRED, Laser 다이오드등이 사용 가능하다.

4-3-2. DI 스위칭 속도의 스위칭 특성에 대한 周波数 依存性

본 연구에서 시험한 DI 스위칭 속도의 스위칭 특성은 Gate 폭스의 周波수에 따라 변환을 고려하여 실험적 균형성을 살펴보기 위해 그림 4.9과 같은 동일한 과정을 구성하여 Gate 폭스가 트리거되는 사이 Anode에 정점과를 인가하고 Gate 전류와 Anode 전류 각각을 측정하였다. 그림 4.9에서 전류는 안전 저항 \( R_0 \)을 통해 측정되며 Gate에 인가된 Gate 폭스 duration은 2μs이고 파크 전압은 10[V]을 사용하였다. 그리고 Anode 전압은 200[V(peak to peak)]의 400Hz 정점을하며 Gate 신호가 550Hz까지는 속도의 스위칭 특성이 잘 나타나고 있었으나 550Hz 이상에서는 Threshold 전압의 보다 정교한 수준에서 계속 ON 상태로 나타나 스위칭 특성을 반영하는 것으로 관측되었다. 이와같은 현상은 Au trap level에서 스위칭 감응을 일으키기 위한 平衡 狀態에 도달하는 데는 일종의 遅延時間이 나타나는 것으
로 분석되며 이는 캐리어의 봉命時間과 Anode와 Cathode 사이의 움직임에 의해 결정되는 것으로 판단된다.

그림 4.9 DI 스위칭 촉매의 주파수 특성 미터

Fig.4.9 Frequency Characteristics Measurment Diagram.

5. 结 論

본 연구에서는 전력용 半導體 素子에 관한
基礎研究와 새로운 촉매의 개발이나 次元에서
2重注入効果를 이용한 스위칭 촉매를 设計製作하고 그 특성을 검토하면서 전력 半導體
촉매의 设計製作에 경험을 쌓고 당면하는 문
제들을 해결하기 나가므로 기술적인 Know-
How의 획득에 일익을 탄담하고자 하였다. 그
러므로 重注入効果에 의한 高耐壓 半導體 스
위칭 촉매의 試作에 훈련을 맞추어 Planar
Type으로 Injection Gate 모드와 MOS Gate 모
드를製作하고 아울러 스위칭 電壓을 더 높게
設定하고자 Channel 부분은 V-Groove로 提案
하여 V-Groove DI 스위칭 촉매를製作하였다.
그리고 Injection Gate와 MOS Gate 모드에서
기억되고 있는 Electrical Switching에 의한 遙
延時間, 酸化膜의 Breakdown 特性 및 電力 損
失과 같은 문제점을 개선한다는 목표아래 V-
Groove 촉매의 Optical Gate 모드를製作하여
그 특성 측정을 통해 활용 가능성과 확인할 수
있으며 본 연구에서 얻어진 结果를 요약하면
다음과 같다.

1) Planar Type 素子보다 V-Groove 素子에서
최대 Threshold電壓을 얻을 수 있었으며
이는 Anode와 Cathode 사이의 V-Groove
와 하므로 실제적인 Anode-Cathode 사이의
절이가 증가되었기 때문에 나타나는 현
상이라고 思料된다.

2) 本研究에 수행하기 위해製作한 촉매는 Plan-
ar Type에서는 400[V]의 Threshold電壓
을 얻을 수 있었고 V-Groove 촉매에서는 560
[V] 정도의 Threshold電壓을 얻을 수 있-
었다.

3) Optical Gate V-Groove DI 스위칭 촉매는 V-
Groove내에서 빛이 반사와 흡수를 반복하
므로 Planar Type 에 비해 양자 효율을 높일
수 있다.

4) V-Groove DI 스위칭 촉매는 Channel이 Heat
Sink에 가까울 뿐만 아니라 散熱表面의
규 모임에 대용량 素子(High Powr De-
vice)에도 적합한 構造이다.

5) V-Groove 자체가 Anode와 Cathode를 분리
시킴으로서 Planar Type에서 보다 Surface
Breakdown에 의한 特性의 저하 요인을
중 해고耐圧化을 실현할 수 있다.

6) Optical Gate 모드로 구성한 경우 Injection
Gate모드에서 나타나고 있는 Gate Power에
의한 Power Dissipation 효과를 줄일 수 있고
素子의 设計가 간단해진다.
7) MOS Gate인 경우 Gate에 인가되는 전압에 의해 Gate의 브로크의 자격을 고려해야할 문제점으로 나타나고 있으나 Optical Gate에서는 물리적인 Gate가 Channel의 전면에 형성되지 않으므로 브로크 결함 문제는 자연히 해결되며 더욱 특징적인 것은 없는 Gate Oxide의 활용이 가능한 것이다.

8) Injection Gate와 MOS Gate 모드에서는 Power Circuit와 Trigger Circuit사이의 전류의 분산가 불가능한 대신의 Turn On Process에 어려가지 부정적 요인을 야기시키는. 그러나 Optical Gate 모드에서는 Power Circuit와 Gate Trigger Circuit 사이의 완전한 전류의 분산가 실현될 수 있어 이러한 문제점을 해결할 수 있다.

이상과 같은 본 연구를 수행하는 과정에서 얻은 결과는 앞의 볼때 Injection Gate 모드나 MOS Gate모드보다는 Optical Gate 모드가 특성의 안정화와 신뢰성의 확보 측면에서 바람직한 대신이며 아울러 Planar Type보다는 본 연구에서 처음 시도하여 본 Channel의 V-Groove에 의한 V-Groove DI 스위칭 흐름은 신체적인 Anode-Cathode 사이의 임계를 증가시키는 효과로 인해 매우 높은 Threshold 전압을 얻을 수 있다.

따라서 앞으로 Au doping의 변화에 따른 Threshold 및 Holding 전압의 변화등을 포함한 Design Parameter에 의한 흐름의 Modeling과 동시에 흐름의 특성 변화의 상관성을 정량적으로 해석한다면 V-Groove DI 스위칭 흐름의 실험화가 가능할 것으로 판단된다.

참고 문헌

3) H.W. Collins : Electronic Design, 36-40, (June 7, 1979)
13) V.P. Sondakovskii, V.I. Starev : Soviet Phy., Solid State, 6, 63 (1964)
18) A.N. Saxena : Surface science, 13, 151 (1968)

(1991년 1월 3일 접수)