

연상메모리 설계 및 제작에 관한 연구

正會員 朴 商 奉* 正會員 朴 魯 京** 正會員 車 均 鉉*

A Study on the Design and Fabrication of Content Addressable Memory

Sang Bong PARK*, Nho Kyung PARK**, Kyun Hyon TCHAH* *Regular Members*

要 約 본 논문에서는 데이터의 저장과 판독을 일반 SRAM과 같은, 병렬로 탐색을 수행하는 8비트×16 워드 연상메모리(CAM: Content Addressable Memory)의 알고리즘과 하드웨어를 제시하였다. 설계된 연상메모리 칩은 5개의 기능블록(연상메모리 셀 어레이, 어드레스 디코더, 어드레스 인코더, 데이터 셀렉터, 감지 증폭기)으로 나누어진 설계되고, 논리 및 회로 검증은 마친후 3 um CMOS N Well 공정을 이용하여 칩을 제작하였다.

ABSTRACT In this dissertation, the same reading and writing operation of general SRAM, the algorithm and hardware of 8 bit×16 word CAM(Content Addressable Memory) which carry out the parallel data search, is presented. The designed CAM chip consists of five functional blocks (CAM cell array, Address Decoder, Address Encoder, Data Selector, Sense Amplifier). The simulation is performed using logic simulator on Apollo workstation and PSPICE circuit simulation on PC/AT. The designed CAM was fabricated by 3um CMOS N-Well process (ETRD) design rules and testing was performed.

I. 서 론

최근에 연상 메모리(Content Addressable Memory : CAM) 소자의 기능은 처리 속도가 고속화되고, 메모리 기억 용량이 LSI 급으로 개발되면서 패턴 인식, 테이블 탐색, 고속 변환 데이터 베이스의 정보 저장 및 수정, 영상 처리, 데이터 플로우 컴퓨터, 신경 회로망 등과 같이 빠르게 탐색 데이터를 처리해야하는 분야에서 실용화되기 시작했다. 연상 메모리는 일반 메모리의 판독(read)기능과 저장(write)기능외에 데이터 탐색 시 비교 기능에 필요한 부가적인 회로로 인하여 하드웨어가 복잡하여 1966년 Hanlon 에 의하여 이론과 알고리즘이 제안되었으나 실제 하드웨어 구현은 반도체 공정 기술 발달과 설계 능력의 향상으로 1980년대부터 실현

되기 시작했다.¹⁾ 따라서 연상 메모리소자가 사용되는 응용 범위가 점차 확대되어가고 있지만²⁾, 국내에는 병렬로 탐색 데이터를 빠르게 처리하는 기능을 가진 연상 메모리소자에 대한 연구가 외국에 비해 미흡한 상태에 있다.

일반 메모리소자의 경우 메모리에 저장된 데이터 정보 중 임의의 데이터를 탐색하기 위해 저장된 번지를 순차적으로 찾아 해당 번지를 액세스하여 데이터 정보를 출력하므로 액세스의 수가 데이터 처리 속도를 좌우하게 된다. 반면에 연상 메모리는 메모리에 저장된 데이터가 기억된 데이터의 내용 자체를 전달하므로 associative memory, parallel search memory 그리고 multiaccess memory 라고도 하며 RAM에 비해 병렬 탐색과 병렬 비교 동작을 수행하는 장점을 가지고 있어 데이터 처리 속도를 빠르게 한다.

따라서 본 논문에서 설계된 연상 메모리는 탐색 시간을 최대한 줄이기 위해서 입력되는 탐색 데이터와 메모리에 저장된 내용이 한 클럭 주기만에 병렬로 데이터를 비교하여 탐색한 결과를 출력시키도록 워드와 비트가 병렬로 처리되는

*高麗大學校 電子工學科
Dept. of Electronic Eng., Korea University
**湖西大學校 情報通信工學科
Dept. of Information Telecommunication Eng.,
Hoseo University
論文番號 : 91-13(接受1990. 10. 10)

all parallel 구조를 갖도록 설계했다면, 설계된 연상 메모리 칩은 8비트 ×16 워드의 메모리 용량을 가지며 5개의 기능별 블록(연상 메모리 셀 어레이, 어드레스 디코더, 어드레스 인코더, 데이터 셀렉터, 감지 증폭기)으로 구성되어 있다.

II. 연상 메모리의 원리

내용 먼저 지정 방식(content addressing method) 은 메모리에 저장된 데이터 정보 전부 또는 일부를 관측하는데 필요한 액세스의수인 줄임으로써 데이터 처리 속도를 빠르게 하는 방법으로 해쉬 코딩(hash coding)등을 이용하여 데이터를 메모리에 사상(mapping)시키는 소프트 웨어 방법과 연상 메모리 소자와 같은 하드웨어로 구현하는 방법이 있다. 연상 메모리 소자를 설계하는 방법에는 워드와 비트를 모두 병렬로 처리하는 all parallel 방식과 워드를 병렬로 비트를 직렬로 처리하는 word parallel bit serial 방식 그리고 워드를 직렬, 비트를 병렬로 처리하는 word serial bit parallel 방식이 있다.⁹⁾

2.1 비교 기능의 논리적 표현

연상 메모리의 워드에 대한 비교 기능은 논리 식으로 표현되며 기본 기능은 bit 매치 기능이 다. 예를들어 2진수의 변수를 X와 Y라고 할 때 X와 Y가 논리적으로 동가이면 논리 값이 1이고 반대인 경우에는 논리 값이 0을 갖게된다. 따라서 식으로 표현하면 식(2.1)과 식(2.2)와 같다.

X와 Y가 동가인 경우, (X=1, Y=1 or X=0, Y=0) : (X≡Y)=1)

$$(X \equiv Y) = (X \wedge Y) \vee (\bar{X} \wedge \bar{Y}) \quad (2.1)$$

X와 Y가 동가가 아닌 경우, (X=1, Y=0 or X=0, Y=1) : (X≡Y)=0)

$$(X \oplus Y) = (X \wedge \bar{Y}) \vee (\bar{X} \wedge Y) \quad (2.2)$$

워드를 구성하는 bit 중에서 임의로 특정 bit 의 값을 무정의(don't care)로 만드는 것을 마스크(mask)한다고 말하며 탐색 데이터와 마스크 bit 위치가 일치되는 워드의 데이터를 관측하게 된다. 예를들어 연상 메모리의 j번째 워드 S_j 는 $S_j = (S_{jn}, S_{j,n-1}, \dots, S_{j0})$ S_j : j 번째 워드의 i번째 bit 논리 값)로 표현하고, 탐색 데이터 \mathbf{A} 는 $\mathbf{A} = (A_n, A_{n-1}, \dots, A_0)$ 와 같이 표현할 수 있다. 또한, 마스크 워드 \mathbf{C} 는 $\mathbf{C} = (C_n, C_{n-1}, \dots, C_0)$ 로 마스크 bit 마다 C_i 는 1의 논리 값을 갖고 워드에 저장된 데이터와 탐색 데이터가 마스크 워드의 마스크 bit에 따라서 매치 발생 유무를 식으로 표현하면 식(2.3)과 식(2.4)의 같다.

i번째 마스크 bit ($C_i=1$)에 매치가 발생한 경우

$$M_{ji} = (A_i \equiv S_{ji}) \vee C_i \quad (2.3)$$

i번째 마스크 bit ($C_i=1$)에 매치가 발생하지 않은 경우

$$M_{ji} = (A_i \oplus S_{ji}) \wedge C_i \quad (2.4)$$

그리고, 마스크 안된 bit에서 \mathbf{A} 와 S_j 가 매치 되기위한 조건은 식(2.5)를 만족해야 하며, 마스크 안된 bit 중에서 한 bit이라도 매치가 발생하지 않으면 S_j 와 \mathbf{A} 는 비교 데이터가 같지 않으므로 식(2.6)과 같이 표현된다.

$$M_j = \bigwedge_{i=0}^n M_{ji} \quad (2.5)$$

$$M_j = \bigvee_{i=0}^n M_{ji} \quad (2.6)$$

식(2.3)과 식(2.4)으로부터 S_j 와 \mathbf{A} 사이에 한 bit에 대한 매치 발생 유무를 판별할 수 있으며 식(2.7)은 S_j 와 \mathbf{A} 사이에 한 워드에 관한 매치 발생 유무를 나타낸다.

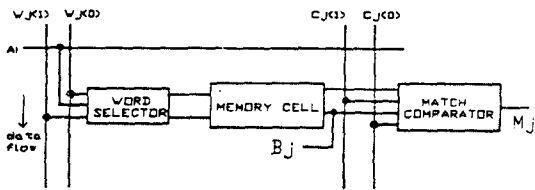
$$M_j = E_{jn} \quad (2.7)$$

$$E_{jn} = E_{j,n-1} \wedge M_{jn} \quad (i=1, 2, \dots, n \quad E_{j0}=1)$$

E_{jn} : j번째 워드에서 i번째까지 매치된 값.

2.2 연상 메모리 Bit 셀 논리

저장된 데이터와 탐색 데이터를 비교하여 매치가 발생한 경우는 식(2.1)로 표현되고 매치가 발생되지 않은 경우에는 식(2.2)로 나타내며, 만약에 매치가 발생한 경우에는 메모리 셀내에 있는 워드와 탐색 데이터를 한 클락주기안에 병렬로 비교하여 매칭된 워드의 어드레스를 출력한다. 그림 1은 bit 비교 기능과 데이터 판독 기능 그리고 데이터 저장 기능을 수행하는 연상 메모리 셀의 논리 블록도이다.⁵⁾



- A_i = i번째 워드의 디코더 출력
- B_j = i번째 워드의 j번째 bit 선
- M_j = i번째 워드의 j번째 비트가 매치되는 경우의 출력 값
- $C_j(1)$ = 탐색 데이터의 j번째 데이터 값이 "1"인 경우
- $C_j(0)$ = 탐색 데이터의 j번째 데이터 값이 "0"인 경우
- $W_j(1)$ = j번째 bit 선에 "1"을 쓰기 위한 제어 신호
- $W_j(0)$ = j번째 bit 선에 "0"을 쓰기 위한 제어 신호

그림 1. 연상 메모리 bit 셀 논리 블록도.
Fig. 1. Logic block diagram of CAM bit Cell

2.2.1 데이터 저장

그림 1에서 어드레스선 신호 A_i 가 1인 경우에는 워드 셀렉터를 통해서 $W_j(1)$ 와 $W_j(0)$ 의 논리 값에 따라서 메모리 셀에 저장된다. 만약, $W_j(0)=0$ 이고 $W_j(1)=1$ 이 입력되면 메모리 셀에는 "1"이 저장되고, 반대로 $W_j(0)=1$ 이고 $W_j(1)=0$ 이 입력되면 메모리 셀에는 "0"이 저장된다.

2.2.2 데이터 판독과 매치

그림 1에서 메모리 셀에 저장된 정보를 판독하려고 할 때에는 먼저 워드선 A_i 를 1로 enable 시키고, 판독 신호가 들어오면 B_j 를 통해서 메모리 셀에 저장된 값을 출력시킨다. 매치 기능을 살펴보면 다음과 같다.

- (1) 메모리 셀에 저장된 bit 값이 1인 경우, 탐색 데이터의 j번째 bit 값이 1이면 ($C_j(0)=0, C_j(1)=1$), M_j 는 1을 출력한다.
- (2) 메모리 셀에 저장된 bit 값이 0인 경우, 탐색 데이터의 j번째 bit 값이 0이면 ($C_j(0)=1, C_j(1)=0$), M_j 는 1을 출력한다.

그러나 탐색 bit가 메모리 셀에 저장된 bit 값과 같지 않으면 매치가 발생하지 않아 M_j 는 0을 출력하고 탐색 bit가 마스크가 된 경우에는 $C_j(0)=C_j(1)=0$ 이므로 메모리 셀에 저장된 bit 값에 관계없이 M_j 는 1을 출력하여 매치가 발생된 것으로 판별한다.

2.3 설계한 연상 메모리 구조

본 논문에서 연상 메모리 칩은 데이터 판독과 저장 그리고 비교 기능을 수행하는데 필요한 최소한의 기능 블록으로 구성되도록, 매치 기능은 한 워드에 대해서만 매치가 발생한다고 가정하고 비교 기능은 마스크 비트를 사용하지 않고 워드 단위로 비교하도록 설계하였다.⁷⁾

설계한 연상 메모리 칩은 8비트×16워드로 연상 메모리 칩 블록 중에서 어드레스 디코더와 메모리 셀 어레이 그리고 감지 증폭기를 static 메모리 기능과 같고, 3 bit 어드레스 마스크와 16 bit 데이터 버스는 어드레스 지정과 데이터 전송을 담당한다. 그림 2에 나타난 것처럼 탐색 데이터가

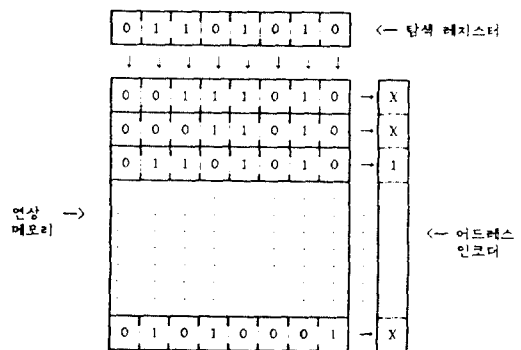


그림 2. 연상 메모리의 기본 논리 게이트 기능.
Fig. 2. Basic logic gate function of an associative memory

탐색 레지스터에 입력되면 연상 메모리에 저장된 데이터값과 병렬로 탐색·비교하여 매치된 데이터의 워드 번호가 어드레스 인코더를 통해 출력된다.

따라서 본 논문에서 연상 메모리 셀 회로는 10개의 트랜지스터로 데이터 판독 기능과 저장 기능을 SRAM 구조로 구성하고 탐색 데이터와 저장된 메모리 셀 데이터의 비교 기능을 Exclusive-NOR로 사용하여 구성하였다. 전체 연상 메모리 구조는 그림 3과 같다.

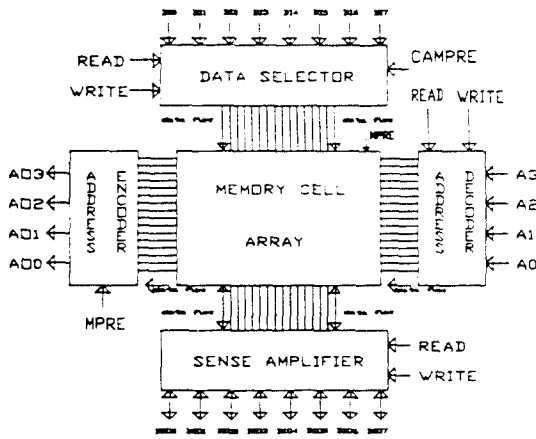


그림 3. 설계된 연상메모리 구조 블럭도
Fig. 3. Block diagram of designed CAM structure.

III. 연상 메모리 설계 및 레이아웃

연상 메모리 칩을 설계하는데 사용되실 기본 회로 소자들의 특성 분석은 한국전자통신 연구소의 3um N well CMOS 공장 파라미터와 ETRI 표준 셀 라이브러리를 기초로 설계하여 트랜지스터 모델을 설정했다. 설정된 모델 트랜지스터의 게이트 상관계수 (aspect ratio: W/L)는 회로 시뮬레이션(SPICE 이용)을 수행한 결과를 분석하여 크기를 정하였다. 또한 설계된 연상 메모리 칩의 블럭에 대한 논리 동작을 테스트하기 위해 APOLLO workstation 상에서 논리 시뮬레이터인 QUICKSIM을 사용하여 회로가 정상적으로 동작함을 확인했다.(부록 1,2)^{[1][2]}

3.1 기능별 블럭 설계

연상 메모리 칩을 구성하는 5개의 기능 블럭에 대한 동작 기능과 회로 설계 방법 그리고 회로 블럭도에 대해서 기술한다.

3.1.1 메모리 셀 설계

연상 메모리 셀의 한 bit은 10개의 트랜지스터로 구성되며 그림 4회로에서 상위 6개 트랜지스터는 데이터 판독 기능과 저장 기능을 수행하고 하위 4개 트랜지스터는 Exclusive NOR 게이트로 제작 기능을 담당한다.

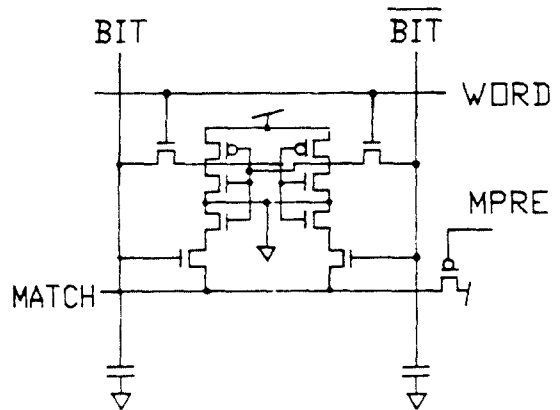


그림 4. 1 bit 메모리 셀 회로
Fig. 4. 1 bit memory cell circuit

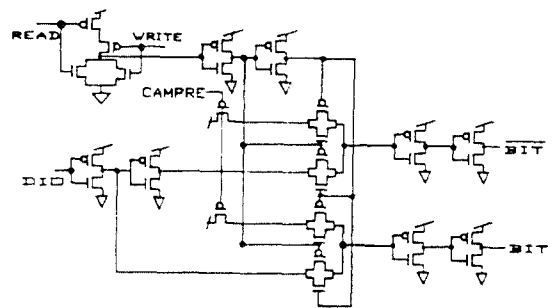


그림 5. 데이터 셀렉터 회로
Fig. 5. Data Selector Circuit

3.1.2 데이터 셀렉터 설계

메모리 셀 어레이 블럭의 상단에 위치한 데이

타 셀렉터 블럭은 데이터 관독 신호와 저장 신호 그리고 매치 신호에 따라 메모리 셀을 precharge 하거나 메모리 셀의 bit 선과 bit 선을 탐색 데이터의 bit 선과 bit 선을 연결시켜 매치 동작이 수행되는 기능을 갖으며 회로는 그림 5와 같다.¹⁰⁾

3.1.3 감지 증폭기 설계

감지 증폭기 블럭은 메모리 셀에 데이터를 저장 하거나 저장된 데이터를 관독하고자 할 때 또는 탐색 데이터가 메모리 셀에 저장된 데이터와 비교하여 매치발생 여부를 확인하여 어드레스 디코더로 출력시키는 기능으로, 특히 데이터를 관독할 때 액세스 시간을 단축하기 위해 사용되며 회로는 그림 6과 같다.⁸⁹⁾

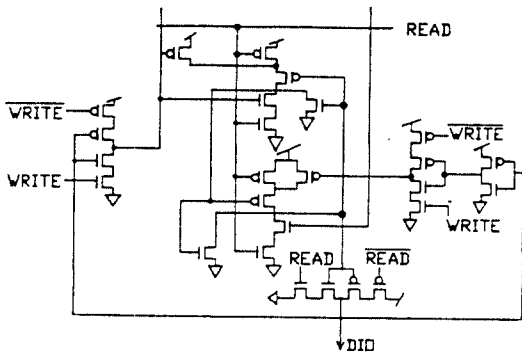


그림 6. 감지 증폭기 회로
Fig. 6. Sense Amplifier circuit

3.1.4 어드레스 디코더 설계

메모리 셀 내에 데이터를 관독하거나 저장하고자 할 때, 원하는 어드레스의 워드선을 구동시키는 회로로서 관독 신호 또는 데이터 저장 신호가 enable 되면 NOR 게이트를 통해서 워드의 어드레스가 디코더로 입력되어 해당 어드레스의 워드가 구동되며 그림 7은 어드레스 디코더의 회로를 보여주고 있다.

3.1.5 어드레스 인코더 설계

어드레스 인코더는 탐색하고자 하는 데이터와

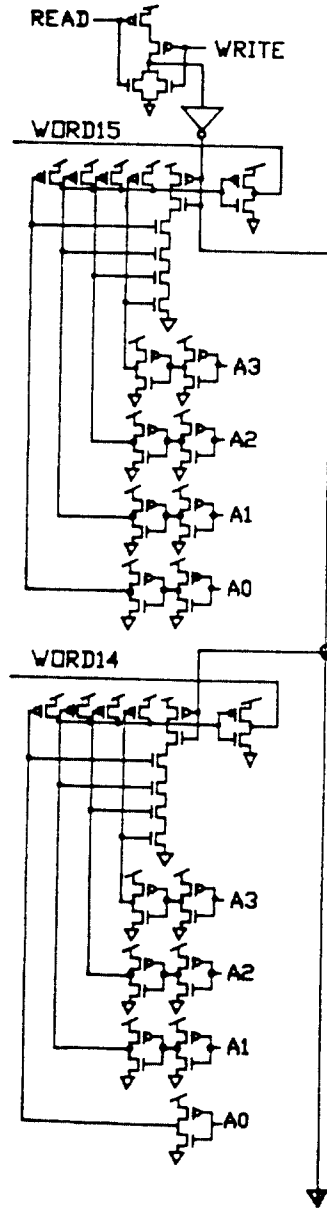


그림 7. 어드레스 디코더 회로
Fig. 7. Address decoder circuit

메모리 셀에 저장된 데이터를 비교하여 매치가 발생하면 매치된 워드의 어드레스 값을 출력시키는 기능을 하며 회로는 그림 8과 같다.

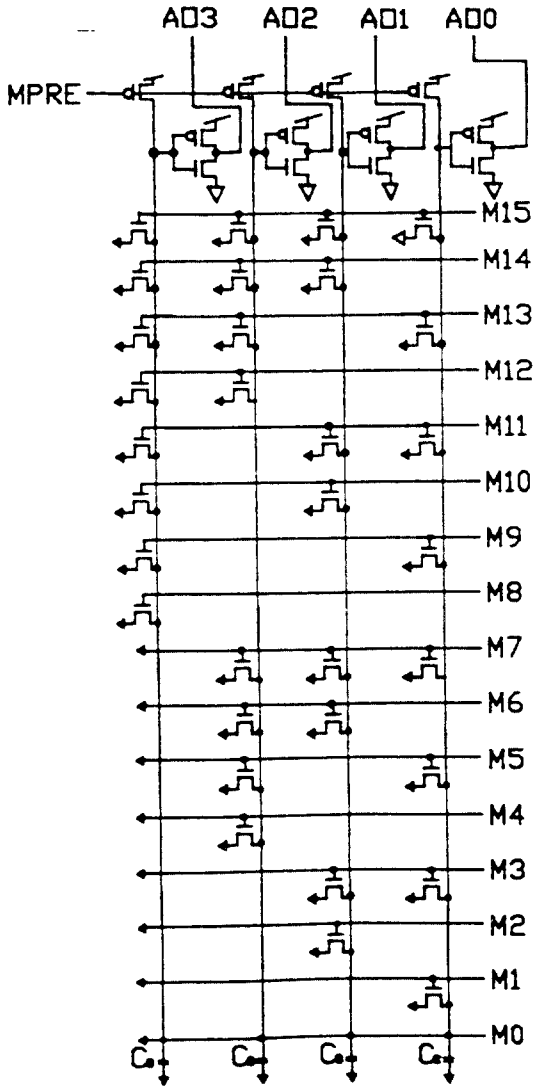


그림 8. 어드레스 인코더 회로
Fig. 8. Address encoder circuit

3.2 연상 메모리칩 레이아웃

앞 절에서 설계한 연상 메모리 칩의 회로를 그림 3의 연상 메모리 칩 구조에 따라 배치, 배선을 한 후, 연상 메모리 칩의 전체 레이아웃을 작성하였다.

3.2.1 칩 레이아웃

설계한 8비트 × 16 워드의 연상 메모리 칩의

전체 레이아웃 도면은 칩 테스트를 위해 메모리 셀과 데이터 셀, 클럭 셀 그리고 감지 증폭기 셀을 테스트 블록으로 포함하여 그림 9와 같이 설계하였다.

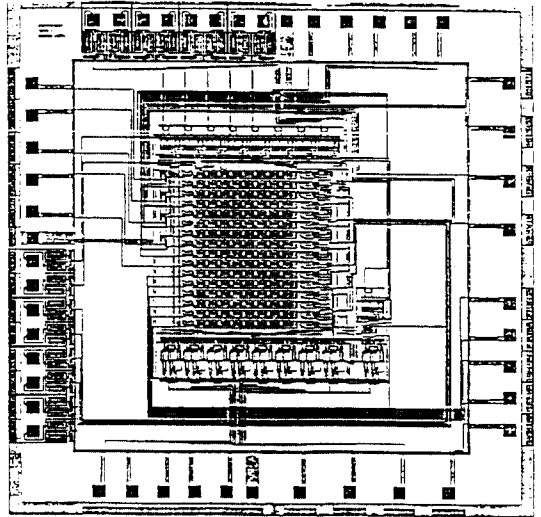


그림 9. 연상 메모리 칩 레이아웃
Fig. 9. Layout of CAM Chip

IV. 연상 메모리 칩 테스트

4.1 테스트 방법

연상 메모리에 대한 칩 테스트는 삼성전자 부장 연구소의 테스트 장비를 이용하여 수행하였다. 연상 메모리 칩의 각 입력 라인에 대하여 0V와 5V의 값을 입력시킬 수 있는 전압 발생기를 연결하고, 각각의 수행 과정에 대한 데이터 값을 기록할 수 있도록 프로그램을 작성하여 연상 메모리 칩의 각 동작(read, write, match) 기능의 수행 여부를 살펴 보았다.

그림 10에서처럼 먼저 연상 메모리 칩의 어드레스를 순차적으로 변화시키면서 각 어드레스에 서로 다른 데이터를 저장시켰다. 즉 WRITE 동작이 정상적으로 수행되었는가를 알아보기 위하여 각 어드레스에 대한 READ 동작 기능을 수행하였다. MATCH 동작 기능을 저장된 데이

확인하였다.

차후 제작된 칩에 대한 레이아웃과 설계된 회로를 비교하여 실험을 갖는 연구를 수행할 예정이다.

V. 결 론

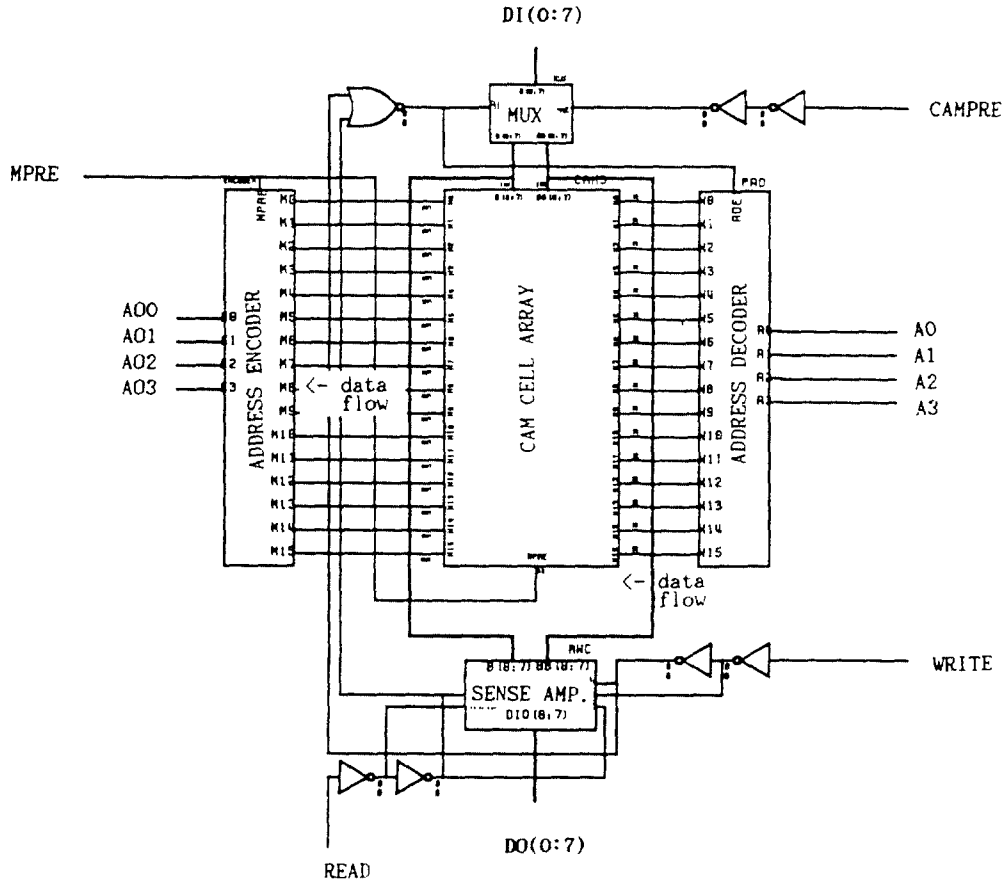
본 논문에서는 데이터를 병렬로 처리하는데 있어서 빠른 속도의 탐색 기능을 가진 연상 메모리 소자에 대한 논리 및 회로 동작 특성을 연구하고 8비트×16 워드 크기의 연상 메모리 칩을 설계하여 제작하였다. 설계한 연상 메모리 칩은 칩 면적이 약 4.5×4.5mm²이고, 트랜지스터수는 약 4,500개이며 제작 공정은 3um N Well CMOS (1 metal 1 poly) 공형이다.

앞으로, 설계한 연상 메모리 칩을 multiple response resolver와 마스크 레지스터 등을 포함한 내용량의 연상 메모리 칩을 설계 제작함으로써 빠른 속도로 병렬 데이터 처리를 필요로 하는 특정 메모리 소자로 이용할 수 있도록 계속적인 연구가 필요하다고 사료된다.

참 고 문 헌

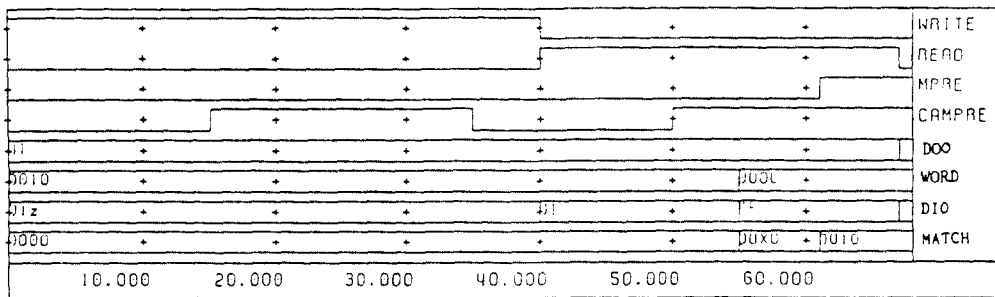
- Hiroshi Kactota, "An 8 kbit content Addressable and Reentrant memory" IEEE J. of solid state circuits, vol. SC 20, No. 5 pp.951-957 October 1985.
- Tactanobu Nikado "A 1k bits Associative Memory LSI", Proceeding of the 14th Conference on Solid State Devices, Japanese Journal of Applied Physics, pp.51-54, vol 22(1983) Supplement 22-1.
- Takeshi Ogura, "A 20 kbits Associative Memory LSI for Artificial Intelligence Machines", IEEE J. of solid state circuits, vol. 24, No. 4, pp.1014-1020, August 1989.
- A.G. Hanlon, "Content-Addressable and Associative Memory Systems", IEEE Trans on Electronic Circuits, vol. EC 15, No.4, pp.509-521, August, 1966.
- James T. Koo, "IC, CAM", IEEE J. Solid state circuits, vol SC 5, pp.208-215, Oct. 1970.
- Fairchild IC Data book, "F100142 4×4 Bit CAM", 3-74~3-80.
- Gatton C. Foster, "Determination of Priority in Associative Memories", IEEE Trans on Computers, pp. 788-789, August 1968.
- Rainer Kraus, "Analysis and Reduction of Sense-Amplifier Offset", IEEE J. of solid state circuits, vol. 24, No. 4 pp. 1028-1033, August 1989.
- John J. Barnes, "A High Performance Sense Amplifier for a 5V Dynamic RAM", IEEE J. of solid state circuits, vol. SC 15, No.5, pp.831-839, October, 1980.
- Yen S. Yee, "A 1 mV MOS Comparator", IEEE J. of solid state circuits, vol. SC 13, No.3 pp.291-297 June, 1978.
- Osamu Amato, "2K×8 Bits Hi CMOS Static RAM's" IEEE J. of solid state circuits, vol. SC 15, No.1, pp.56-60, August 1980.
- Takashi Ohzono, "An 8K×8Bit static MOS RAM Fabricated by n MOS n WELL CMOS Technology", IEEE J. of solid state circuits, vol. SC 15, No. 5, October 1980.
- Nabuo Tamba, "An 8 ns 256K BiCMOS RAM", IEEE J. of solid state circuits, vol.24, No. 4, pp. 1021-1027 August 1989.
- Simon R. Jones, "A 9 kbit Associative Memory for High-speed Parallel Processing Applications", IEEE J. of solid state circuits, vol.23, No. 2 April 1988.

부록 1)



(A) 배선도
(A) Circuit diagram

부록 2)



(B) 논리 시뮬레이션
(B) Logic simulation

그림 11. 읽기, 데이터 저장 및 매치 배선도 그리고 논리시뮬레이션 결과
Fig. 11. Results of logic simulation and read, write and match circuit diagram



朴商奉(Sang Bong PARK) 正會員
1962年3月8日生
1985年：慶尙道 電子材料科 卒業
1987年：高麗大 大學院 電子工學科 卒業(學碩士)
1987年～現在：高麗大 大學院 電子工學科 博士課程



朴魯京(Nho Kyung PARK) 正會員
1958年1月8日生
1984年2月：高麗大 學校 電子工學科 卒業
1986年2月：高麗大 學校 工學碩士學位 取得
1990年2月：高麗大 學校 工學博士學位 取得
1988年～現在：湖西大 學校 情報通信工學科 助教授
※ 主要研究分野： VLSI/CAD, 通信回路設計, 空中自動設計等



車均鉉(Kyun Hyon TCHAHN) 正會員
1939年3月26日生
1965年：釜山大學校 工學士
1967年：蔚國年國立大 學校 工學碩士學位 取得
1976年：釜山大學校 工學博士學位 取得
1987年～現在：高麗大 學校 電子電算工學科 教授
※ 主要研究分野： CAD, 通信, 無線等