

주파수 도약용 표본클럭 합성 계수방식의 직접 디지털 주파수 합성기 구현에 관한 연구

正會員 張 殷 永* 正會員 李 成 洙** 正會員 金 元 厚***

A Study on the Implementation of Direct Digital Frequency Synthesizer using the synthesized Clock Counting Method to make the State of randomly Frequency Hopping.

Eun Young CHANG* Sung Soo LEE** Won Hoo KIM*** *Regular Members*

要 約 랜덤한 주파수도약을 실현하기 위해 기존의 PLL(Phase Locked Loop)방식이 많이 사용되었으나 locking time 이 소요되는바, 출력주파수의 정현파형을 직접 합성하는 직접 디지털 주파수 합성방식을 이용하여 이러한 단점을 없앨 수 있으나, 기존의 위상누적 방식을 이용한 직접디지털 주파수 합성방식에서는 합성 파형상에 위상왜곡이 수반되어 불요 잡음이 크게 나타났다.

이러한 단점을 개선하기 위해 위상누적 방식에 관한 이론을 고찰하고 새로운 방식의 이론식을 유도하여 이에 적합한 시스템을 구성하였다. 또한 합성된 출력주파수의 정현파형에 대한 스펙트럼 분석과 PN(Pseudo Noise) 부호를 사용한 순시적인 주파수 도약 상태의 확인 결과, 기존의 위상누적 방식보다 불요잡음 전리 레벨이 10~25dB 줄고 주파수 대역도 420kHz까지 확장 가능함을 알았다.

ABSTRACT It has been generally used for PLL(Phase Locked Loop) to be synthesized randomly chosen frequency state, but the PLL locking time was inevitable element. A direct digital synthesizer, which makes output frequency directly in sine wave by a phase accumulating method, could be eliminate the defect, although a phase distortion in frequency spectrum.

In order to improve this disadvantage, the phase accumulating method is reconsidered in the side of the output wave formula expression. A new mechanism is proposed, and it is constructed by a most suitable logic elements. The spectrum of synthesized sine waveform is simulated and compared with a measured value, and its the coherence frequency hopping state with the PN(Pseudo Noise) code sequence is confirmed.

In this results, the power levels of phase distortion harmonics are decreased to 10~25dB and bandwidths are increased to 420kHz.

I. 서 론

여러가지 장점을 지니는 대역확산 통신방식중 주파수도약(FH : Frequency Hopping) 시스템의 구현에 있어 주파수 합성기는 필수적인 구성요소

가 된다. 이때 사용되는 주파수 합성방식에는 기존 주파수를 분주와 체배하여 발생된 고조파를 출력주파수로 이용하는 직접방식과 위상동기루프(PLL : Phase Locked Loop)를 이용한 간접방식, 그리고 표본화이론과 D/A 변환 기술을 근간으로 출력 파형을 합성하는 직접 디지털 방식으로 구별된다⁽¹⁾⁽²⁾.

위의 방식 중에서 순도높은 출력파형을 합성하나 순시 주파수 천이시간의 특성이 낮은 PLL 방식에 비해, 직접 디지털 주파수 합성방식은

* 國立 天安工業專門大學 專任講師
** 韓國電子通信研究所
ETRI
*** 韓國航空大學 航空電子工學科
Dept. of Avionics Engineering, Graduate School
of Hankuk Aviation University
論文番號 : 91-85(4)受1991. 1. 30)

주파수 해상도 및 안정도가 좋으며 발생 주파수의 변화가 연속위상을 이루고, 순시 주파수 천이 시간이 매우 짧은 장점을 갖는다⁽⁶⁾.

따라서 직접 디지털 주파수 합성방식은 FH 시스템에서 요구하는 출력주파수의 정확성과 임의의 출력주파수로 고속변환이 가능해야 하는 조건을 만족하게 된다.

그러나, 기존의 직접 디지털 주파수 합성기는 위상 누적 방식을 이용한 것으로서, 초기치 위상을 누적하여 정현파형의 출력주파수를 직접 합성하는 방식인데, 파형합성 과정에서 불규칙적인 위상 왜곡이 나타나게 되어, 출력주파수에 해당하는 완전한 정현파형의 합성이 어렵게 되고, 스펙트럼상에 불요잡음이 많아지는 단점이 있다⁽⁶⁾⁽⁷⁾.

본 논문에서는 이러한 단점을 개선하기 위해 임의로 설정되는 클럭 초기치를 계수 누적함으로써 임의의 표본 클럭을 합성하고, 이 클럭에 의해 일정하게 설정된 한 주기당 표본치를 계수하는 표본클럭 합성 계수방식을 제시한후, ECL (emitter coupled logic) 소자를 사용하여 회로를 구성한다. 이 결과 기존의 위상 누적방식을 이용한 직접 디지털 주파수 합성방식보다 출력주파수 파형상에 위상 왜곡을 없애고 발생 주파수 대역을 확장시켰다.

실제 제작된 주파수 합성기를 고속으로 주파수가 천이하는 FH 시스템에 사용 가능한지를 확인하고자, 표본클럭 합성초기치에 PN부호열을 입력하여 안정된 주파수 도약 상태를 확인하였다.

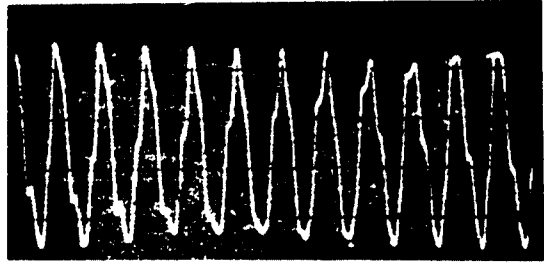
그러나 제안된 방식의 실현을 위해 부가된 표본클럭 합성부 및 표본갯수 계수부에 따라 시스템 구성이 다소 복잡해지고 발생폭이 제한되는 단점도 발견되었다.

II. 시스템 동작원리

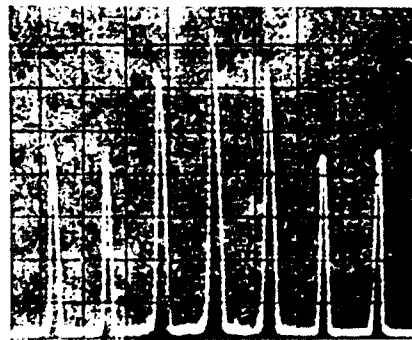
1. 표본클럭 합성 계수방식의 제안배경

기존의 직접 디지털 주파수 합성기를 실현하는

위상누적방식은 회로동작 특성상 그림1(a)와 같은 위상왜곡현상으로 인해 출력주파수에 해당되는 깨끗한 정현파가 되지못하여 그림1(b)의 스펙트럼과 같은 많은 불요성분을 포함한다⁽⁸⁾⁽⁹⁾.



(a) 정현출력파형(출력주파수 1.25kHz, 전압 1V/div) Sinusoidal output waveform



(b) 출력주파수 스펙트럼(Hor.: 1kHz/div., Ver.: 10dB/div.) Spectrum of the output waveform

그림 1. 위상누적방식에 의해 발생된 출력신호
Output signal by the phase accumulating method.

위상 누적 방식에 의해 만들어진 출력파형을 저역통과 필터(LPF: Low Pass Filter)를 거치지 않은 상태에서 최대진폭을 1로 하면 다음식으로 표현된다⁽⁸⁾.

$$s(t) = \sin\{\text{MOD}(k \cdot m, 2^M) \cdot 2\pi / 2^M\} \cdot [u\{t - (k/f_c)\} - u\{t - (k+1)/f_c\}] \quad (1)$$

단, $k/f_c \leq t < (k+1)/f_c$
 f_c : 시스템 클럭 주파수(위상 포분 클럭 주파수)
 M : 위상 제어 비트수
 m : 주파수 제어값($1 \leq m < 2^M$)
 k : 포분 시간집을 표시한 자연수
 $\text{MOD}(\cdot)$: Moduler(모수) 연산함수
 $\sin(\cdot)$: 정현함수
 $u(t)$: 단위 스텝 함수

여기서 LPF를 거치지 않은 상태에서 출력주파수에 해당되는 정현파형을 고려한 이유는 LPF를 거치기 이전에 주파수합성기의 구성 알고리즘에 의해 합성주파수에 생기는 잔파적인 불요성분을 고차하여 해당되는 주파수의 정현파형질의 문제점을 파악하기 위한 것이며, FDI용으로 사용시 랜덤한 주파수 도약에 따른 적절한 LPF 적용을 예측하기 위해서이다.

식(1)에서 시스템에 가해진 클럭주파수 f_c 가 2의 멱승꼴로 주어지고 특정주파수 제어비트값(m)과 시스템의 위상제어비트수(M)에 따라 $2^M/m$ 이 자연수가 될때에만 완전한 한주기에 해당되는 출력진폭을 가지면서 $f_0 = m \cdot f_c / 2^M$ 에 해당되는 주파수가 발생한다.

그러나 $2^M/m$ 이 자연수가 되지 않더라도 시간 변화에 따른 한주기당 불규칙적인 진폭의 변화가 일어나게 되어 위상왜곡을 가지게 주파수가 발생하게 된다. 이외같이 특정출력주파수를 제외하고는 합성파형상에 왜곡이 발생하여 주파수 스펙트럼상에 불요잡음을 증가 시키게 된다.

앞서 밝힌 위상 누적방식의 위상제어 발생의 단점을 없애기 위해 불완전한 진폭제 누적을 초래하는 시스템 집단의 위상 누적부를 포분클럭 합성부 및 포분갯수 계수부로 대치하여 식(1)에서 표시한 진폭치의 MOD연산기능을 위상 제어 비트수(m)와 무관한 상태로 변화하므로써 (2)식으로 표시된 진폭 파형을 갖게 한다면 위상 왜곡으로부터 발생된 불요잡음을 없앨 수 있다.

이와 같은 상태로 최대진폭을 1로 하였을 때, 최종 서역통과 필터를 거치기 이전의 출력파형적

은 다음과 같다.

$$s(t) = \sin\{\text{MOD}(k \cdot 2^N) \cdot 2\pi / 2^N\} \cdot [u\{t - (k/f_m)\} - u\{t - (k+1)/f_m\}] \quad (2)$$

단, $k/f_m \leq t < (k+1)/f_m$
 f_m : 합성된 포분 클럭 주파수
 k : 포분 시간집을 표시한 자연수
 $\text{MOD}(\cdot)$: Moduler(모수) 연산함수
 $\sin(\cdot)$: 정현함수
 $u(t)$: 단위 스텝 함수
 2^N : 개진된 방식에 의한 포분 갯수

이때 원위 값이 기술되는 출력파형에 관한 신호 대 잡음비 값을 진폭비(SNR)는 다음과 같다.

$$\text{SNR} = 1.5(2^L - 1)^2 = 6L + 1.75(\text{dB}) \quad (3)$$

단, L : 진폭 양자화 비트 수

그리고, 주파수 영역의 해석은 아래의 식 (4)와 같다.

$$S(\omega) = \sum_k \int_{k/f_m}^{(k+1)/f_m} \sin(K \cdot 2\pi / 2^N) \cdot (1/f_m) \text{sinc}\{\omega / (2\pi \cdot f_m)\} \cdot \exp\{-j(k+1/2)(1+f_m)\omega\} \quad (4)$$

단, $\text{sinc}(x) = \sin(x) / x$

2. 포분클럭 합성 계수방식의 시스템 설계

식(2)을 바탕으로한 시스템 구성도는 그림 2과 같다.

PN 부호 발생부는 주파수 도약 특성을 실현하기 위한 부분으로, 포분클럭 조기치를 발생시키 합성정현파형의 한주기동안 그 조기치를 유지하는 부분이다.

포분클럭 합성부는 R비트 조기치를 매 시스템 클럭(f_c)마다 누적 가산하여 포분클럭 주파수(f_m)를 출력하는 부분으로 입력된 기준주파수(f)

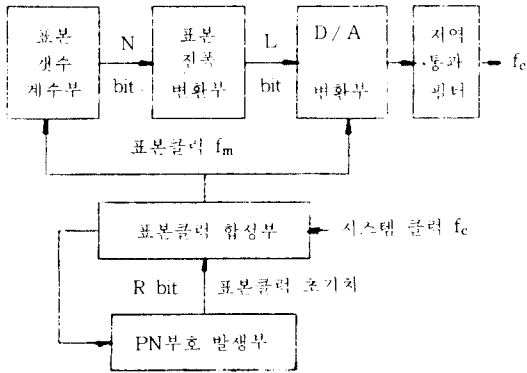


그림 2. 표본클럭 합성 계수방식의 시스템 구성도
Block diagram of the synthesized clock counting method.

c)를 임의의 R비트 초기치에 의해 나누어주는 일종의 분주기(Divider)의 기능을 갖는다. 기본회로는 full adder와 지연소자(D flip-flop)를 사용하여 다음과 같이 구성된다.

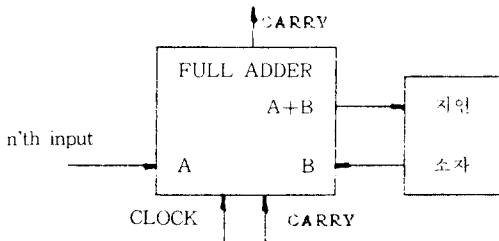


그림 3. 표본클럭 합성부의 구성도
Block diagram of the sampling clock synthesizer

합성된 표본클럭 주파수 f_m 의 최대 대역은 시스템 클럭 f_c 범위의 1/4에 해당되는 특징이 있고, 이를 수식으로 표현하면 다음과 같다.

$$f_{m, \max} = r \cdot f_c / 2^{R+2} (\text{Hz}) \quad (5)$$

단, r 은 R비트(22비트)로 주어지는 표본클럭 초기치 ($1 \leq r \leq 2^R$, 정수)

표본갯수 계수부는 f_m 를 입력클럭으로 2^N 진

계수기에 의해 한 주기 합성에 필요한 진폭 갯수를 지정하는 부분으로, 합성하고자 하는 임의주파수의 한 주기당 표본치를 항상 2^N 개로 일정하게 하고, 표본진폭 변화부의 해당번지를 순차적으로 지정하여, 위상 왜곡 잡음이 제거된 균일의 양자화 잡음만이 존재하는 순도 높은 파형을 합성한다. 합성된 정현 출력파형의 주파수 범위는 다음 식(6)과 같다.

$$f_o = f_{m, \max} / 2^N = r \cdot f_c / 2^{N+R+2} (\text{Hz}) \quad (6)$$

표본진폭 변화부는 한주기 정현 출력파형의 진폭 데이터가 2^N 개 저장된 부분으로, 표본클럭 (f_m)으로 구동되는 표본갯수계수부의 출력값에 의해 순차적으로 지정된 번지내의 진폭데이터값을 출력하게 된다. 이 부분의 저장 데이터 값은 합성하고자 하는 출력파형(정현파, 톱날파, 펄스파 등)에 따라 이산적인 데이터값을 저장하게 된다. 여기서는 다음식으로 얻어지는 정현파형의 진폭데이터 $D(k)$ 를 PROM에 저장하여 사용하였다.

$$D(k) = 2^N \cdot \{1 + A_m \sin(k \cdot 2\pi / 2^N)\} \quad (7)$$

- 단, D : 저장되는 진폭 데이터 값
- N : 진폭 데이터 비트수
- k : $0 \leq k < 2^N$ 인 표본시간점을 표시한 자연수
- A_m : 정현 출력파형의 최대치
- $\sin(\cdot)$: 정현 함수

최종단의 D/A 변화부에서는 진폭데이터에 해당되는 출력신호레벨을 결정하게 되고, 저역통과 필터부는 D/A변환시 발생하는 출력파형의 이산적인 불연속성분을 제거하게 된다.

Ⅲ. 시스템 구성

계수방식의 주요 5부분에 대한 실제 구성내용은 표1과 같으며 전체적인 세부회로도에는 그림 4와 같다.

그림 2와 같은 구성을 가지는 포분클럭 합성

표 1. 시스템 실제구성 내용
Contents of the system block function

주요부분	항목	기	능	부	공	명
PN부호 발생부		주파수노이즈성을 위한 주주출신(출력)		74LS74(D.F.F) 74LS290(Register)		
포분클럭 합성부		초기치 투적방식을 이용한 포분클럭 합성		MC10180(Adder) MC10115(Line Receiver)		
포분계수 계수부		합성주파수에 관계없이 주주출신(출력)의 포분계수 계수		MC10186(D.F.F)		
포분진폭 변환부		합성파형을 설정하는 삼각 웨이브 발생부		82S147N(PROM) : access 시간 50msec		
D/A 변환부 및 작업동과 클럭부		합성파형의 진폭에 따라 값을 출력하고 클럭을 변화하고 포분클럭의 이상적주기에 의해 발생한다. 고조의 제지		MC10186(D.F.F)		
				TRW1016(D/A 변환기)		
						* 변환시간 : 50msec, * 해상도 : 10비트
						* 안정성 : 0.05%, * 안정시간 : 10msec
						L 및 C로 구성된 7차 주동형 Elliptical 필터
						* 차단주파수 : 420KHz, * 차단특성 : 60dB/oct.

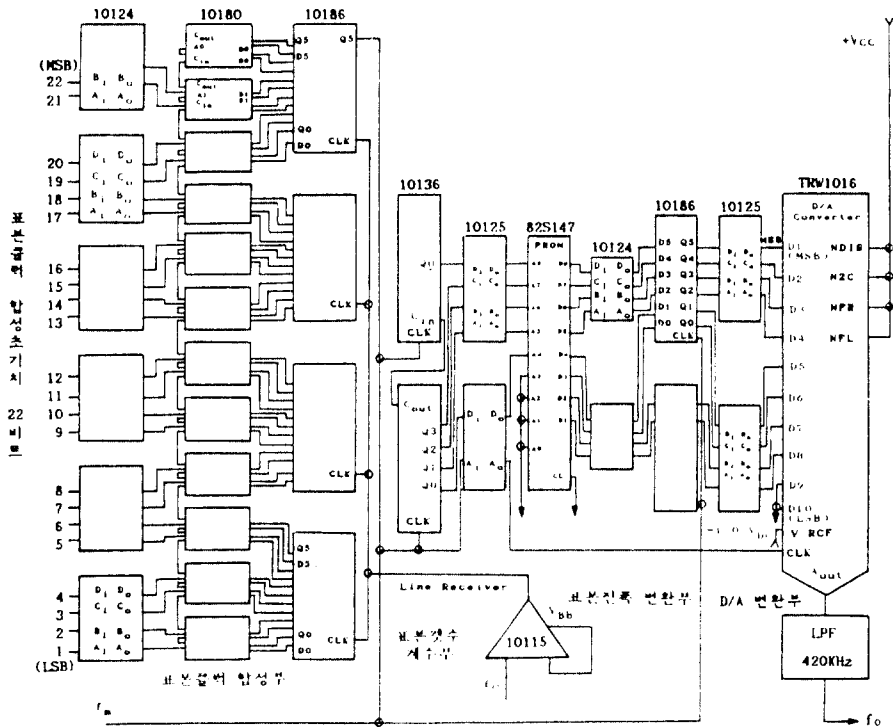


그림 4. 포분클럭 합성계수 방식의 세부회로도
Circuit diagram of the synthesized clock counting method

특히 주파수 도약특성을 실현하기 위한 PN 부호 발생부로는 간단한 실험동작만을 위해 그림 5와 같이 임의로 2^5-1 주기를 갖는 [5,2]의 형태로 구성한후, 22비트(R비트)만을 병렬변환하여 표본클럭 합성부에 인가하였다⁹⁾.

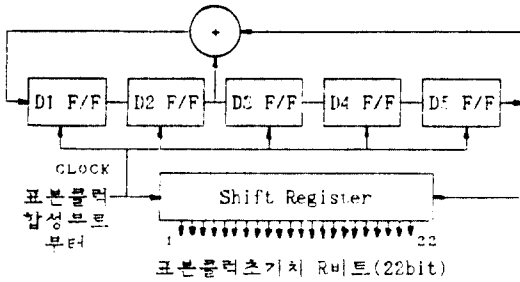


그림 5. PN부호 발생부의 회로도
Circuit diagram of generating PN code sequence

IV. 합성파형 해석

제안된 표본클럭 합성 계수방식에서 최종 저역 통과 필터(LPF)를 통과하기 이전의 출력 합성 파형은 식 (2)와 같이 단위 스텝함수의 합성형태로 표현되나, Fourier변환을 사용하여 주파수축상

의 표시를 쉽게 하기위해 본 연구에서 시도된 32개 표본치로 만들어진 그림 6과 같은 주기적인 펄스열이 혼합된 형태로 합성파형을 모델화 한다.

여기서 LPF를 거치지 않은 상태에서 출력주파수에 해당되는 정현파형을 고려한 이유는 앞서와 같이 주파수합성기의 구성 알고리즘에 의해 합성주파수상에 생기는 전체적인 불요성분을 고찰하기 위해서이다.

이때 각각의 펄스 반복주기는 T이며, 하나의 펄스폭은 τ 이고, 한주기 T내에는 32개의 이산적인 정현 진폭값을 가지는 펄스열이 τ 만큼씩 지연된 형태로 식(8)과 같다.

$$f_o(t) = \sum_{k=1}^{32} \{0.5 + 0.5\sin(k\pi / 16)\} \cdot p(t - k\tau) \quad (8)$$

단 $p(t)$ 주기적인 펄스함수

이를 주기적인 반복펄스열에 대한 Fourier 변환결과 Fourier 변환의 선형성 및 convolution 적분정리를 이용하여 출력파형의 전력스펙트럼 $|F_o(\omega)|^2$ 을 식(9)과 같이 얻는다.

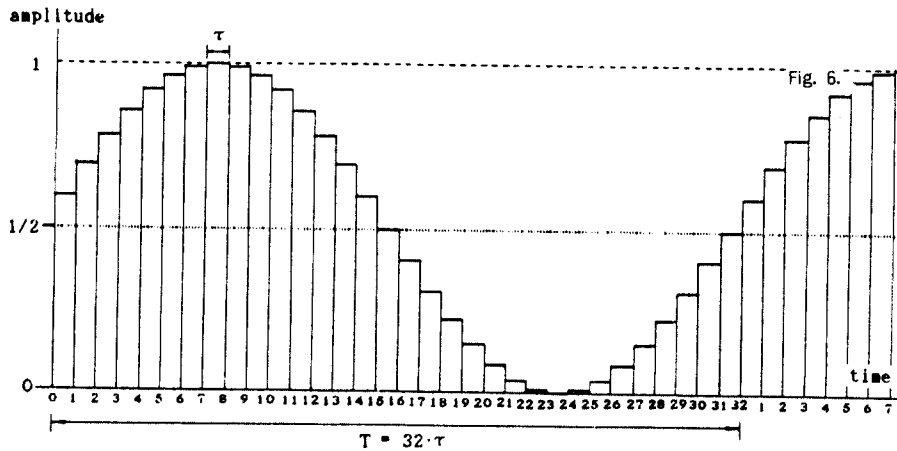


그림 6. 합성파형 모델
The model of synthesized waveform

$$|F_o(\omega)|^2 = \left| \sum_{k=1}^{32} \sum_{n=-\infty}^{\infty} d(1/2+1/2\sin(k\pi/16)) \{ \sin(n\pi d)/(n\pi d) \} \cdot [\cos\{(2k-1)n\pi d\} + \sin\{(2k-1)n\pi d\}/(\omega-n\omega_0)] \right|^2 + \left| \sum_{k=1}^{32} \sum_{n=-\infty}^{\infty} d(1/2+1/2\sin(k\pi/16)) \{ \sin(n\pi d)/(n\pi d) \} \cdot [\sin\{(2k-1)n\pi d\} + \cos\{(2k-1)n\pi d\}/(\omega-n\omega_0)] \right|^2 \quad (9)$$

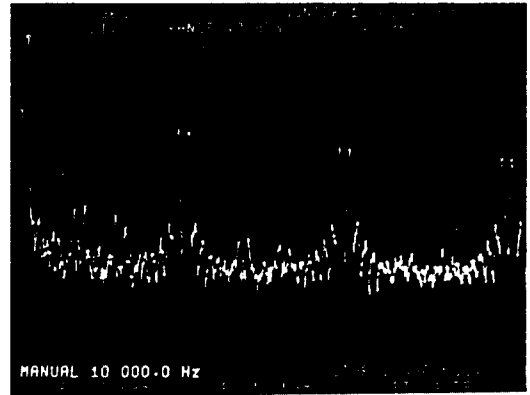
V. 실험결과 및 검토

앞서 구성한 표본클럭 합성계수 방식의 주파수 합성기에서 출력된 결과를 그림 7부터 그림 11에 나타내었다.

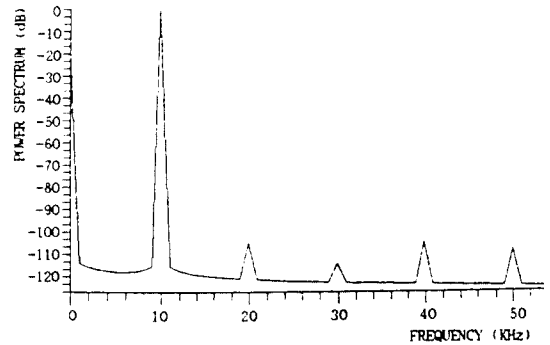
그림 7은 출력주파수가 10kHz일때 출력단에서 LPF를 거치지 않은 신호모델에 대한 주파수축상에서의 (9)식에 의해 70개 데이터에 대한 계산결과와 스펙트럼 분석기를 통해 측정된 결과를 비교한 것이다. 계산상 발생주파수의 정수배에 해당되는 불요 고조파들이 -110 ~ -100dB 발생되는 것으로 나타났으나, 실제 측정에 있어서는 동일주파수의 불요 고조파가 -40 ~ -30dB 발생되었고 그 이외의 소자 동작에 따른 Glitch잡음 등이 부가되어 나타났다. 이 원인으로는 (3)식에 의한 50dB정도의 양자화 잡음레벨 증가와 인가되는 클럭 주파수 자체의 불안정 및 ECL 소자의 논리 동작 전압치가 잡음 환경에서 매우 민감한 결과로 초래되는 30dB정도의 불요잡음 전력레벨이 누적된 결과로 사료된다.

그림 8(a)는 표본클럭 합성부에 인가한 시스템클럭(f_c : 상)을 가지고 표본클럭 합성 최대초기치(3FFFFFF_{HEX})로 고정된 상태에서 발생된 표본클럭(f_m : 하)를 나타내며, 그림 8(b)는 앞서 합성된 표본클럭 상태와 이것에 의해 만들어진 합성된 정현파형의 출력상태를 나타낸다.

그림 9(a), (b)에서는 최종출력단에 LPF를 사용하지 않은 상태에서 기존의 위상누적 방식의 시스템에서 출력할 수 있었던 최대주파수 82kHz와⁽⁵⁾⁽⁷⁾ 제안한 표본클럭 합성계수 방식에 의해



(a) 측정된 출력 스펙트럼 System output spectrum

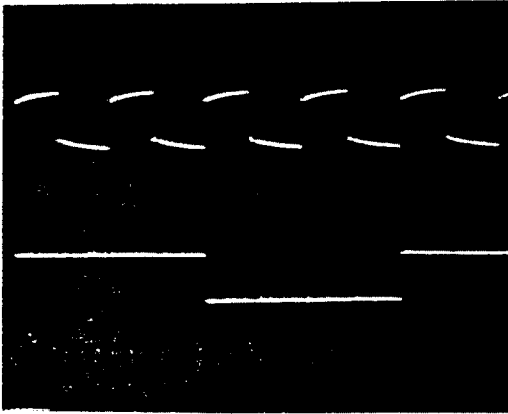


(b) 계산된 출력스펙트럼 Calculating output spectrum

그림 7. 출력주파수 $f_0=10$ KHz 일때 측정치 및 계산결과
The experimental and calculating result for $f_0=1$ KHz

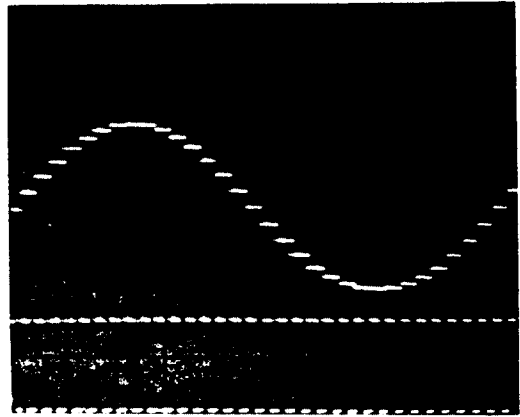
합성 출력한 동일한 주파수에 대해 합성파형과 주파수 스펙트럼을 서로 비교한 것으로 제안한 표본 클럭 합성계수 방식에서 불요잡음의 전력레벨이 10 ~ 25dB정도 감쇠되었다.

시스템 설계상 출력주파수가 표본진폭 변환부로 쓰이는 PROM access시간과 D/A변환부의 변환 시간에 크게 좌우된 것으로 판단되어 기술자료상의 데이터인 각각의 50nsec 상태에서 최대 표본클럭 주파수 $f_m=1/50\text{nsec}=20\text{MHz}$ 까지 동작 가능하며, 표본클럭 합성부에 합성초기치가 최대일때(3FFFFFF_{HEX}) 시스템클럭 $f_c=20\text{MHz} \times 4=80\text{MHz}$ 까지 인가할 수 있음을 계산상 알



(a) 표분클럭 합성부에 가해진 시스템클럭(f_c : 상)과 최대 합성초기치(3FFFFFF_{HEX})에서 합성된 표분클럭(f_m : 하) Synthesized sampling clock(up) by the system clock (down) in clock synthesizing part

$f_c=25\text{kHz}$ $f_m=6.25\text{kHz}$
Hor. 20 $\mu\text{sec}/\text{div}$, Ver. 1V/div.



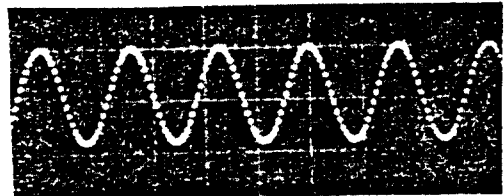
(b) 표분클럭(f_m : 하)으로 만들어진 정현출력파형(f_0 : 상) Sinusoidal output waveform(up) by the synthesized sampling clock(down)

$f_m=6.25\text{kHz}$ $f_0=195\text{Hz}$
Hor. 0.5msec/div, Ver. 0.2V/div.

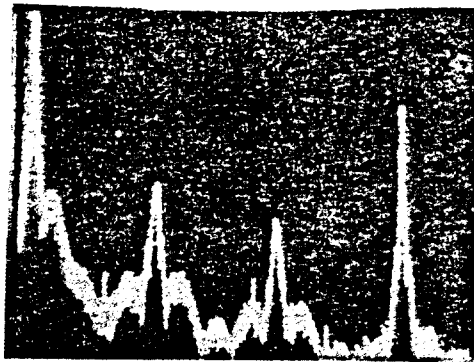
그림 8. 신호 합성과정
The process of synthesizing output signal



(a) 위상누적방식에 의해 합성된 출력신호
Output signal in the phases accumulating method



(b) 표분클럭 합성계수 방식에 의해 합성된 출력신호
Output signal in the synthesized clock counting method



Hor.5 $\mu\text{sec}/\text{div}$, Ver.0.5V/div,(up)
Hor.10kHz/div, Ver.10dB/div,(down)

그림 9. 정현출력신호($f_0=82\text{kHz}$)의 합성방법 비교
Sinusoidal output signal comparison between the two methods

수 있었고, 그때의 최대 출력주파수 $f_c=20\text{MHz}$ / $2^5=625\text{KHz}$ 까지 합성가능할것으로 예측되었다. 그러나 구성소자들의 특성 차이로 인해 인가할 수 있었던 최대 시스템클럭은 $f_c=54\text{MHz}$ 였으며, 이때의 최대 출력주파수는 421.875KHz 로 최종 출력단에 LPF를 거친후의 측정 결과를 그림 10에 나타내었다.

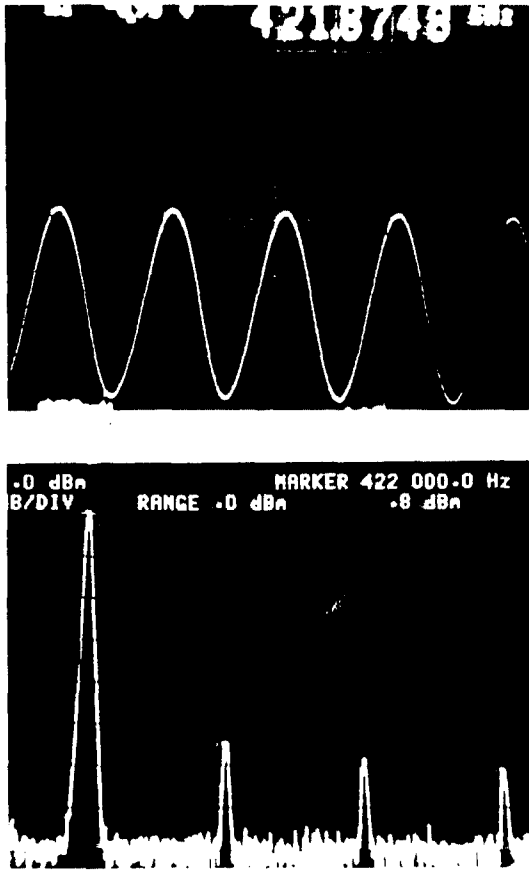
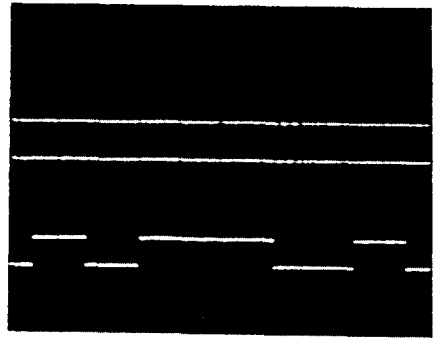
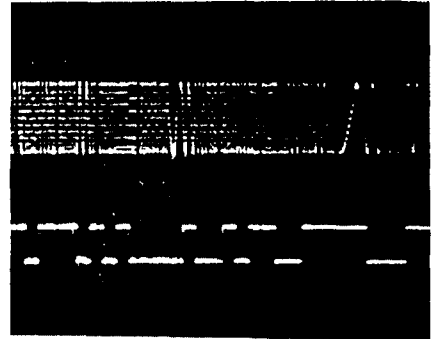


그림 10. 표본클럭 합성계수 방식에 의한 최대 출력주파수
The highest output frequency in the synthesized clock counting method

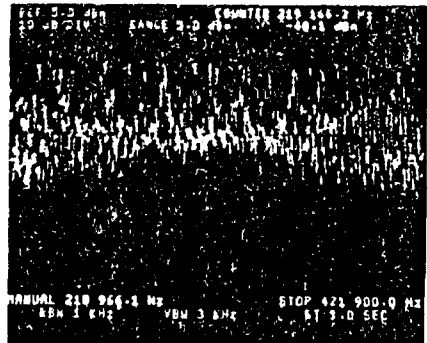
그림 11은 PN부호 발생부에서 만들어진 PN 부호를 표본클럭 초기치로 입력하여 주파수 도약 상태를 확인한 것으로, 11(a)에서는 시스템클럭 $f_c=64\text{KHz}$ (상)를 인가한 상태에서 만들어진



(a) PN부호열(하)로 만들어진 표본 클럭(f_m : 상)
Synthesized sampling clock(up) with the PN code sequence(down)
Hor.0.2msec / div, Ver.5V / div, n



(b) PN부호열(하)로 만들어진 출력주파수 도약상태(상)
Frequency hopping state of the output signal(up)
Hor.0.5msec / div, Ver.5V / div,



(c) 주파수 도약상태의 스펙트럼
Frequency hopping spectrum

그림 11. 주파수 도약상태의 합성과정(시스템 클럭: $f_c=64\text{KHz}$)
Synthesizing process of the output frequency hopping state

PN 부호열(하)우 상태를 나타낸 것이고, 11 (b), (c)에서는 그 PN 부호열(하)에 따라 주파수 도약 상태를 시간축과 주파수축상에서 관측한 것이다.

이때 주파수 스펙트럼 상태가 이산적으로 균일한 분포를 가지지 못했는데, 그이유는 최종 출력단의 필터설계에 있어 합성가능한 최대주파수만을 고려하여 설계하였기 때문에 낮은 출력 주파수상에서 식(4), (9)에서 표시한 고조파항들이 그대로 나타나게 되는것으로 판단된다.

VI. 결 론

기존의 위상누적방식의 주파수합성기는 주파수 안정도가 좋고, 발생주파수의 변화가 연속위상을 이루며, 순시 주파수 천이시간이 짧은 장점을 갖지만, 합성과정중 정현파형상에 위상왜곡이 수반되어 불요잡음이 증대하는 단점을 지닌다.

표본클럭 합성계수 방식은 이와 같은 단점을 개선하여 위상왜곡이 제거된 균일한 양자화 잡음만을 갖도록 하므로써 불요고조파의 전력레벨을 10 ~ 25dB정도 감쇠시켰다.

그러나 표본클럭 합성부의 특성이 전체 시스템의 성능을 크게 좌우하고 표본계수 계수부의 위상 표본치를 2^N 으로 일정하게 계수함으로써 발생주파수의 대역폭이 기존의 방식보다 $1/2^N$ 만큼 감쇠되었고, 일정한 표본치를 이산적으로 누적하기 때문에 이산적 표본치에 의한 불요 고조파 성분이 존재하게 된다. 따라서 주파수 도약용으로 사용될 때에는 주파수도약 시간에 따라 해당출력 주파수에 부가적으로 발생하는 불요고조파 성분을 제거하기 위해 대역 변환 필터기술이 요구되는 단점을 갖게 되었다.

또한 주파수 도약시 안정한 파형을 합성하기 위해서는 PN부호 발생부에 인가하는 클럭수가 순시 정현파형 주기의 정수배가 되어야만 출력 합성과형상의 위상변화가 초래되지 않게되므로 이에따라 인가하는 클럭주파수도 합성된 표본클

럭 주파수와 동기되어 동작해야 된다는 제한사항도 발견하였다.

이와 같은 사실로 미루어 볼때 앞서와 같은 몇가지 단점만 보완된다면 실현한 시스템은 출력 주파수 대역이 420KHz인 저왜율 직접 디지털 주파수 합성기로 실제 시스템에 충분히 적용될 것으로 사료된다. 아울러 표본계수 계수부의 계수간격(2^N)을 작게하여 한주기를 합성하고, 표본클럭 합성부의 알고리즘을 개선하며, 출력주파수에 해당되는 능동적인 필터 기술을 도입한다면, 현재 상용화 되어있는 ECL소자나 TTL소자로도 출력 주파수의 대역폭을 충분히 확장시킬 수 있을것으로 기대된다.

참 고 문 헌

1. J.Tierney, et al, "A Digital frequency synthesizer", IEEE Trans. AU-19, pp43-57, Mar.1971
2. H.W.Copper, "Why complicated frequency synthesizer?" Electronics Design no.15, July 19, 1974.
3. H.Hikawa, et al, "A Digital frequency synthesizer with a phase accumulator", IEICE, vol.E72, no.6, June 1989.
4. F.A.B.Cercas, Direct digital frequency synthesizer for a frequency hopped spread spectrum system, Thesis, Masters of Science in Electrical and Computer Engineering, IST-Lisbon, 1988.
5. 김원후 외 1인, "디지털 주파수 합성기법에 의한 FFH SS 통신방식에 관한 연구", 한국통신 학회지, 제 12권 2호, 1987년 4월.
6. 장은영 외 2인, "클럭 합성방식을 이용한 디지털 주파수 합성기의 구성 및 성능에 관한 연구", 한국통신학회지, 제 14권 4호, 1989년 8월.
7. 장은영 외 3인, "표본클럭 합성 계수방식의 디지털 주파수 합성기에 관한 성능해석", 한국통신학회 1990년 춘계학술발표회 논문집, vol.9, no.1, 1990년 5월.
8. S.Stein, Modern communication principles, McGraw Hill, New York, 1967.
9. R.C.Dixon, Spread spectrum system 2nd ed., John Wiley & Sons, New York, 1982.



張 殷 永(Eun Young CHANG) 正會員

1960年 3月 23日生

1982年 2月：韓國航空大學 航空電子工學
科 卒業(工學士)

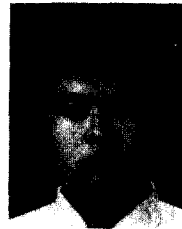
1988年 2月：韓國航空大學 大學院 航空
電子工學科 碩士課程 修了(工學
碩士)

1991年 2月：韓國航空大學 大學院 航空
電子工學科 博士課程 修了

1982年 3月 - 1985年 3月：空軍 技術將校 服務

1985年 4月 - 1986年 2月：金星通信(株) 技術社員 勤務

1991年 9月：國立 天安工業專門大學 專任講師



李 成 洙(Sung Soo LEE) 正會員

1960年 1月 16日生

1983年 2月：韓國航空大學 航空電子工學
科 卒業(工學士)

1990年 2月：韓國航空大學 大學院 航空
電子工學科 碩士課程 修了(工學
碩士)

1984年 - 現在：韓國電子通信研究所
第五研究室 事業開發室 先任
研究員



金 元 厚(Won Hoo KIM) 正會員

1935年 2月 1日生

1955年 4月 - 1959年 3月：韓國航空大學
航空電子工學科 卒業(工學
士)

1973年 3月 - 1975年 2月：濟陽大學校
大學院 卒業(工學碩士)

1983年 3月 - 1988年 2月：慶熙大學校
大學院 卒業(工學博士)

1964年 10月 - 現在：韓國航空大學 航空
電子工學科 教授