

# 다중칩 모듈을 이용한 전자기기 패키징 기술 동향

宋敏圭, 尹亨鎮, 朴晨鐘  
韓國電子通信研究所

## I. 서론

현대 문명사회는 보다 편리한 생활을 추구하기 위하여 작게는 전자계산기에서 대용량 컴퓨터에 이르기까지 전자기기 시스템의 경박단소화를 추구하여 왔다. 최근들어 반도체 칩이 더욱 다양한 기능을 가지며 고성능화 추세에 있어 시스템 차원에서도 신뢰도 높은 고성능 패키징 기술이 요구되고 있다. 여기서 “패키징”이란 반도체 칩(일명, bare 칩 혹은 die)을 외부환경으로부터 보호하며 다른 칩, 인쇄회로기판, 케이블 및 커넥터로 구성되는 시스템의 원활한 기능적 연결(functional interface)을 제공하는 배선기술을 포함한 총체적인 의미를 포함한다.<sup>[1]</sup>

시스템 패키지 종류로는 구성 요인에 따라 다소 차이가 있겠지만 다음의 3가지로 구분된다.

(1) Bare 칩을 리드프레임, 외이어본딩, 에폭시 수지 및 칩캐리어(예, 플라스틱이나 세라믹) 등을 사용하여 핀 삽입형이나 표면 실장형으로 단일칩 패키징하여(이 과정을 “1차 패키징”이라 부름<sup>[2]</sup>) 인쇄회로기판 위에 실장한 후(이 과정을 “2차 패키징”이라 부름<sup>[2]</sup>) 다시 이를 모아 다음 단계인 backplane에 실장하는 방법(그림1 참조)

(2) Bare 칩들을 미세 패턴이 형성된 기판위에 직접 실장한 다중칩 모듈(multichip module, 일명 MCM)로 만든 후(이 과정을 “1.5차 패키징”이라 부름<sup>[3]</sup>) 다시 이들을 모아 보드위에 실장하는 방법

(3) 웨이퍼 위에 모든 칩 및 보드의 기능을 구현해 보고자 하는 wafer scale integration(일명, WSI) 방법<sup>[4]</sup>

기존 시스템 패키징 방법으로는 첫번째 서술한 방법을 주로 사용하여 왔으나, 시스템의 소형화 및 고성능화(예로써 50MHz 이상의 clock frequency를 추구하는 워크스테이션)를 추구하는데 있어서 이미 한계성에 부딪혀

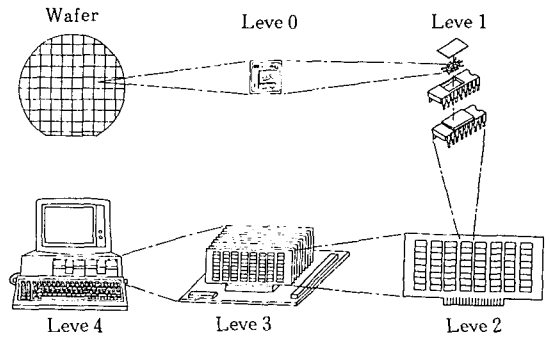


그림 1. 시스템 패키지의 계층적 구성요소<sup>[2]</sup>

있는 실정이다. 세번째 서술한 WSI 기술은 아직 여러 문제점(예, 낮은 수율 및 reworkability)으로 인하여 실용화 되기에는 많은 시간이 요구되리라 본다.<sup>[5]</sup> 두번째 서술한 다중칩 모듈에 관한 연구는 지난 80년대 초부터 대용량급(메인프레임 및 슈퍼 컴퓨터)에 국한되어 이용되어 왔으나, 90년대에 접어들면서 ① VLSI를 사용하여 고밀도화를 요하는 시스템이나 ② 2-10 GHz 주파수 대역 범위에서 작동되는 ECL이나 GaAs 칩을 사용하여 고속화를 지향하는 시스템에 이용되고 있다. 그리하여 보다 작고 가볍고, 견고하고 보다 우수한 성능을 요하는 컴퓨터 분야 뿐만 아니라, 군사용분야, 항공분야 및 통신분야, 자동차분야에 광범위하게 다중칩 모듈 연구가 표면화되어 진행중이다.<sup>[6]</sup> 그러나 이러한 패키징 기술의 꾸준한 연구에도 불구하고 IBM사의 IBM3090 컴퓨터의 경우, 신호처리 시간의 52%가 아직도 패키지에 의해 지연된다는 점을 고려해 볼 때 패키징 기술은 고성능 시스템을 구현하는데 여전히 limiting factor로 존재하고 있다.<sup>[7]</sup>

이러한 전자기기 패키지에서 문제점들을 분석하기 위하여 본 고에서는 단일칩 패키지 기술을 간략하게 조사하고 고성능용 패키지 기술로 주목 받고 있는 다중칩 패키지 기술에 대하여 중점 분석하여 앞으로의 패키징 기술발향에 대하여 살펴보고자 한다.

### II. 단일칩 패키지(Singlechip Package)

단일칩 패키지 기술은 기존의 DIP(dual-in-line package)의 형태로 인쇄회로기판에 핀삽입 방식으로 실장하여 왔으나 반도체칩의 고기능화로 인해 칩의 I/O 수가 계속 증가되어 200 핀 이상의 많은 핀을 가지게 되자 표면실장 방식으로 CC(chip carrier) 형태를 거쳐 SOP(small outline package), QFP(quadflat package), TCP(tape carrier package)형태로 발전되고 있다. 표면실장 방식은 지난 1980년대 이후에 매우 급성장한 기술로 90년대 중반에는 가전제품 및 low-end 패키지 시장의 약 70% 정도까지 차지할 것으로 예상된다고 한다.<sup>[1]</sup>

인쇄회로기판 위에 놓여질 단일칩 패키지의 리드간의 피치는 100mil(1mil은 1/1000inch와 같음), 50 mil에서 20 mil로 좁아지는 추세이며, 조만간 12mil까지 좁아져 이를 민생기기에 채용하려는 움직임이 일고 있다. 일반적으로는 26mil 리드 피치를 가진 패키지가 널리 사용되고 있고, 20mil 리드 피치를 가진 패키지가 그 연장기술로 거의 확립 되어가고 있으며, 차세대 기술로 12mil 리드 피치 이하를 가진 단일칩 패키지 기술에 대하여 연구중이다.<sup>[8]</sup>

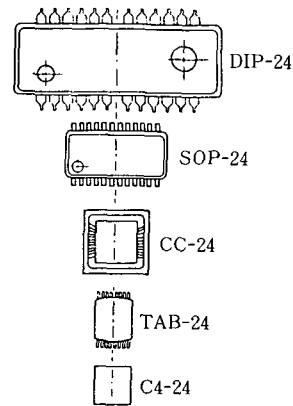
### III. 다중칩 모듈의 장점

일반적으로 하이브리드 IC와 유사한 다중칩 모듈은 몇개의 VLSI와 ASIC 칩들을 배선이 형성된 기판 위에 놓고 와이어 본딩이나 TAB(tape automated bonding) 및 C4(controlled collapse chip connections) 본딩을 이용하여 실장한다. 다중칩 모듈은 기존의 하이브리드 기술과 비교해 볼 때, 한개의 IC와 몇개의 수동 소자로 구성될 때는 하이브리드 IC와 유사하나, 일반적으로는 200개 이상의 I/O와 300개 이상의 배선망(interconnect nets)을 가지는 복잡한 구조를 가진다는 면에서 기존 하이브리드와 다르다.

다중칩 모듈은 패키징 밀도, 신뢰성, 전기적 측면, 가격 면에서 다음과 같은 유리한 점들을 가지고 있다. 다중칩 모듈은 수 마이크로나 sub-micron 디자인 물로 설계된 칩 내의 배선밀도(wiring density)와 이보다 100 배 이상

큰 디자인 물로 설계된 인쇄회로 기판 내의 배선밀도간의 큰 차이를 완화 시켜주며 5-10 배의 시스템 면적의 축소화를 가져다 준다.<sup>[6]</sup> 다중칩 모듈은 보다 빠른 동작 주파수와 많은 I/O 수를 가진 칩을 실장할 때 bare칩을 직접 실장하기에, 기존의 핀 삽입형이나 표면 실장형인 단일칩 패키지로 실장 하는 것보다 고밀도화를 추구할 수 있다. 예로써, 그림2에서와 같이 24개의 I/O를 가진 bare칩을 직접 실장할 때가 DIP 형태의 단일칩 패키지 사용보다 12배 이상의 패키징 밀도를 높일 수 있다.<sup>[1]</sup> 또한 bare칩 실장으로 단일칩 패키지로 인해 증가되는 무게와 제작비용을 절감 시키며 배선길이가 단축되어 신호지연을 감소 시킬 뿐만 아니라, 수백개 이상의 I/O를 다중 배선망 기판에서 수용하여, 인쇄회로기판의 배선의 난이도를 엄청나게 감소시킨다.<sup>[9]</sup>

다중칩 모듈의 신뢰도 측면을 고려해 볼 때 그림3에서는 칩1과 칩2간의 신호배선 연결시, (a)표면 실장형태로 단일칩 패키징후 보드위에 실장한 경우와 (b) Bare 칩을 직접 기판 위에 연결한 경우의 신호 전달경로를 나타낸다. 전자의 경우, 신호 전달은 bare 칩1에서 ① 와이어본딩을 거쳐 ② 패키지 ③ 리드 ④ sloder joint를 통하여 ⑤ 보드의 배선을 거쳐 다시 ⑥ sloder joint ⑦ 리드 ⑧



Package Footprint(16K CMOS SRAM 경우)

Type	Dimension [mm×mm]	Area Ration
DIP-24	31×15.24	12.73
SOP-24	15.4×10.24	4.25
CC-24	11.18×11.18	3.37
TAB-24	5.65×8.87	1.35
C4-24	5.65×6.57	1

그림 2. 패키지 형태 및 크기<sup>[1]</sup>

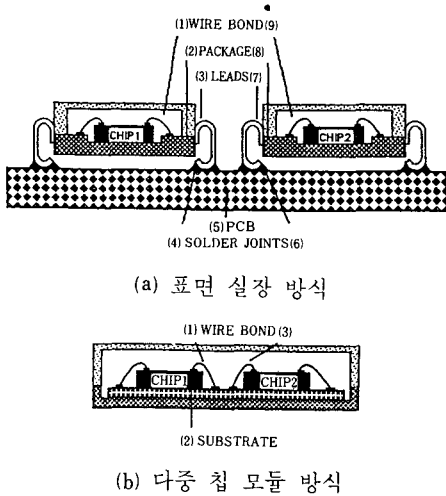


그림 3. 칩과 칩간의 신호전달 경로

패키지 ⑨ 와이어 본드를 통하여 bare 칩 2로 결국 9단계를 거치도록 되어 있으며, 이때 각 리드와 solder joint 및 보드상의 배선은 외부환경에 노출되어 있다. 그러나 후자의 경우, bare 칩간의 연결시 신호가 모두 hermetic 환경에서 전달되기에 외부로부터의 악조건에 영향을 받지 않는 잇점이 있으며, 전자의 방법에 비해 6단계(즉, 2단계의 패키지 metallization 경로, 2단계의 리드, 그리고 2단계의 solder joint)을 제거함으로써 이로인해 failure rate를 감소시킨다. 또한 IC 칩들외에 필요한 수동 소자와 그에 필요한 배선들도 외부로 노출되지 않고 hermetic 다중칩 모듈내에서 보호를 받을 수 있다. 또한 기판 위에 본딩패드의 크기는 궁극적으로 bare 칩의 본딩패드의 크기와 같게 제작 가능하므로 칩의 I/O수 문제를 해결해 주며, 임피던스 정합을 고려한 TAB과 같은 본딩기술을 사용하여 초고속 칩들을 실장하여 패키지의 고밀도화를 추구할 수 있다.

전기적 측면에서의 다중칩 모듈 사용시 칩간의 배선 길이가 기존보드 사용시 보다 짧아짐으로 배선상의 신호전달 속도가 단축되며, CMOS 시스템에서 중요시되고 있는 배선상에서 지나는 기생 용량(parasitic capacitance)과 기생 저항(parasitic resistance) 값이 줄어든다. 이로인해 칩과 칩간의 신호지연이 칩자체내에서의 지연보다 짧아지는 경우도 생길 수 있어 칩 설계자는 배선상의 이러한 기생효과의 감소를 고려한 칩의 출력 드라이버를 고안하여 칩의 구동속도를 향상 시킬 수 있다. 또한 칩의 구동량 감소로 인해 칩에서의 열 발산량이 감소되어 다중칩 모듈은 많은 배선망을 가지는 고속 시스템

을 위하여 성능 향상을 시킬 수 있는 기술이라 하겠다.<sup>[3]</sup>

다중칩 모듈 제작은 monolithic ULSI보다 짧은 design cycle과 저렴한 개발비용으로서 보다 쉬운 redesign의 잇점을 가지고 있다. 다중칩 모듈의 구성되는 칩은 일반 하이브리드와 같이 혼합기술(예, Si / GaAs, digital/analog, electronic/photonic devices)을 사용할 수 있어, ASIC 기술과 다중칩 모듈 기술을 사용하면 짧은 product lifetime을 요구하는 시스템의 개발기간을 단축시킬 수 있다. 비록 단위 면적당 다중칩 모듈의 제작 비용이 다층 인쇄회로기판 보다 현재는 비싼편이지만 ①보드 및 하드웨어의 크기가 감소되고 ② 단일칩 패키지에 드는 비용이 불필요하므로 시스템의 가격을 낮출 수도 있다.

#### IV. 다중칩 모듈 제작 순서

다중칩 모듈 제작순서는 대략적으로 표1에서와 같이 주어진 시스템의 요구조건을 만족시키기 위하여 우선 설계환경에서 열적 측면과 전기적 측면을 고려한 다층 배선망 기판 설계 후, 제작환경에서 다층 배선 기판 제작에 필요한 재질 및 공정 방법을 선택하여 만든후, assembly 환경에서 칩과 기판간의 본딩 및 sealing을 거쳐, 마지막으로 측정 환경에서 신뢰성에 대하여 검증하는 과정으로 이루어진다.

고속에서 작동하는 다층 배선망 기판을 설계할 때에

##### 표1. 다중칩 모듈 제작 환경

###### CAD Environments

- Interconnection Design
- Electrical Analysis
- Thermal Analysis

###### Substrate Materials & Manufacturing Environments

- MCM-D : Thinfilim Processing
- MCM-C : Ceramic Processing
- MCM-L : PCB Processing

###### Assembly Environments

- Die Adhesive
- Wire Bonding
- Tape Automated Bonding
- Flip Chip Bonding
- Epoxy Sealing
- Hermetic Sealing

###### Test Environments

- Electrical
- Reliability

는 칩과 칩간의 배선 구조에 대한 전기적인 문제를 고려해야 한다. 즉, 각 배선구조들은 기본적으로 임피던스 정합(impedance matching)을 고려해야 하며 배선상의 불연속(discontinuity)(예, 와이어 본딩, 본딩패드, 비아, 도선)에 의한 반사 잡음 문제, 도선간에 생기는 상호간 capacitance 및 inductance로 인한 crosstalk 잡음 문제, 여러개의 드라이버가 동시에 switching on 될 때 생기는 순간 전력 소모로 인한  $\Delta I$  문제등을 고려해야 한다. 또한 도선상의 전류의 흐름을 해석할 때 단순한 도체 이론(즉 RC 개념)과 전기자 기장(electromagnetic field)의 흐름을 인도하는 도파관(waveguide nature)의 이론(즉, LC 개념)이 모두 사용되어야 하는데, 이러한 양론간의 경제치가 불확실한 배선상의 구조를 해석할 때 실험적인 경험으로서 보다 체계적이어야 하며 이론적인 데이터 베이스화가 구체적으로 이루어져야 한다.<sup>[9, 10, 11]</sup> 또한 열발산 모사 방법으로는 단순히 칩의 junction만이 열의 근원지(source)라고 가정하여 열적 문제를 해결해 왔으나 배선에서도 발생하는 고속 고집적 시스템에서는 더이상 사용되지기 힘들며,<sup>[12]</sup> 일반적으로 고신뢰도를 요하는 시스템의 열발산의 충분한 모사 및 재료간의 열팽창 계수의 차이로 인한 신뢰성 향상에 관한 연구개발이 중요하다.<sup>[13, 14]</sup> 여러 CAD 전문업체에서는 다중칩 모듈의 설계환경에 필요한 routing과 전기적 잡음모사 및 열적모사 등을 원활하게 할 수 있도록 자체내의 프로그램들을 개선하고 있다.

일반적으로 다층배선에 사용되는 기판 재료에서는 ① 보다 우수한 전기적 특성 연구(예, 저유전율 및 저 dissipation factor를 가진 절연층)와 보다 우수한 dimensional stability를 갖는 기계적 특성연구와 ② 도체와 유전체 간의 열팽창계수들의 근접화 추세 및 계면간의 접착력 향상에 관한 연구 등이 현재 활발하게 진행되고 있다.

다층배선망 기판종류는 89년 8월 IPC(Interconnecting and Packaging Electronic Circuit) 회의에서 3가지 종류(MCM-C, MCM-L, MCM-D)로 구분하였다.

(1) MCM-C에서 "C"의 의미는 세라믹 기판을 의미하며 도선층과 절연층을 하이브리드 후막공법을 사용하여 다층기판을 만드는 후막기술과, 얇은 세라믹 기판(green tape)위에 refractory 금속을 스크린 공법을 사용하여 패터닝한 후 여러층을 적층하여 한번에 고온에서 소성하는 MLC(multilayer ceramic)기술을 모두 포함한다. MLC 경우, 도선층으로 사용되는 재료는 co-fired alumina의 소성 온도가 1500°C 이상으로 매우 높기에 이에 견디는 Mo나 W를 이용하여 왔으나 근래에는 저온에

서 소성이 가능한 glass ceramic 출현으로 인해 Cu를 이용할 수 있다. Glass ceramic 재료에 관한 연구는 기존 alumina의 유전율( $\sim 9$ )보다 낮은 유전율( $\sim 5$ )을 가지며 실리콘 재료와 유사한 열팽창 계수를 가지기 위하여 진행중이다. MLC의 대표적인 응용사례로는 IBM사의 3090 mainframe 컴퓨터의 TCM(thermal conduction module)을 들 수 있다.<sup>[15]</sup>

(2) MCM-L에서 "L"의 의미는 적층(laminating)을 의미하며 인쇄회로 기판 재료 및 가공기술을 이용한다. 도선층 재료로는 절연층 위에 동박이 수십 마이크로 두께로 입혀진 판(copper clad laminate, 일명 CCL)을 사용하는데 주로 절연층 재료로는 유전율이  $\sim 4.7$  정도인 FR4를 사용하고 있으나 glass transition 온도가 120°C 정도로 낮아 고열에 견디기 힘들다. 그리하여 고열에 견디고 전기적 특성(예, 유전율, dissipation factor)이 보다 우수한 폴리이미드 재료(예, kapton, upilex)이나 teflon이 첨가된 복합재료(예, RO 2800, Oak 701)등을 사용하여 고속 시스템용 기판으로 사용되고 있다. MCM-L은 기존의 인쇄회로 기판 생산 기술을 그대로 사용할 수 있어 MCM-C나 MCM-D에 비하여 저렴한 가격으로 제작 가능한 것으로 예상된다. 아직은 현재의 비아 홀 가공으로는 드릴 비트를 사용하는데 공정 가능한 비아 홀의 최소 크기가 약 0.2 mm 정도로 최소 도선폭(0.1mm정도)에 비해 커서 면적을 많이 차지하여 기판 설계의 routing시 큰 제약을 준다. 근래에는 선진국의 경우 laser 기술의 이용<sup>[16]</sup>으로 도선폭과 같은 비아 홀 가공 공정이 생산라인에 사용되어가고 있어 작은 비아홀에 관한 도금 기술과 노광 기술이 뒷받침 된다면 대량생산화할 수 있는 기술로 예상된다. MCM-L의 대표적인 응용사례로는 Siemens사의 H-90 manframe 컴퓨터의 CPU module을 들 수 있다.<sup>[17]</sup>

(3) MCM-D는 실리콘 웨이퍼나 알루미늄 기판 위에 박막공정을 사용하여 도선층과 절연층을 입히는("D"는 deposition을 의미)기술을 의미한다. 다층박막형 기판에 사용되는 기판으로는 실리콘 웨이퍼나 세라믹외에 고열 발산용으로 금속기판을 사용하는데 Cu/invar/Cu나 molybdenum 재질이 사용된다. 도선층 재료로는 Al이나 Cu 혹은 Au 재질을 사용한다. Al은 Cu와 Au에 비하여 높은 저항값을 가지지만, 공정이 보다 용이하고 PI(polyimide)의 절연층에 잘 접착되므로 저항값이 문제되지 않는 CMOS나 50 MHz이하의 저주파수용에서 주로 사용된다. Cu는 낮은 저항값을 가지기에 bipolar나 GaAs칩 탑재용으로 사용되나, PI(polyimide)의 절연층에 잘 붙지않고 curing시 Cu와 polyimide 계면에서 서로

반응하므로 계면 사이에서 Ni이나 Cr을 barrier로 사용한다. Au는 내부식성이 강한 재질로 장기간 동안 신뢰성이 매우 중요시 되는 제품에 사용되거나 가격이 비싼 것이 흠이다. 절연층 재질로는 polyimide 재질의 액체를 사용하는데 spin coating 및 curing 공정 후 패터닝을 하기 위하여 PR(photoresist)공정이 필요하여 다소 복잡하다. 앞으로는 두께조절이 가능하고 photoimagable한 폴리머 film 재질에 대한 연구가 계속되어서 저렴한 가격 및 간단한 공정으로 수율(yield)을 높일 수 있을 것이다. 또한 저유전율을 가지는 무기물이나 세라믹 재질연구로 인하여 기존 유기물 재질이 가지고 있는 높은 열팽창계수 및 낮은 열전도율 및 심한 outgassing의 단점을 보완해 줄 것이다. MCM-D의 대표적인 응용사례로는 DEC사의 VAX 9000 컴퓨터의 CPU module을 들 수 있다.<sup>[18]</sup>

위에서 서술한 다중칩 모듈 기판제작의 3가지 방법 중에는 MCM-D가 제일 미세화 패터닝을 할 수 있는 고도의 방법으로 예상되지만 PBA 자료에 의하면 MCM-D가 가지는 많은 장점과 신뢰성에 대한 기술이 입증될 때까지는 대량 생산화 기술로서 현재까지는 약간의 회의적인 입장을 표시하고 있다.<sup>[19]</sup> 예로써, 제조업체들이 MCM-D 방법을 이용하였을 때 생기는 문제점들 중 38%가 가용성(availability)과 수율(yield)이라 지적하였고, 26%가 비싼 제작비용을 문제 삼았으며, 21%가 assembly와 검증에 관한 기술이 부족한 실정이라고 하였다. 그리하여 다중칩 모듈 기판제작 방법중 MCM-D 기술이 먼 안목을 위하여는 반드시 사용될 기술이라고 생각되지만 기술 발전 속도가 느린 현실적인 문제점을 고려해 볼 때에는 다른 2가지의 다중칩 모듈 기판제작 방법(MCM-L, MCM-C)에 대한 투자도 소홀히 하여서는 안된다고 본다. 또한 3가지의 방법의 장점들을 혼합할 수 있는 복합기술에 대하여도 계속 연구해야 할 것이다. 예로써, 지난해 발표된 IBM사의 System 390 Mainframe 컴퓨터<sup>[20]</sup>와 NEC사의 슈퍼 컴퓨터<sup>[21]</sup>는 MCM-C와 MCM-D의 복합 기술로 만들어 졌으며 AT&T의 전자교환기에 사용되는 FIC 기술<sup>[22, 23]</sup>은 MCM-C의 후막 공정과 약간의 MCM-D의 복합 기술이라 하겠다.

다음에는 bare 칩을 기판 위에 실장하기 위한 소위 "assembly" 공정에 대하여 살펴보기로 한다. Assembly 공정에는 bare 칩을 기판 위에 접착제를 사용하여 붙인 후, 칩과 기판과 본딩을 하여 sealing하는 순서로 이루어진다. 기존에는 wafer 상태에서 DC probe과 같은 간단한 측정을 거친 후 단일칩 패키징을 하여 모든 전기적 및 신뢰도에 대한 측정을 하지만 다중칩 모듈에는 bare 칩을 직접 실장하기에 bare 칩 상태에서의 완전한 측정이

이루어져야 한다.

Bare 칩을 기판 위에 실장할 때 현재는 bare 칩의 pre-testing의 어려움으로 인해 rework의 용이성을 고려한 적절한 접착제를 선택해야 한다. 현재 사용되는 silver가 첨가된 접착제는 전기적 관점보다는 열적 관점을 고려하여 사용되었으나 보다 high-thermal-flux를 가지는 접착제 제조기술에 대하여 연구하고 있다. 또한 크기가 증가하는 bare 칩을 접착할 때, 어느 온도이상을 가열하였을시 쉽게 용해되는 열가소성 접착제가 열경화성용 보다는 rework을 하기 쉬울 뿐 아니라 고순도 및 outgassing이 적은 잇점으로 앞으로 많이 사용될 것이다.<sup>[24]</sup>

칩과 기판간의 본딩방법으로는 와이어 본딩을 주로 사용하고 있으나 칩의 고기능화로 인해 증가되는 I/O 수 및 임피던스 정합의 문제점으로 인해 앞으로는 C4나 TAB 방법이 많이 사용될 것이다. IBM사에서 개발된 C4기술은 칩 위에 Pb/Sn의 solder 범프를 추가로 만든 후 뒤집어 기판 위의 패드와 연결하는 방법으로 칩의 모든 면적을 사용할 수 있어 고밀도 실장을 할 수 있는 장점을 가진다. 또한 solder 범프로 칩과 기판이 연결되기에 본딩에서의 inductance를 와이어 본딩보다 수십배 줄일 수 있다.<sup>[25]</sup> TAB 방식은 폴리이미드와 같은 얇은 유기물 film 위에 도선(beam lead)을 패터닝 한 것으로 inner lead와 outer lead를 여러 본딩(예, thermocompression, ultrasonic, thermosonic, laser bonding) 방법에 의해 연결시킨다.<sup>[26]</sup> 이 방법은 양산 체재용으로 가능하며 다층 구조를 가질 수 있어 본딩에서도 임피던스 정합을 고려할 수 있는 기술이다. 또한 TAB은 bare 칩을 기판 위에 실장하기전에 외형으로 beam lead를 가지기에 전기적 측정을 쉽게 할 수 있는 잇점을 가지고 있다. 앞으로 칩 제조업체들은 TAB이나 C4 본딩을 사용하기 위하여 웨이퍼 공정이 끝난 후, 본딩시 필요한 solder bumps를 추가로 만들어서 조달하는 것이 보편화 될 것이다.

## V. 다중칩 모듈 전망 및 국외연구 현황

고밀도 다중칩 모듈의 시장은 BCC(Business Communications Co. Inc.)사에 의하면 35%의 연 성장율을 감안할 때 1990년의 2억불에서 1995년에는 약 9억불 정도로 예견하고 있다.<sup>[27]</sup> 다중칩 모듈의 응용 사례로는 위에서 언급된 컴퓨터 분야 뿐 아니라 군사용 및 통신 분야에 사용되기 위하여 DSP(digital signal processing) module<sup>[28, 29, 30]</sup> 및 memory module<sup>[31, 32]</sup> 등으로 매우 다양하다.

특히 주로 컴퓨터 산업에 의해 계속 지속될 다중칩 모듈은 지난 80년대 초부터 대용량급(메인프레임 및 슈퍼컴퓨터)에 국한되어 이용되어 왔으나 현재는 CPU와 마이크로 프로세서, 기억장치에서의 고성능화를 요하는 워크스테이션이나 고성능용 PC 및 크기 축소 문제가 심각한 notebook이하의 컴퓨터에 사용하려는 연구가 매우 한창인 것으로 알려져 있다. 보다 빠른 고속의 프로세서 모듈이나 캐시 메모리 및 빠른 모뎀을 요구하는 컴퓨터 시스템의 제조업체들은 우선 전기적 성능을 매우 중요시하면서, 크기 및 무게, 가격면에서 절충된 다중칩 모듈의 연구에 한창이다. 예로서, nCHIP사에 의해 설계 제작된 40-50 MHz에서 작동되는 RISC module은 224핀 CQFP의 단일칩 외형으로 1.6"×1.6"크기에 5개의 bare 칩을 실장 하였으며, 앞으로 SPARC module에 사용된다고 한다.<sup>[33]</sup> 또한, discrete 메모리 칩과 몇개의 IC 칩으로 구성되어 있는 기존의 function card는 2Mbyte의 기억용량을 가진 경우, 18개의 얇은 플라스틱 SOJ 패키지를 기존 PC 보드위에 플러그인 카드식으로 되어있지만 다음 세대에는 단일칩 패키지를 제거하고 TAB을 사용하여 기판의 양면에 실장하여 2배이상의 고밀도화를 가지는 카드 형태를 사용할 것이다.<sup>[34]</sup>

다중칩 모듈의 이용은 자동차 산업 분야에도 영향을 미쳐 앞으로 자동차 후드 밑이나 계기판내에 사용될 전망이다. 일명, "Smart-Cars"로 불리워질 이 자동차는 반도체 칩을 사용하여 공기와 연료비를 조절하며 엔진을 진단해 줄 뿐 아니라, 실내 온도 조절 및 계기판의 액정 화면에 digital road map을 표시하는데 사용될 것이다. 현재 자동차 값 중 반도체 칩이 차지하는 비용이 6% 정도이지만, 2000년 대에는 20%정도로 증가 할 것으로 예상하고 있어 앞으로 자동차 산업에서도 많은 칩들을 패키징 하는 기술로 다중칩 모듈이 큰 몫을 해낼 것이다.

다중칩 모듈의 군사용 분야로는 현재 레이더 시스템에 사용되어 고속으로 신호 및 데이터를 처리하는 프로세서 모듈에 사용 중이다. 또한 미국 Air Force Systems Command's Air Force Armament Lab에서는 SDI의 5백만불 연구비를 투자하여 1988년부터 2년반 연구 결과 우주 공간에서 사용될 아주 작고 가벼운 슈퍼컴퓨터의 설계를 완성하였다고 한다. Texas Instrument사와 Rockwell사가 참여하여 설계한 이 컴퓨터의 성능은 500MOPS (millions of operation per second)까지 작동 가능하며 무게가 75 gram으로 91년 5월 말경에 시제품을 선보일 예정이라 한다(현재의 미사일내에 사용되는 컴퓨터의 state-of-the-art는 1.5 MOPS 성능으로 500gram의 무게를 가졌다고 함).<sup>[35]</sup>

국의 연구 현황으로는 22개 참여회사(shareholder)와 28개 관련업체에 의해 세워진 연구 컨소시엄인 MCC (Microelectronics & Computer Technology Corp.)의 packaging interconnect program에서는, 지난해 4개월 동안의 조사연구 결과, DARPA (Defense Advanced Research Projects Agency)로부터 다중칩 모듈에 관한 연구계약을 체결하였다. 이 내용으로는 ① 다중칩 모듈의 보다 짧은기간 내의 시제품 제작과 ② 이를 양상화하는 기술능력 확보를 목표로, 다양한 공정을 혼합사용하여 저렴한 가격으로 다중칩 모듈을 만들어 내기 위한 연구로 3년동안 행하여질 것이다.<sup>[27]</sup>


또한 DARPA는 초고속 고밀도 전자기기 패키징연구로 다지틀 다중칩 모듈을 만들기 위한 foundary를 구축하기 위하여 이에 관련되는 업체(TI, GE, nCHIP, National Semiconductor, Cypress Semiconductor, Multichip Technology, General Dynamics, Fairchild Defense)들을 2개의 그룹으로 묶어서 연구를 수행하도록 하였다. 이 연구 내용으로는 최소한 클럭주기가 100 MHz에서 동작되며, 디지털 시스템에서 10-100배 크기 및 무게가 감소되며, 신뢰성이 10배 이상 증가되며, 2-10배의 파워 감소 및 저렴한 제조비용등을 요구하고 있다.<sup>[27]</sup> 이와같이 선진국에서는 다중칩 모듈 연구를 활발하게 진행하고 있지만 대부분 사내 기밀을 요하고 있어 외부로 전달되는 자료는 매우 미흡한 편이다.

## VI. 맺 음 말

반도체 관련분야에서 많은 연구진들의 신소자 개발 및 공정개발로 인하여 전자기기 산업에 괄목할 만한 성장을 이루었다. 그러나, 이러한 전자 시스템이 성능 향상과 소형화를 최우선 목표로 하고 있는데, 상대적으로 연구개발이 소홀히 되어온 반도체 패키징 분야에 있어 다중칩 모듈 제작 기술은 시스템 패키징에서 추구하는 목표를 수용해 낼 수 있는 핵심기술이라 예견된다.

이러한 다중칩 모듈 제작시 고려해야 될 사항은 저렴한 가격으로 신뢰성 높은 고성능 시스템을 만들기 위하여 회로 설계상 디지털 신호 특성과 초고주파 신호 특성과의 혼합된 상황에서의 전기적인 문제 및 크기 문제, 열적 문제를 모두 절충한 후, 이에 적당한 다중배선망 기판제작 및 본딩기술을 확립하여야 된다고 본다. 예로써, 성능면과 가격면 중 우선 순위에 따라서, 알맞는 다중칩 모듈 제작 방법 및 재질 선택이 중요 하리라 본다. 이러한 다중칩 모듈에 관한 연구가 선진국의 지적 소유권 주장이 국내에 확산되기 전에 하루빨리 산학연 협동 하에서 활발히 진행되어야 할 것이다.

## 參 考 文 獻

- [1] Microelectronics Packing Handbook, edited by R.R. Tummala, E.J. Rymaszewski, van Nostrand Reinhold, NY, 1989, Chapter 1
- [2] Electronic Materials Handbook, vol. 1, edited by Merrill L. Mingos, ASM International, OH, p.398, 1989.
- [3] C.A. Neugebauer, R.O. Carlson, R.A. Fillon, T.R. Haller, Solid State Technology, p. 93, June 1988.
- [4] C.A. Neugebauer, R.O. Carlson, *IEEE Trans. on CHMT*, vol. CHMT-10, no. 2, p. 184, 1987.
- [5] *IEEE Spectrum*, p. 32, October 1984.
- [6] "A Review on Thin Film Multilayer(TFML) Multichip Module(MCM)Packaging Technology", 기초기술연구부 기술문서, ARD-BS-90-02, ETRI, 1990.
- [7] C.C. Ahao, K.D. Scholz, J. Leihowitz, M.L. Cobaruviaz, and C.C. Chang, Proceedings of 38th ECC, p. 267, 1988.
- [8] *Semiconductor World*, p. 58, Jan. 1991.
- [9] C.W. Ho, *VLSI Electronics : Microstructure Science*, Academic Press Inc. , v. 5, p. 103, 1982.
- [10] M. R. Scheinfein, J.C. Liao, O.A. Palusinski, and J.L. Prince, *IEEE Trans. on CHMT*, vol. CHMT-10, no. 3, p. 303, 1987.
- [11] M.R. Scheinfein, and O.A. Palusinski, *Trans. of the Society for Computer Simulation*, p. 187, July 1987.
- [12] R. Daveaux, L. Hwang, A. Reisman, and I. Turlick, Proceedings of 39th ECC, p. 668, 1989.
- [13] C.C. Chen, P.L. Young, and J. M. Cech, Proceedings of 38th ECC, p. 302, 1988.
- [14] *Thermal Management Concepts in Microelectronics Packaging*, edited by S.S. Furkay, R.F. Kilburn, G. Monti, Jr. , Section4, ISHM Technical Monograph Series, 6984-003 1984.
- [15] A. J. Blodgett Jr. , *Scientific America*, v. 1249, no. 1, p. 76, July 1983.
- [16] F. Bachmann, *MRS Bulletin*, p. 49, Dec. 1989.
- [17] H. Brosamle, B. Brabetz, V. Ehrenstein, F. Bachmann, *Siemens Res & Dev. Rep.*, v. 17, p. 249, 1988.
- [18] *Computer Journal*, February 1990.
- [19] M. Andrews, *Hybrid Circuit Technology*, p. 58, Oct. 1990.
- [20] IBM Announces, Published by IBM US Marketing & Services, MY, September 1990.
- [21] T. Watari, H. Murano, *IEEE on CHMT*, vol. CHMT-8, 462, 1985.
- [22] C.C. Shiflett, D.B. Buchholz, C. C. Faudskar, R.D. Small, and J. L. Markham, Proceedings of ISHM, p. 481, 1986.
- [23] D. Jaffe, *Mat. Res. Soc. Symp. Proc.* , vol. 108, p. 301, 1988.
- [24] G.S. Selvaduray, *Thin Solid Films*, v. 153, p. 431, 1987.
- [25] K.G. Heinen, W.H. Schroen, D.R. Edwards, A.M. Wilson, R.J. Stierman, and M.A. Lamson, *IEEE Trans. on CHMT*, v. 12, no. 4, p. 650, Dec. 1989.
- [26] T.A. Schar, and M.D. Nagarkar, Proceedings of 39th ECC, p. 177, 1989.
- [27] *Hybrid Technology*, p. 41, Dec. 1990.
- [28] C.G. Lin Hendel, L.H. Cong, C.H. Gauntlett, J.M. Segelken, Proceedings of 39th ECC, p. 636, 1989.
- [29] *Semiconductor International*, p. 28, March 1989.
- [30] D. Kompelien, T.J. Moravec, and M. De Flumure, Proceedings International Symposium on Microelectronics, p. 749, 1986.
- [31] *Electronic Packaging & Production*, p. 68, Oct. 1989.
- [32] *Electronic Packaging & Production*, p. 36, Feb. 1989.
- [33] *Hybrid Technology*, p. 6, Nov. 1990.
- [34] *Electronic Products*, p. 43, Feb. 1991.
- [35] *Inside ISHM*, p. 18, March / April 1991. 

筆者紹介
------



宋 敏 圭

1959年 10月 24日生  
 1982年 한양대학교 화학공학과 졸업  
 1985年 미국 DREXEL Univ. 화학공학과(공학 석사)  
 1988年 미국 DREXEL Univ. 화학공학과(공학 박사)

1988年~1989年 미국 Univ. of South Florida, Dept. of Electrical Eng., Research Associate  
 1989年~현재 한국전자통신연구소 화합물 재료기술 연구실 선임연구원  
 주관심 분야: Dry Etching 및 반도체 시스템 패키징

•



尹 亨 鎭

1950年 2月 10日生  
 1973年 서울대학교 공과대학 졸업  
 1982年 Georgia Institute of Technology(석사)  
 1986年 Georgia Institute of Technology(박사)

1987年~1988年 Georgia Institute of Technology, Research Associate  
 1988年~현재 한국전자통신연구소 화합물 재료기술 연구실장  
 주관심 분야: 반도체 및 시스템 패키징



朴 晨 鐘

1945年 10月 8日生  
 1968年 서울대학교 공과대학 응용물리학과(학사)  
 1973年 Purdue University(석사)  
 1977年 University of Minnesota(박사)

1970年~1971年 서울대학교 공과대학 응용물리학과 조교  
 1971年~1973年 Purdue University 조교  
 1973年~1974年 Jet Propulsion Laboratory 연구원  
 1974年~1977年 University of Minnesota 조교  
 1977年~1978年 University of Minnesota Post-Doc.  
 1977年~1978年 Honeywell Inc. 기술 고문  
 1978年~1982年 국방과학연구소 실장  
 1983年~1985年 한국전자기술연구소 부장  
 1985年~1986年 한국전자통신연구소 선임연구원  
 1987年~현재 한국전자통신연구소 선임연구위원