

## 다층 박막 패키지 모듈의 제조 공정

吳 泰 成, 金 曠 鎬\*

韓國科學技術研究院, 漢陽大學校\*

### I. 서 론

반도체 기술이 발달되어 칩이 고밀도화, 고속화됨에 따라 컴퓨터나 정보통신 기기 등 첨단 전자 제품의 성능과 신뢰성이 칩들 자체 또는 칩과 만 주변 기기간의 신호전달을 이루고 지탱하여 주는 역할을 하는 패키지 구조(package structure)의 성능에 의해 결정되고 있다.<sup>[1-3]</sup> 예를 들어 대형 컴퓨터인 IBM 3090의 경우 17.2ns인 cycle time의 약 52%가 패키지 부분에서 소요된다.<sup>[2]</sup> 특히 대용량 컴퓨터나 고성능 정보 통신기기 등의 고속도화가 요구되는 제품에서는 패키지 모듈의 성능에 의해 최종 제품의 성능, 가격 및 크기 등이 결정된다. 또한 컴퓨터의 생산 원가에서 반도체 칩을 제외한 패키지 제조 공정이 차지하는 비율이 약 70% 정도로 최종제품의 가격 경쟁면에서도 핵심적인 역할을 한다. 따라서 외국의 컴퓨터 업체에서는 반도체 칩의 개발에 병행하여 독자적인 패키지 기술 개발에 심혈을 기울이고 있다. 그 결과 고밀도 인쇄회로 기판<sup>[4]</sup>, 다층 세라믹 패키지<sup>[5, 6]</sup>, 후막기술을 이용한 혼성 집적 회로<sup>[7]</sup>, 박막기술을 이용한 박막 패키지<sup>[2, 8, 9]</sup> 및 반도체 제조공정을 이용한 wafer scale integration<sup>[10]</sup> 등 여러가지의 다양한 다층 패키지 구조가 개발되었다. 그중 최근에 각광을 받고 있는 것이 다중칩 다층 박막 패키지 모듈(multilayer multichip thin film package module)로 이는 저유전상수의 폴리이미드 절연박막과 Cu 미세회로 도선을 사용함으로써 칩 사이의 신호 전달 속도를 높이고 크기를 소형화 시킨 것이다. 본고에서는 이런 다중칩 다층 박막 패키지의 필요성을 간단히 언급하고 제조공정에 대하여 살펴보았다. 아울러 공정상 문제점에 대해서도 언급하였다.

### II. 박막 다층 패키지의 개발 배경

#### 1. 다중칩 다층 패키지 모듈의 개발 필요성

회로에서의 신호 전달속도는 신호가 진행되는 거리와 회로를 둘러싸고 있는 기판의 유전상수에 따라 달라지며 다음과 같이 잘 알려진 식으로 표시된다.<sup>[11]</sup>

$$T_d = L / (\epsilon / C)^{1/2}$$

여기서  $T_d$ 는 지연시간(time delay),  $L$ 은 신호가 전파되는 거리이고  $\epsilon$ 은 기판의 유전상수이다. 따라서 주어진 반도체 칩 등의 부품을 이용한 컴퓨터나 정보통신 기기가 최대의 성능을 발휘하기 위해서는 유전상수가 낮은 재료로 만든 기판 위에 칩을 고밀도로 실장하여 신호가 이동하는 거리를 최소화함으로써 정보처리 속도를 극대화하는 것으로, 이와 같은 개념이 다중칩 다층 패키지 모듈에 의해 실현이 가능하였다. 다중칩 다층 패키지 구조에 의한 신호처리 속도의 향상을 나타내기 위해 100개의 칩으로 구성되어 있는 서로 다른 패키지 구조를 갖는 가상의 프로세서의 특성을 Naugebauer 등이 비교한 결과<sup>[12]</sup>를 표 1에 나타내었다. 이때 각 패키지 구조는 다음과 같다. 즉,

- ① 100개의 single chip 패키지가 인쇄회로 기판(PCB)에 실장된 구조,
- ② 칩 10개로 구성된 10개의 모듈이 인쇄회로 기판에 실장된 구조,
- ③ 100개의 칩을 하나의 모듈에 실장한 구조.

표 1에서 볼 수 있는 것과 같이 다중칩 모듈일 수록 전체 회로길이 및 I/O간 signal path가 짧아져서 패키지 모듈이 성능의 향상되는 것을 알 수 있다.

#### 2. 다층 세라믹 패키지와 박막 패키지의 특성 비교

다층 세라믹 패키지와 박막 패키지에 사용되는 재료, 공정 및 특성을 표 2에 비교하였다. 다층 세라믹 패키지 모듈은 IBM에서 처음 개발된 기술로 이전의 인쇄회로

표 1. 100개 칩 실장 프로세서의 패키지 기술에 따른 특성 비교<sup>[11]</sup>

패키지 특성	변 수	패키지 1	패키지 2	패키지 3
밀 도	전체 패키지 크기 gate / cm <sup>2</sup>	751cm <sup>2</sup> 6,000	233cm <sup>2</sup> 19,000	157cm <sup>2</sup> 28,000
Interconnection	전체 회로 길이(m)	1324m	739m	604m
	I/O간 평균 signal path	27.4cm	15.3cm	12.5cm
	절연박막층수 패키지 모듈 PWB	- 6	2 6	2 -
패키지 특성	I/O간 신호지연	1.94ns	0.96ns	0.76ns
	Signal path내 열 발생량	46mW	26mW	21mW
	Signal path간 power delay	89pJ	25pJ	16pJ
성 능	밀도 X 특성 [gates-cm / pJ]	67	760	1750

비 고 : 패키지 1은 100개의 단칩 패키지가 한개의 인쇄회로 기판에 실장  
패키지 2는 10개의 다중칩 패키지가 한개의 인쇄회로 기판에 실장  
패키지 3은 100개의 칩이 한개의 다중칩 패키지 모듈에 실장

표 2. 다층세라믹 패키지와 박막 패키지의 특성 비교

특 성		다층세라믹 패키지	박막 패키지
절연체	재 료	알루미나	폴리이미드
	공 정	태입 캐스팅	스핀코팅
	유전상수	9-10	3-4
전도체	재 료	W, Mo	Cu, Al
	공 정	스크린프린팅, 동시소성	진공증착, 앳칭
	저 항	10 μΩcm	2-3 μΩcm
회 로 도 선	선 폭	0.25mm	0.05mm
	선 pitch	0.5mm	0.08mm
	via pitch	0.5mm	0.125mm

기판과 카드를 사용한 패키지에 비하여 회로의 고밀도화와 도선 길이의 단축에 따른 성능 및 신뢰성이 뛰어나서 현재 IBM을 비롯한 미국과 일본 컴퓨터 회사의 대용량 컴퓨터 패키지의 주종을 이루고 있다. 주로 알루미나 기판 위에 전도선으로는 알루미나의 높은 소결 온도에 서도 용융이 되지않는 Mo나 W이 사용되었으나, 최근에 유전상수가 알루미나보다 낮은 Si를 사용하여 전기 전도성이 우수한 Cu를 도선으로 사용할 수 있는 저온소성용 glass ceramic이 개발되어 최근의 IBM이나 Fujitsu

등의 대용량 컴퓨터의 패키지 모듈에 적용이 되고 있다. 그러나 소결전 세라믹 그린시트(ceramic green sheet) 위에 금속 페이스트를 스크린 프린팅(screen printing)하여 회로를 형성 후 적층하여 소결함으로써 이루어지는 세라믹 패키지 제조공정은 스크린 프린팅 특성상 회로 도선의 선폭, 선간 간격(pitch) 등을 줄이는 데 한계가 있어 자연적으로 회로 도선의 길이가 증가하여야 한다. 이에 반해 박막 패키지 모듈은 절연체로 세라믹 패키지에서 사용되는 알루미나 혹은 glass-ceramic보다 유전상수가 작은 polyimide(PI), SiO<sub>2</sub> 등을 사용하고 회로도선으로 저항이 작은 Cu 또는 Al을 사용함으로써 세라믹 패키지 모듈에 비해 신호전달 지연을 최소화할 수 있다. 또한 회로 도선을 금속 증착법과 사진식각법(photolithography)을 사용하여 형성함으로써 미세한 회로의 형성이 가능하여 표 2에서와 같이 스크린 프린팅법에 의한 세라믹 패키지에 비해 배선 밀도를 4배 이상으로 증가시킬 수 있다. 따라서 신호처리에 필요한 회로 배선층(wiring layer)수를 박막 패키지 모듈의 경우 세라믹 패키지에 비해 현저히 감소시킬 수 있다. 이와 같은 장점으로 인해 표 3에서와 같이 미국이나 일본의 각 컴퓨터 회사와 정보통신 기기 제조 회사에서는 박막 다층 패키지 모듈의 개발에 박차를 가하고 있다.<sup>[11]</sup>

표 3. 개발된 박막 패키지 기술<sup>[11]</sup>

업 체	기 관	전도체(W,T,P)*	절연체	칩 본딩**
IBM	Al <sub>2</sub> O <sub>3</sub>	Cu(8, 6, 25)	PI	FC
Honeywell	Al <sub>2</sub> O <sub>3</sub>	Cu(50, 5, 125)	PI	WB / TAB
AT & T	Si	Cu(25, 5, 50)	PI	FC
GE	Al <sub>2</sub> O <sub>3</sub>	Cu(25, 5, 75)	PI	Overlay
HP	Al <sub>2</sub> O <sub>3</sub> / Si	Cu(15, 5, 20)	PI	FC
NEC	Al <sub>2</sub> O <sub>3</sub>	Cu(25, -, 75)	PI	TAB
Mosaic	Si	Al(11, 2, 22)	SiO <sub>2</sub>	WB
Rockwell	Si	Al(25, 2, 25)	PI	WB
Raychem	Si	Al(40, 5, 100)	PI	WB
Livermore	Si	Various	Various	Beveled

비 고 : \*W = 선폭, T = 두께, P = 선간 간격(μm)  
\*\* WB = 와이어 본딩, FC = Flip Chip  
TAB = Tape Automated Bonding

### III. 박막 패키지 모듈의 제조 공정

#### 1. 박막 패키지 모듈의 유형

박막 다층 패키지 모듈의 그 설계 및 제조 기술에 따라 여러 종류의 기판 위에 형성할 수 있다. 그중 가장 일

반적인 것이 그림 1과 같이 후막기술로 동시소성 (cofiring)하여 만든 다층 세라믹 기판 위에 박막 패키지 모듈을 형성하는 것으로, IBM이나 NEC에서 만든 대용량 컴퓨터에 이런 모듈이 실제 사용되고 있다.<sup>[1]</sup> 이 경우 박막 모듈은 주로 신호전달 회로층 및 반도체 칩을 본딩 하거나 engineering change를 하기 위한 용도로 사용되며, 후막 다층 세라믹 기판은 power와 ground layer로 사용된다. 반도체 칩과 박막 모듈과의 본딩은 wire bonding, TAB(tape automated bonding) 혹은 IBM에서와 같이 flip chip bonding(C4 bonding)을 사용하여 이루어지며, 다층 세라믹 기판 아래쪽에 pin을 붙여 다음 level의 패키지와 연결시킨다. 두번째 방법은 패턴이 그려져 있지 않은 금속이나 세라믹 기판 위에 박막 패키지 모듈을 만드는 것으로, 주로 알루미늄, AlN, Si, Al, Cu / Invar를 기판으로 사용한다.<sup>[2]</sup> Heat sink로 사용되는 Cu 기판 상에 PI 절연박막과 Cu 박막회로를 사용하여 제조한 박막 패키지 모듈이 DEC(Digital Equipment Cooperation)에서 만든 최근의 VAX system에 적용되었다. Si를 기판으로 사용하면 Si의 열전도도가 좋기 때문에 열전달 통로로 사용이 가능하며 칩과 Si 기판과는 열팽창 계수의 차이가 없어서 solder 접합부에서의 변형을 줄일 수 있으므로 신뢰성이 향상되고 큰 모듈에 많은 칩을 한꺼번에 실장시킬 수 있는 장점이 있으나 Si 기판은 알루미늄 기판에 비하여 기계적 강도가 낮은 것이 단점으로 지적되고 있다. 다음 레벨과의 연결은 박막 패키지 구조가 올라가는 판의 가장자리나 판 아래에 lead를 만들어 이용한다. 세번째 방법은 GE나 Livermore 연구소에서 시도한 방법으로 bare chip들을 판 위에 배치하고 박막기술을 이용하여 interconnection 구조를 만들어 칩간 또는 다음 레벨의 패키지와 연결하는 방법이다.<sup>[3]</sup> 이 경우 칩 위에 직접 박막 패키지 모듈을 만듦으로 칩과 모듈간에 wire bonding같은 연결이 필요없다는 장점이 있으나 극부적인 공정 불량시에도 수리할 수 있는 방법이 없어 전체 패키지 모듈이 사용 불가능한 단점 때문에 현재 실용화되고 있지는 않다.

2. 박막 재료와 박막 형성 기술

박막 패키지 모듈의 제조에 사용되는 재료는 절연박막용 재료와 회로 형성을 위한 금속박막용 재료로 구분할 수 있다. 표 3에 박막 패키지 모듈의 제조에 사용이 가능한 재료들의 특성 및 박막 형성기술을 나타내었다.<sup>[1]</sup> 절연재료로는 PI와 같은 유기 재료와 glass, AlN, BN, SiO<sub>2</sub>와 같은 무기 재료를 사용할 수 있다. 무기재료중 borosilicate glass나 lead borosilicate glass는 스프레이나

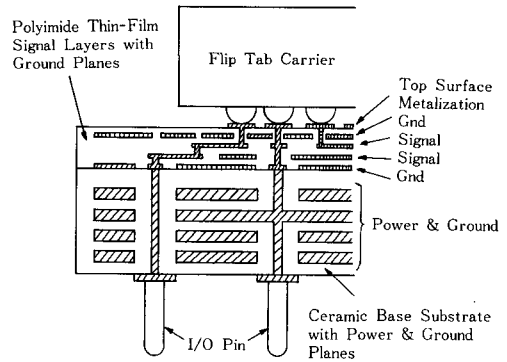


그림 1. 다층 박막 패키지 모듈<sup>[1]</sup>

스크린 프린팅과 같은 후막기술로 형성하며 AlN, BN이나 SiO<sub>2</sub>와 같은 고온 재료는 화학증착법이나 RF 스퍼터링을 이용하여 형성할 수 있다. PI와 같은 유기 절연박막 형성은 이보다 훨씬 간단하여, 용매와 혼합된 precursor인 polyamic acid를 스핀법이나 스프레이 방법으로 기판 위에 피복하고 80-120°C 정도에서 용매를 증발시킨 후(soft cure), 150°C에서 400°C까지 단계별로 온도를 올려 cure하여 polyamic acid를 PI로 만든다.<sup>[3]</sup> 스핀법에 의하여 얻을 수 있는 박막의 두께는 스핀 시간, cure 조건, PI의 종류에 따라 달라진다. 한 차례의 스핀 코팅으로 원하는 두께를 얻을 수 없을 때는 여러번 피복한다. 현재 박막 패키지 모듈의 실제 생산에는 표 3과 같이 Cu / PI계를 가장 많이 사용한다. PI는 유전상수가 3.5로 다른 기판 재료보다 낮고, leveling과 평탄화(planarization) 특성이 무기재료 절연막보다 우수하여 고밀도 회로배선이 가능하다. 또한 열적, 화학적 안정성이 높고 기계적 성질도 비교적 우수한 편이므로 박막 패키지의 절연 재료로 적합하다.<sup>[1, 9]</sup>

미세 전도선으로 쓰이는 금속박막은 PI와의 접착력, 계면응력, pattern 공정, electromigration, 증착방법, 후처리 공정시 열적, 화학적 안정성, 내산화성 등 여러 조건이 요구된다.<sup>[2]</sup> 그러나 이런 모든 조건을 만족시키는 금속은 없으므로 여러 금속을 다층으로 증착하여 각 층마다 역할을 부여한다. 예를 들어 PI 위에 Cu 증착시 Cu / PI 계면의 접착력이 매우 낮으므로 Cu 증착전 접착력이 우수한 Cr 또는 Ti를 10-50nm 두께로 PI에 미리 증착 후 Cu를 증착하여 Cu는 전도체로, Cr이나 Ti는 접착층으로 사용한다. 전도체로는 우선 전기 저항이 작아야 하므로 Cu, Al, Au, Ni 등을 생각할 수 있으나 Cu가 가장 값싼 재료이며 전기 전도도가 우수하기 때문에 일반적으로 사용된다. 일반적으로 금속박막은 진공 증착

(vacuum evaporation)법이나 스퍼터링법으로 형성한다. 두꺼운 금속층이 필요한 경우나 via를 만들 때에는 이와 같은 증착층 위에 도금을 하는 경우도 있다. 실제 미세 도선 회로는 그림 2와 같이 additive patterning이나 subtractive patterning 중 한가지 방법을 사용하여 형성한다. Photolithography를 사용하여 형성된 패턴에 금속을 증착하여 이루어지는 additive patterning중 lift-off법은 미세 패턴의 제조가 가능하나 공정이 복잡하고 제조공정중 결함이 생기기 쉬워 현재의 선폭 및 선간 거리가 큰 박막 패키지에는 잘 사용이 되지 않는다. 금속박막을 증착후 photolithography로 회로를 형성하는 subtractive patterning은 패턴 형성에 습식 에칭이나 반응성 이온 에칭(reactive ion etching)등의 건식 에칭법의 사용이 가능하나 패키지 모듈의 선폭이 25  $\mu\text{m}$ 보다 훨씬 작아질 경우에는 사용이 어렵다. 따라서 현재는 additive patterning중 진공증착 혹은 스퍼터링으로 형성한 base에 전해 혹은 무전해 도금법으로 전도층을 도금하는 방법이 일반적으로 사용된다.<sup>[1]</sup>

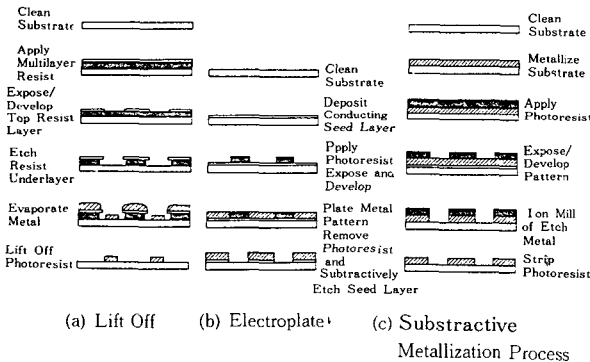


그림 2. 박막 회로 형성법<sup>[1]</sup>

3. PI Patterning 과 Via 형성

PI 절연박막으로 분리되어 있는 도선 회로층간을 연결시키기 위해서는 PI 절연박막에 via를 만들어야 한다. PI 박막에 via 형성법으로는 우선 PI를 에칭하여 via hole을 먼저 만들고 이곳에 진공 증착이나 도금법으로 Cu를 채우는 방법, 또는 Cu로 via post를 먼저 만든 후 PI를 피복하는 방법 등 여러 방법이 개발되었다. PI를 patterning하는 방법으로 alkaline 용액을 이용한 습식법, 반응성 이온 에칭법(reactive ion etching)과 laser ablation법이 사용된다. 반응성 이온 에칭법 사용시 마스크 재료로는  $\text{CF}_4/\text{O}_2$  plasma에서 에칭 속도가 느린 것을 사용하는데 Ti,  $\text{SiN}_x$ ,  $\text{SiO}_2$ ,  $\text{SiO}_x$ 등이 가능하며, 그중

Si oxide 계통이 가장 많이 사용된다. 에칭시 요구되는 조건은 아래와 같다.

- ① 에칭 속도가 빨라야 한다.
- ② Mask에 비해 PI의 에칭 속도가 상대적으로 빨라야 한다.
- ③ 수직방향의 에칭 속도가 수평방향의 에칭 속도보다 빨라야 한다.
- ④ 큰 기판에서도 에칭 속도가 균일해야 한다.
- ⑤ 에칭하고 남은 찌꺼기가 적어야 한다.

최근에 에칭 과정에서 요구되는 여러 공정을 줄이기 위해 photosensitive한 PI를 이용한 박막 패키지가 개발되고 있으나 아직 실용화 단계에 이르지는 않았다.

표 4. 박막재료 특성과 형성기술<sup>[1]</sup>

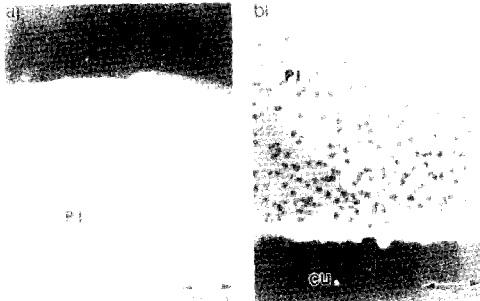
박막 재료	유전 상수	비저항 ( $\mu\Omega\text{-cm}$ )	열팽창계수 ( $10^{-7}/^\circ\text{C}$ )	열전도도 ( $\text{W/m}\cdot\text{k}$ )	형성기술
절연박막					
Borosilicate Class	4.1		30	5	스프레이
Quartz	3.8		5	7	스퍼터링
Polyimide	3.5		500	0.2	스프레이 스프린코팅
AlN	8.8		33	230	스퍼터링
Teflon	2.1		200	0.1	용해
Lead Borosilicate	7.8		35	5	스프레이
Boron Nitride	5.5		30	250	화학증착
Diamond	5.5		23	2000	고압
Benzocyclobutene	2.6		350-600	0.2	스프린코팅
전도체					
Cu		1.67	170	393	진공증착 스퍼터링
Au		2.2	142	297	〃
Al		4.3	230	240	〃
Ni		6.8	133	92	〃

IV. 제조 공정시 고려사항

1. 계면 접착성

패키지의 성능과 신뢰성을 위해서는 제조공정시 또는 사용중 절연체인 PI 박막과 도선인 금속박막의 박리(delamination)가 일어나면 안된다. 즉 PI와 금속 박막 계면의 우수한 접착력은 박막 패키지 모듈의 제조에 필수적이다. 다층 박막 패키지의 제조공정상 금속과 PI 사이의 계면에는 계면 형성 과정에 따라 두가지 형태의 계면이 존재한다. 첫번째는 완전히 cure된 PI 위에 금속을 증착시 형성되는 metal-on-polyimide(MOP) 계면이고,

두번째는 금속박막 위에 polyamic acid를 피복하고 이것을 cure 시키면 생기는 polymer-on-metal(POM) 계면이다.<sup>[13]</sup> 이 두 계면들은 거시적으로 보면 금속박막과 PI 사이의 계면이지만 미시적으로는 상당히 다르다. PI와 Cu로 구성된 두 계면의 투과전자 현미경 사진인 그림 3에서 MOP 형태의 계면은 Cu와 PI 사이의 POM 형태의 계면에서는 PI에 미세한 Cu 산화물 입자가 많이 존재하는 것을 볼 수 있다. 이와 같은 Cu 산화물의 존재에 의해 표 5와 같이 PI의 기계적 강도는 증가하나 연신율이 저하되며, 또한 절연박막 재료로 가장 중요한 특성인 유전상수가 3.5에서 5.9로 급격히 상승하여 신호전달 지연의 원인이 될 수 있다.<sup>[14]</sup> 따라서 PI 내에 금속 산화물 입자가 석출되는 것을 방지하기 위해서는 반응을 계면 부위에만 국한시켜야 한다.



(a) Cu-on-PI 계면 (b) PI-on-Cu 계면

그림 3. PI/Cu 계면 전자 현미경사진<sup>[13]</sup>

표 5. PI 특성<sup>[14]</sup>

특 성	W/O oxide	with oxide
항복강도(MPa)	14.3	31.1
인장강도(MPa)	41.5	83.8
연신율(%)	85.0	42.6
탄성계수(GPa)	1.0	1.2
유전상수	3.5	5.9

PI와 금속 박막 사이의 접착력은 표 6에서와 같이 계면의 형태에 따라 달라진다.<sup>[14]</sup> 계면 접착력은 같은 PI와 금속박막 사용시 polymer-on-metal(POM) 계면보다는 metal-on-polymer(MOP) 계면에서 훨씬 떨어진다. PI와 금속박막 사이의 계면에서의 화학적 결합력은 접착력에 큰 영향을 준다. 즉 Cr 이나 Ti 같이 화학적으로 반응을 잘 일으키는 금속일 수록 계면에서의 화학적 결

표 6. PI와 금속박막 계면의 접착력<sup>[14]</sup>

(단위 : g/mm)

계면형태	금 속			
	Au	Cu	Ni	Cr
Metal-on-PI	0	5	16	42
PI-on-metal	31	73	86	117

합이 잘 되므로 접착력이 좋다. 또한 그림 4에 나타낸 것과 같이 금속박막 증착전에 PI 표면을 RF 스퍼터링이나 이온 빔을 이용하여 표면처리함으로써 금속/PI 계면 접착성을 증가시킬 수 있다.<sup>[15]</sup> 따라서 실제 박막 패키지 모듈의 제조시에는 PI 박막에 Cu 도선 증착전 RF 스퍼터링한 PI 박막 위에 Cr을 10-50nm 두께로 증착 후 회로 도선용 Cu를 증착함으로써 금속/PI 계면의 접착력을 증가시킨다. PI와 금속박막간 접착력은 PI/금속 계면에서의 원자나 분자 사이의 결합력이 같을지라도 PI나 금속박막의 두께 및 사용 PI와 금속박막의 기계적 특성에 따라서도 달라진다. 이는 열팽창 계수의 차이에 기인한 계면에서의 잔류응력과 사용 박막재료의 소성(deformation) 능력 등의 기계적인 효과로 설명할 수 있다.<sup>[16]</sup> 실제 박막 패키지 구조에서는 PI/금속 계면 접착성 뿐 아니라 PI와 금속 박막의 세라믹 기판에 대한 접착력도 고려하여야 한다. 일반적으로 PI의 세라믹 기판에 대한 접착력은 PI 스핀 코팅 전에 기판에 접착력 증가제인  $\gamma$ -aminopropyltriethoxysilane( $\gamma$ -APS) 처리를 함으로써 증가시키며,<sup>[17]</sup> Cr 이나 Ti 등 금속박막의 세라믹

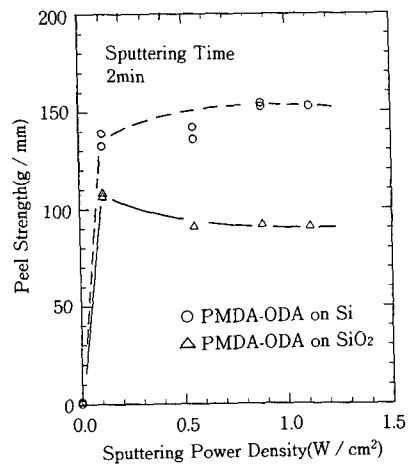


그림 4. 금속 증착전 PI 표면 RF-스퍼터링에 의한 Cr/PI 계면 접착력 변화<sup>[15]</sup>

기판에 대한 접착력은 금속박막 증착전 기판을 스퍼터링이나 O<sub>2</sub> plasma를 사용하여 cleaning함으로써 증가시킬 수 있다.<sup>[16]</sup> 계면은 두 물질 사이의 접착력뿐 아니라 상호반응, 상호 확산에도 중요하므로 계면에 대한 연구는 박막 패키지 모듈 개발에 중요한 몫을 차지하고 있다.

2. Via 저항

다층 패키지의 경우 전기적 성능을 향상시키기 위해 via에서 접촉 저항이 작아야 한다. 그러나 순수 Cu만을 전도선으로 사용하는 경우 PI와의 접착력이 나쁘기 때문에 PI와 Cu선과의 박리가 쉽게 발생한다. 따라서 10-20nm 정도의 얇은 Cr이나 Ti 층을 Cu를 증착 전에 입히는데 이런 경우 via의 접촉저항이 증가한다. Via의 접촉저항을 줄이기 위해 여러 방법이 시도되고 있는데 그 한 예로 Cu층 증착 전에 미리 Cr/Cu의 혼합 물질을 Cr 대신에 증착함으로써 PI와의 접착력도 향상시키며 via 저항도 감소시킬 수 있다.<sup>[19]</sup>

3. PI의 안정성과 신뢰도

신뢰도 높은 패키지 모듈을 만들기 위해서는 PI의 안정성이 중요한 인자이다. 그림 5에 나타낸 것과 같이 PI의 유전 특성은 cure 조건 및 수분 함유량에 따라 크게 달라진다.<sup>[6]</sup> 또한 그림 6과 그림 7의 85°C의 온도와 85% 상대습도의 분위기에서 실험한 결과<sup>[17, 20]</sup>에서 알 수 있듯이 PI의 금속 박막과 세라믹 기판에 대한 접착력은 수분 흡수에 의하여 현저히 감소하므로 패키지내의 수분 흡수를 엄격히 제한하여야 한다. SiO<sub>2</sub> 기판에 PI 코팅전 접착력 증가제인  $\gamma$ -APS 처리를 하면 PI와 SiO<sub>2</sub> 계면 접착력을 증가시킬 수 있을뿐 아니라 수분 흡수에 의한 접착력 저하를 막을 수 있다. 표 7에 박막 패키지의 신뢰도 평가에 사용되는 시험방법 및 분석해야할 특성을 나타내었다.<sup>[1]</sup> 박막 패키지 모듈의 사용중 수분 흡수에 의한 성능 저하를 막기 위해서는 모듈 제조후 outgassing한 다음 모듈 전체를 sealing하여야 한다. Cu/Cr/PI로 된 interconnection 구조를 다층으로 만들기 위해서 각 층마다 PI를 cure 해야 하므로 400°C 정도까지의 온도 상승이 반복하여 일어난다. 이런 경우 전기적, 기계적 특성이 변화할 수 있으므로 상호확산 문제에도 관심을 기울여야 한다.

그 밖에도 잔류응력 문제, 에칭시 금속박막의 부식 문제, PI를 연마하여 평평하게 만드는 문제 및 열 방출 문제 등도 박막 패키지 모듈을 성공적으로 제조하고 수율을 높이기 위하여 고려해야 할 사항이다.

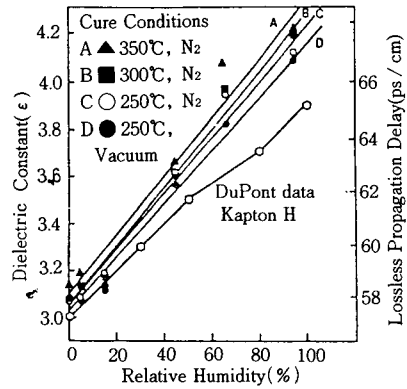


그림 5. PI curing 조건 및 상대습도에 따른 PI의 유전상수 변화<sup>[9]</sup>

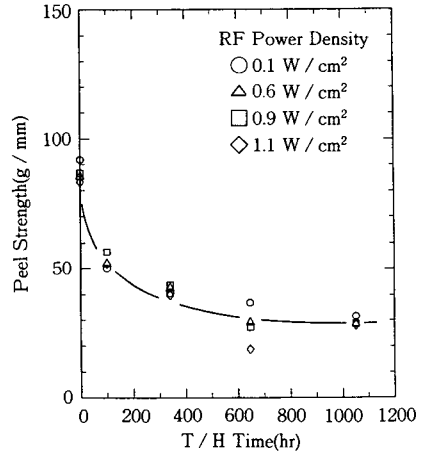


그림 6. 온도 / 습도(85°C / 85% 상대습도) 시험에 의한 Cr / PI 계면 접착력 변화<sup>[20]</sup>

표 7. 박막 패키지의 신뢰도 측정법<sup>[1]</sup>

측정법	조건	분석 특성
고온저장 열 충격	150°C, 500시간	○ 금속 / PI 계면 접착력
	-65° to 150°C 15회	○ 금속 / PI 계면 접착력 ○ 비저항
온도 / 습도	85°C, 85% 상대습도	○ 금속 / PI 계면 접착력
	5V, 1000시간	○ 절연저항 ○ 비저항
압력 / 온도	2기압, 120°C 10시간	○ 금속 / PI 계면 접착력
		○ PI / PI 접착력
		○ PI / 세라믹 기판 접착력

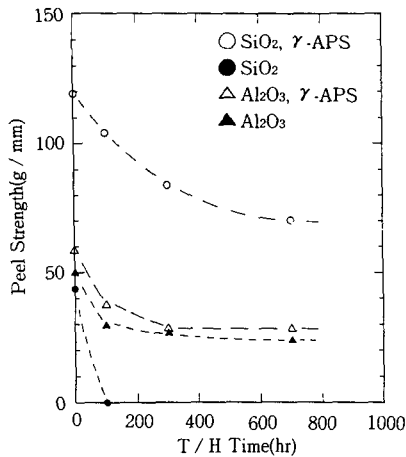


그림 7. 온도 / 습도(85°C / 85% 상대습도) 시험에 의한 PI / 세라믹 계면 접착력 변화<sup>[17]</sup>

### V. 결 론

컴퓨터나 정보통신 기기 등의 성능 향상, 즉 정보처리 속도의 극대화에는 반도체 칩의 성능 향상과 더불어 저 유전상수의 기판에 회로 도선이 고밀도로 배선된 패키지 모듈의 개발이 필수적이다. 이와 같은 패키지 모듈중 최근에 개발된 폴리이미드(PI)와 금속박막을 이용한 다중칩 다층 박막 패키지 모듈의 제조공정을 소개하였으며 아울러 문제점도 제시하였다. 박막 패키지 모듈은 칩의 성능 향상에 대응하여 패키지의 향상을 가져올 수 있는 최선의 방법이므로 앞으로 더욱 많은 각광을 받을 것이며 여러 핵심기술의 개발로 성능이 뛰어난 패키지 모듈이 계속 개발될 것이다. 이와 같은 박막 다층 패키지 기술은 현재에는 가격보다 성능이 우선인 대용량 컴퓨터에의 사용을 전제로 하여 개발 되었으나, 최근 전자제품의 소형화, 고기능화가 지속적으로 요구됨에 따라 몇 개의 반도체 칩만을 실장하는 소형의 박막 패키지에도 적용이 되고 있다. 현재 국내에서는 Cer-dip이나 PGA 등 범용 제품인 단칩 패키지(single chip package) 개발에 주력하고 있으며 박막 패키지 모듈에 대한 수요가 전무하여 이에 대한 연구가 미미한 실정이나, 머지않은 장래에 대의 경쟁력이 있는 중형 이상의 컴퓨터나 초고속 전자교환기등 첨단 전자제품을 국내 독자적으로 개발하기 위해서는 반도체 칩의 개발에 들이는 노력 이상의 연구가 다층 박막 패키지 모듈의 개발에 집중되어야 할 것이다.

### 參 考 文 獻

- [1] R. R. Tummala and E. J. Rymaszewski(eds.), *Microelectronics Packaging Handbook*, Van Nostrand Reinhold, New York, p. 673, 1989.
- [2] C. C. Chao, K. S. Scholz, J. Leibovitz, M. Cobaruviaz, and C. C. Chung, "Multi-layer thin-film substrates for multi-chip packaging," *IEEE Trans. Comp. Hybrids Manuf. Technol.*, vol. 12, no. 2, pp. 180-184, 1989.
- [3] C. W. Ho, D. A. Chance, C. H. Bajorek, and R. E. Acosta, "The thin-film module as a high-performance semiconductor package," *IBM J. Res. Develop.*, vol. 26, no. 3, pp. 286-296, 1982.
- [4] J. R. Bupp, L. N. Challis, R. E. Ruane, and J. P. Wiley, "High-density board fabrication techniques," *IBM J. Res. Develop.*, vol. 10, pp. 306-317, 1982.
- [5] W. G. Burger and C. W. Wiegel, "Multi-layer ceramics manufacturing," *IBM J. Res. Develop.*, vol. 27, no. 1, pp. 11-19, 1983.
- [6] A. J. Blodgett and D. R. Barbour, "Thermal conduction module: A high-performance multilayer ceramic package," *IBM J. Res. Develop.*, vol. 26, no. 1, pp.30-36, 1982.
- [7] M. E. Ecker and L. T. Olsen, "Chip carriers for high density semiconductor dies." *Proc. Intl. Soc. Hybrid Microelec.*, vol. 4, pp. 251-257, 1981.
- [8] J. Shurboff, "Polyimide dielectric on hybrid multi-layer substrates," *Proc. Elec. Comp. Conf.*, pp. 610-615, 1983.
- [9] R. J. Jensen, J. P. Cummings, and H. Vora, "Copper / polyimide materials system for high performance packaging," *IEEE Trans. Comp. Hybrids Manuf. Technol.*, pp. 73-81, 1984.
- [10] D. Pelzer, "Wafer Scale Integration: The Limit of VLSI?," *VLSI Design*, pp. 43-47, 1983.
- [11] C. A. Neugebauer, R. O. Carson, R. A. Fillion, and T. R. Haller, "High performance interconnections between VLSI chips," *Solid State Technol.*, vol. 31, p. 93, 1988.
- [12] R. J. Jensen, "Recent advances in thin film multi-layer interconnect technology for IC packaging," *Mat. Res. Soc. Symp. Proc.*, vol. 108, p. 73, 1988.
- [13] Y-H. Kim, G. F. Walker, J. Kim, and J. Park, "Adhesion and interface investigation of polyimide on metals," *J. Adhesion Sci. Technol.*, vol. 1, p. 331, 1987.
- [14] J. Kim, S. P. Kowalczyk, Y-H. Kim, N. J. Chou, and T. S. Oh, "Adhesion, reaction and stability of metal / polyimide interfaces," *Mat. Res. Soc.*

*Symp. Proc.*, vol. 167, pp. 137-145, 1989.


[15] T. S. Oh, S. P. Kowalczyk, D. J. Hunt, and J. Kim, "Adhesion enhancement of Cr/Polyimide interfaces using RF pre-sputtering of polyimide surfaces," *J. Adhesion Sci. Technol.*, vol. 4, no. 2, pp. 119-129, 1990.

[16] J. Kim, K. S. Kim, and Y-H. Kim, "Mechanical effects in peel adhesion test," *J. Adhesion Sci. Technol.*, vol. 3, p. 175, 1989.

[17] L. P. Buchwalter, T. S. Oh, and J. Kim, "Adhesion of Polyimides to Ceramics: Effects of Aminopropyltriethoxysilane and Temperature and Humidity Exposure on Adhesion," to be printed in *J. Adhesion Sci. Technol.*, 1991.

[18] Y-H. Kim, Y. S. Chbstrates, N. J. Chou, and J. Kim, "Adhesion of titanium thin films to oxide substrates," *J. Vac. Sci. Technol.*, vol. 45, no. 5, pp. 2890-2893, 1987.

[19] S. H. Wen and J. Kim, "Thin film wiring for integrated electronic packages," *Mat. Res. Soc. Symp. Proc.*, vol. 108, p. 81, 1988.

[20] T. S. Oh, D. G. Kim, S. P. Kowalczyk, S. Molis, and J. Kim, "Hydrothermal Degradation of RF Sputtered Cr/Polyimide Interfaces," to be Printed in *J. Mat. Res.*, 1991. 

筆者紹介



吳 泰 成  
 1956年 1月 24日生  
 1978年 2月 서울대학교 금속공학과 (학사)  
 1986年 U. C. Berkeley 재료공학과 (석사)  
 1988年 U. C. Berkeley 재료공학과 (박사)

1978年 3月 ~ 1984年 7月 국방과학연구소 연구원  
 1988年 10月 ~ 1990年 4月 IBM T. J. Watson Research Lab.  
 1990年 4月 ~ 현재 한국과학기술연구원 정밀요업실 선임연구원



金 暎 鎬  
 1956年 8月 21日生  
 1978年 2月 서울대학교 금속공학과 (학사)  
 1980年 2月 서울대학교 금속공학과 (석사)  
 1985年 12月 University of California, Berkeley Dept. of Materials Science (박사)

1985年 1月 ~ 1985年 6月 Lawrence Berkeley 연구소 \*연구원  
 1985年 6月 ~ 1987年 7月 IBM T. J. Watson 연구소 연구원  
 1987年 8月 ~ 1991年 3月 한국과학기술연구원 선임 연구원  
 1991年 3月 ~ 현재 한양대학교 공과대학 재료공학과 조교수