

Tape Automated Bonding 기술

吳 東 烈

三星電子 半導體部門 器興研究所

I. 서 론

최근 전자기기는 고기능화, 대용량화, 소형화 및 박형화의 추세에 있으며 또한 반도체 소자는 다기능화, 다 pin화, 고속화, 고신뢰성 및 표면실장형으로 나아가고 있다.

이에 따라 반도체 device의 I/O증가 및 박형화, 기판 면적감소 및 실장밀도 향상등 종합적인 실장기술 변화에 우수한 기능을 발휘하고 있는 TAB 기술이 주목되고 있다.

표1, 2는 SMD(surface mount device) package에 대한 추이를 보여준다.

TAB(tape automated bonding)은 초기에 시계, 계산기, 전탁등의 low pin, 소형 chip 적용분야에서 최근 LCD driver, ASIC, MICOM, memory 소자등의 다 pin, 대형 chip 적용분야에 이르기까지 응용범위가 다양하다.

그림 1은 pin 수에 따른 TAB의 응용분야를 나타내고 있다.^[1]

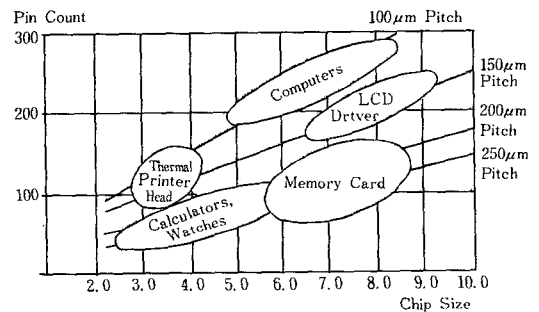


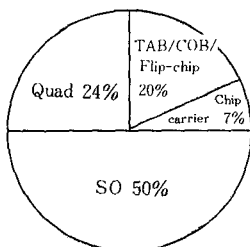
그림 1. TAB의 응용분야

II. TAB 기술

1. TAB 실장성

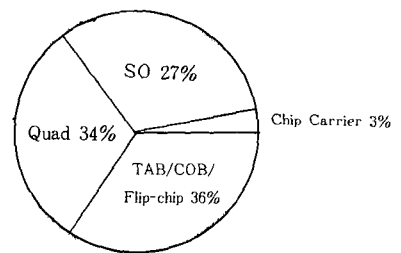
TAB은 실장성 측면에서 wire bonding에 비해 월등하며 600 pin 이상, 60 μ m pad pitch까지 적용 가능하며 또한 박형 package화 요구(IC card, display)에 적합하다.

표 1. 1990년 worldwide surface-mount package production



(DATAQUEST 자료 : 1990. 4)

표 2. 1994년 worldwide surface-mount package production



(DATAQUEST 자료 : 1990. 4)

표 3에 TAB과 plastic package를 구분하여 비교하였다.

그림 2에 반도체 package의 추세 및 실장성에 대해 도식하였다.^[2]

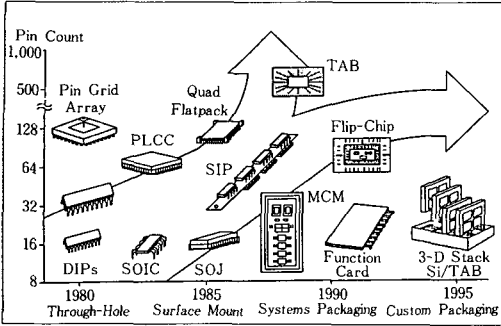


그림 2. 반도체 package의 추세 및 실장성

2. TAB Tape 종류

TAB tape의 종류 및 크기는 동박 pattern의 수에 따라 single layer, double layer로 구분할 수 있다.

Low pin-용 (watch, calculator, LCD)으로는 single layer가 주종을 이루며, high pin-용 (ASIC, computer)으로는 high speed 및 열발산성을 고려한 double layer가 사용된다. 또한 tape size는 35, 48, 70mm가 사용되고 있으며 그 type으로는 유효 pattern 크기에 따라 standard type, wide type, super type으로 구분할 수 있다.

표 4는 tape layer 및 크기에 따른 type 구분을 제시한다.^[3]

3. TAB 재질

TAB tape는 기재 (base film), 접착제 (3 layer 인 경우) 및 동박 (copper foil)로 구성되어 이들 각각의 특성을 고려하여 TAB tape를 선택하여야 한다.

표 3. TAB과 plastic package 비교

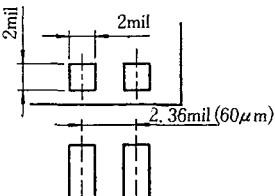
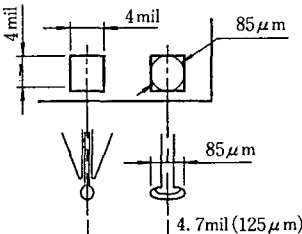

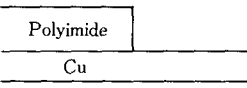
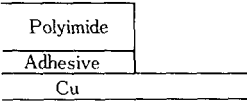
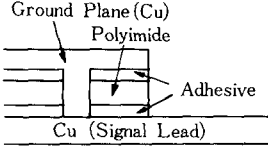
구분	TAB	Plastic Package
1. Electrical Test	<ul style="list-style-type: none"> • Inner lead bonding후 전기적 test & burn-in test가 가능함 • Bonding fail, chip fail을 기판실장 전에 점검할 수 있음 	<ul style="list-style-type: none"> • Packaging 완료후 test가 가능하며 소요경비가 크다.
2. 실장성	<ul style="list-style-type: none"> • 다 pin화에 최적임 • 600 pin 이상 • Pad pitch : 60μm 	<ul style="list-style-type: none"> • 200~300 pin (PGA) • Pad pitch : 125μm Min 
3. Bonding 방법	<ul style="list-style-type: none"> • Face/point bonding • Face bonding (일괄접속) : 1~2초/300 leads • Point bonding (SPT) : 15~20초/300 leads 	<ul style="list-style-type: none"> • Point bonding : 45~60초/300 leads
4. 박형 package	<ul style="list-style-type: none"> • 박형 package (IC card, display 등) : 0.5mm 두께 package 	<ul style="list-style-type: none"> • Wire loop 때문에 두께가 커짐 : 1.0mm 두께 (TSOP, TQFP)
5. 신뢰성	<ul style="list-style-type: none"> • Bondability : 20~100gr/lead • 고주파특성 : 양호 • W/B에 비해 lead 길이가 짧고 impedance가 작으며 횡단면적이 크고 모양과 간격이 균일하여 propagation delay와 signal distortion이 적어진다. Lead inductance : 0.017 	<ul style="list-style-type: none"> • Bondability : 5~10gr/lead • 고주파특성 : TAB에 비해 열세 • Wire 간격이 불균일함

표 4. TAB tape의 종류

Layer 수	종 류	그 림	특 징
Single Layer (Cu)	1 layer		<ol style="list-style-type: none"> 1. MESA technology 2. Single Cu pattern 3. Cu lead의 일부를 etching 하여 bump를 lead 선단에 형성 4. 가격이 안정되고 용도가 다양함. 5. Tape-pak으로 사용
	2 layer		<ol style="list-style-type: none"> 1. 미국 3M사 주류 2. 접착제가 없어 고온 안정성이 좋고 음이온 함유량이 적다. 3. Lead 단면적이 4각형으로 lead 강도가 높고 전류용량이 크다. (polyimide etching후 pattern 형성) 4. Sprocket center와 pattern center와의 dimension이 우수하다. 즉, 치수안정성이 우수하다.
	3 layer		<ol style="list-style-type: none"> 1. 일본이 주류 2. Cu pattern을 etching 하여 형성함. 3. Lead 단면적이 사다리꼴형 임. 4. Device hole 및 sprocket hole을 금형을 사용하여 punching 하기 때문에 치수안정성이 2 layer에 비해 열세이다.
Double Layer			<ol style="list-style-type: none"> 1. Impedance 및 crosstalk가 작다. 2. Higher lead count에 적합 3. Higher speed에 적합 4. Bonding 및 testing 기술에 유연성이 좋다. 5. 치수안정성이 우수하다.

1) 기재

표5,6에 각각 기재의 특징 및 특성에 대하여 나타내었다.^[4]

2) 접착제

3 layer 구조의 film carrier는 도체 (Cu pattern)와 기재의 중간에 접착제를 사용하여 밀착시키고 있다.

Film carrier용 접착제로서 내열성, 내약품성, 접착력 및 가연소성의 특성이 요구된다.

접착제는 기재와 동박과의 열팽창계수의 차이를 흡수하는 역할을 한다.

3) 동박

TAB용 동박(copper foil)은 최근 fine pitch화 요구가 증가하여 표면성상, 기계적 특성, 물리적 특성 및 장기 신뢰성에의 품질대응이 중요시 되고 있다.

Copper film은 전해동박과 압연동박으로 구분하며 IPC-CF-150E 규격에서 제조방법과 기계적 특성에

표 5. 기재의 특징

구 분	장 점	단 점
Polyimide Tape	<ol style="list-style-type: none"> 1. 현재 가장 많이 사용됨. 2. 대형 chip이나 outer lead bonding을 solder로 하는 경우에 사용한다. 3. 내열성, 내식성, 내약품성이 양호하다. 4. 전기적 특성이 우수하다. 	<ol style="list-style-type: none"> 1. 흡습율이 높다. (1.2~1.3%) 2. 가격이 높다.
Polyester Tape	<ol style="list-style-type: none"> 1. 가격이 양호하다. 2. 내약품성, 절연성, 흡습율이 우수하다. 	<ol style="list-style-type: none"> 1. 내열성이 나쁘다.
Glass Epoxy Resin	<ol style="list-style-type: none"> 1. 치수안정성이 우수하다. 2. 내약품성이 우수하다. 3. Polyimide에 비해 흡습률 및 가열감량이 적다. 	<ol style="list-style-type: none"> 1. 섬유질(glass)이 포함되어 있어 굽힘에 취약하다.

표 6. 기재의 특성비교

특 성	항 목	Polyimide		Polyester	Glass Epoxy
		KAPTON	UPILEX		
기계적특성	1. 인장강도 (Kgf/mm)	17.6	40	25	17
	2. 연신율 (%)	70	30	130	2
	3. 인장탄성율 (Kgf/mm)	302	900	400	2500
	4. MIT 내결곡 (回)	>10,000	>100,000	>100,000	-
전기적특성	절연파괴전압 (KV/mm)	276	272	310	20.3
열적특성	1. 용점 (°C)	-	-	263	-
	2. 유리전이온도 (Tg, °C)	420	500	69	140
	3. 열팽창계수 (cm/cm/°C)	2.0×10^{-5}	1.1×10^{-5}	1.7×10^{-5}	1.6×10^{-5}
	4. 열수축율 (%)	0.3	0.07	2.0	-
화학적특성	1. 흡습율 (%)	1.3	1.2	0.4	0.8
	2. 습도팽창계수 (cm/cm/%RH)	2.2×10^{-5}	1.1×10^{-5}	1.2×10^{-5}	1.0×10^{-5}
	3. 내약품성	양 호	양 호	양 호	양 호

표 7. 접착제의 종류 및 특징

종 류	특 징
Epoxy 접착제	• 온도가 상승하면 접착력이 떨어진다
Polyimide 접착제	• 내열성 및 peel 강도가 양호하다

표 8. 동박의 종류 및 특징

특 징	특 징
1. 일반 전해박	• 열안전성, 내약품성이 우수함
2. 전해 L.P박	• Matte면의 조도가 균일하고 fine pitch에 적합
3. 일반 압연박	• Fine pattern용에 적합하고 내굴곡성이 우수함
4. 고강도 압연박	• Fine pattern용에 적합하고 내열강도가 우수함

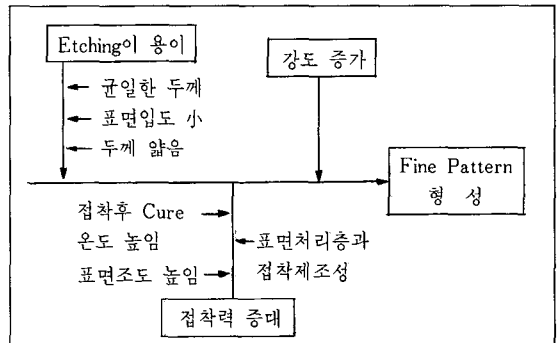
따라 class 1~4(전해), class 5~8(압연)으로 분류하고 있다.

TAB용 동박에서 요구되고 있는 특성은 pin 수, pattern 형상, 기재, 접착제등의 차이에 따라 동박을 선택할 필요가 있다.

최근 다 pin화 경향에 있어 TAB은 fine pitch화 요구가 커지며 lead의 폭도 세밀화되어 30μm lead폭의 초 fine-pattern이 되고 있다.^[5]

TAB의 lead 폭이 세밀해지면 제조공정중에 lead 구부러짐, bonding시 inner lead의 끊어짐이 발생되기 때문에 동박에 높은 강도가 요구된다. 또 TAB 제조 공정중에 가열하는 procdss가 포함되어 있기 때문에 내열강도도 고려해볼 필요가 있다.

표 9. Fine pattern 형성에 따른 동박의 특성



동박의 annealing 곡선^[5]에서 상온시 압연동박은 전해동박보다 높은 인장력을 갖지만 일반 압연동박은 약 130~150°C 가열시 인장력이 떨어진다.(그림 3 참조)

이에 비해 고강도 압연박과 일반전해박(전해 L.P 박도 동일모양)은 연화온도가 높다. 고강도 압연박은 300°C 이상에서 강도가 50% 떨어진다.(그림3참조)

동박두께는 얇아진 경향이 있으나 두께를 너무 얇게하면 lead 강도가 떨어지기 때문에 동박자체의 강도를 올릴 필요가 있다. Peel 강도는 동박 matte 면에 형성된 요철형상에 의한 anchor 효과가 크기 때문에 통상 matte면 입도를 크게 하면 peel 강도를 높일 수 있다. 그러나, 과도한 입도는 etching 잔존발생이 쉽고 fine pattern이 끊어지기 때문에 적절한 동박을 선택할 필요가 있다.

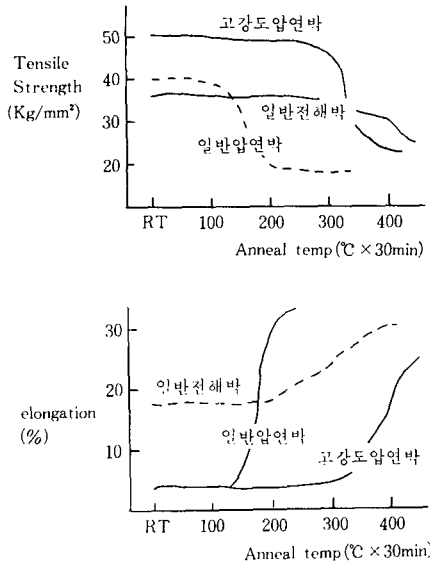


그림 3. 동박의 annealing 곡선

4. TAB 실장기술

1) Bump의 종류 및 접속방법

TAB은 통상 wafer 상이나 lead상에 접속돌기(bump)를 형성하여 IC chip과 TAB tape 사이에 끼워 일괄접속(gang bonding)하거나 개별접속(single point bonding)하는 방식을 사용한다.

표10은 bump 종류에 따른 bonding 방식을 나타내었다.

표10. Bump의 종류

구분	Wafer (or chip) Bump	Lead (or 전자) Bump
모형도		
특징	<ul style="list-style-type: none"> Chip bond pad상에 Au bump 형성 Bump size : 50×50 SQmm (Min) Bump 두께 : 20~25μm Bump hardness : 40~100Hv Polyimide tape 방향에 관계없이 bonding 가능함. (열압착 B/D) 	<ul style="list-style-type: none"> Cu lead 상에 Au bump 형성 Bump size : 60×60 SQmm (Min) Bump 두께 : 25~35μm Bump hardness : 40~100Hv Polyimide tape와 chip 방향과는 반대 면으로 bonding함. (열압착 B/D)

그림 4는 glass 기판상에 형성된 전자 bump와 TAB tape와의 접속 process⁶⁾에 대해 나타내었다.

2) Bump structure

Bump의 구조는 그림 5와 같이 bottom, middle, top 영역으로 구성되어 있다.⁷⁾

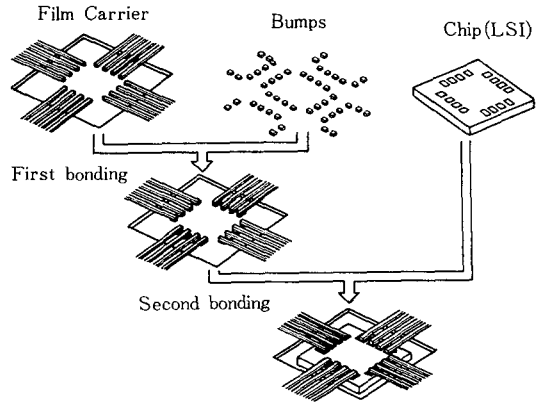


그림 4. 전자 bumped TAB의 접속 process

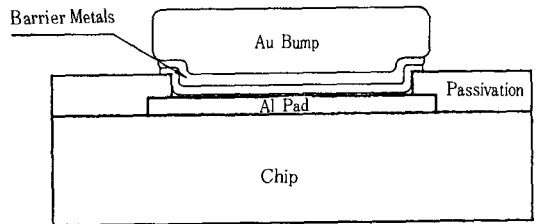


그림 5. Bump의 구조

그림에서 bottom 영역은 bump와 Al 전극과의 접착을 촉진시키는 밀착 금속층이고, middle 영역은 Au의 확산을 방지하는 확산 방지층이며 top 영역은 bump metal층을 나타낸다.

표11은 대표적인 barrier metal과 bump 금속에 대해 나타내었다.⁸⁾

5. TAB 조립공정

일반적인 TAB 조립공정은 다음과 같다.

1) ILB(inner lead bonding)공정

Reel to reel 형태로 이동되는 tape carrier와 wafer 상의 chip을 stage 상에서 위치정렬하여 bond tool

표11. 대표적인 UBM과 bump 금속

접속 pad 금속	UBM		Bump 금속
	밀착금속	확산방지금속	
Al	Cr	Cu	Au
Al	Cr	Ag	Au
Al	Ti	W	Au
Al	Ti	Pt	Au
Al	Ti	Pd	Au
Al	Cr	Ni	Cu
Al	Cr	Cu	Sn/Pb
Al	Ni	Cu	Sn/Pb

*UBM : Under Bump Metal

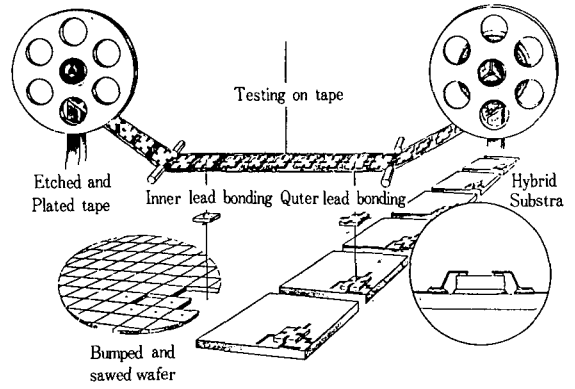


그림 6. TAB 조립 공정도

에 의해 열압착 bonding하는 공정으로 이때, chip의 정확한 위치정렬, chip의 예열 및 bond tool과 stage 간의 평행도를 고려해야 좋은 접속 신뢰성을 얻을 수 있다.

2) Encapsulation 공정

ILB 후 chip에 epoxy계 수지를 피막하여 주위환경

으로부터 chip pattern과 inner leads를 보호해 주는 역할을 하는 공정이다. 이 공정도 reel to reel 방식에 의해 이송되며, 자동 dispensing에 의해 자동으로도포된다.

3) OLB 공정

Encapsulation후 전기적 test를 마친 tape carrier

표12. TAB tape 설계규정

TAPE FORMAT									
단위 : mm									
Tape Width	Type	A tape width	B sprocket hole間 width	C test area	D user area	E sprocket hole pitch	F sprocket hole width	G sprocket hole length	R 곡률
35mm	Standard	34.975	25.37	2.01	23.5	4.75	2.794	1.981	0.5
	Wide	34.975	26.996	2.01	25.0	4.75	1.981	1.981	0.2
	Super	34.975	30.40	0.86	29.0	4.75	1.42	1.42	0.2
70mm	-	69.950	61.996	2.01	59.0	4.75	1.981	1.981	0.2

* TAB tape size의 결정은 user의 outer lead pattern (user option 포함) 대비 각 tape의 유효폭에 준하여 tape size를 결정한다.

그러므로 가장 중요한 항목은 D항이며, D항목의 크기에 따라 A, B항을 결정한다.

를 bond tool로 PCB상에 접속하는 공정 (reel to PCB)으로 die unit별로 tape가 절단된 후 packing out 된다.

표13. JEDEC vs EIAJ 표준화 규격 비교

항 목		JEDEC	EIAJ
1. Tape Width & Sprocket 현상		35/48/70mm tape super, wide type	35mm : super, wide type 48/70mm : wide type
2. 단위		mm	mm
3. Tape Width & PKG size	35mm	10.41/15.49/20.57	14.0/16.0/18.0
	48mm	25.65/33.27	20.0/24.0/26.0
	70mm	38.25/43.43/48.51/53.59	28.0/32.0/36.0/40.0/44.0/46.0
4. Test Pad Pitch		0.508/0.381/0.254	0.5/0.4
5. Test Pad 배치		PKG size, PKG 폭, test pad pitch에 의해 결정	Test 폭과 test pad pitch에 의해 결정
6. Outer Lead Pitch		0.508/0.381/0.254	0.5/0.4/0.3/0.25
7. Tape Width & Pattern 유효폭	35mm	28.3	27.6
	48mm	41.0	36.6
	70mm	61.32	58.6

6. TAB 설계

1) TAB tape 설계규정

표12에 TAB tape 설계에 따른 규정을 제시하였다.⁴⁾

2) TAB의 표준화

TAB은 자유로운 설계가 어렵고 적용범위가 제한되었으나 향후 memory 및 high pin의 ASIC device에 있어서 주요한 point로서 응용될 것이다.

특히 표준화되어 있는 IC는 user나 device maker에 있어서 큰 merit를 가진다. 현재 JEDEC에는 pattern 유효폭이 큰 35, 48, 70mm super type이 규격화 되었으며 test pad pitch는 0.254mm, 0.381mm, 0.508mm의 3종류로 하여 각 tape 폭과 package size를 규정하고 있다.

표13은 JEDEC 및 EIAJ의 규정을 제시하였다.

표14. TAB의 신뢰성시험 항목

시험 항목	시 험 조 건	판 정 항 목
고온 동작	• 125°C, 최대동작 전압에서 1,000시간 동작	• 전기적 특성
고온 방치	• 150°C, 1,000 시간 방치	• 전기적 특성
저온 방치	• -55°C, 1,000 시간 방치	• 전기적 특성
고온고습동작	• 85°C, 85%RH, 최대동작전압에서 1,000 시간	• 전기적 특성
고온고습방치	• 85°C, 85%RH, 1,000 시간 방치	• 전기적 특성
PCBT	• 120°C, 85%RH, 1.7atm, 100시간 연속동작	• 전기적 특성
PCT	• 120°C, 85%RH, 1.7atm, 100시간 방치	• 전기적 특성
온, 습도 cycle	• MIL-STD-202E, 10 cycle	• 전기적 특성
온도 cycle	• -55°C ↔ R. T ↔ 150°C 30분 5분 30분, 30 cycle	• 전기적 특성
열충격	• 125°C ↔ 0°C 5분 10초 5분, 10 cycle	• 전기적 특성
Solder 내열성	• 260±5°C, 10±1초, solder 부착부 침적	• 전기적 특성
Solder 부착성	• 230±5°C, 5±1초, solder 부착부 침적	• 침적부분 95% 이상
가변주파진동	• 10~55Hz, 진폭 1.5mm, 주기 1분, 3방향 각 6시간	• 전기적특성 및 외관
진동피로	• 10G, 50Hz, COF FILM 면과 수직방향 24시간	• 전기적특성 및 외관
충격	• 500G, 1ms, 6방향, 각 1회	• 전기적특성 및 외관
정가속도	• 5,000G, 6방향, 각 1분	• 전기적특성 및 외관
곡률	• 반경 25mm, 이면/표면 각 3회	• 전기적 특성 및 외관
절연저항	• 25±2°C, 60±5%RH, 인가전압 10V	• 절연저항 100 Mohm ↑
정전파괴강도	• 250pF/100ohm, 400V, 각 5회 인가	• 전기적 특성

표15. 향후 TAB기술 동향

기술동향	내 용	특기 사항
1. TAB Mold	<ul style="list-style-type: none"> • PKG내부는 fine pitch화 되어 있고 TAB과 L/F에 outer lead bonding후 transfer mold 한 다 pin package이다. 	<ul style="list-style-type: none"> • PKG 두께 : 1mm 이내 • TAPE-PAK • TQFP
2. Bonding 기술	<ul style="list-style-type: none"> • Gang bonding 방식 : chip size가 커지고 다 pin(200 pin이상)이 되면 신뢰성이 저하됨. ↓ • Single point bonding : 신뢰성이 양호하나 UPH가 낮다. • Multi-head bonding 방식 : 신뢰성이 양호하나 high technology가 필요 	<ul style="list-style-type: none"> • Bond 시간 : 1초이내 • Bond 시간 : 0.1초/1 lead
3. 고속화 대응기술	<ul style="list-style-type: none"> • Film의 한면에 copper pattern 형성 ↓ • Ground pattern을 한 양면 copper pattern tape 사용 (ground, 전원, 신호 line을 층별로 배치) 	<ul style="list-style-type: none"> • Device 고속화에 적합 • Noise가 적다.

또한 JEDEC에는 TAB tape를 burn-in test 해야 하기 때문에 1 pattern을 절단하여 넣은 slide carrier 형상도 규정하고 있다.

그러나 JEDEC에는 OLB pitch와 test pad pitch가 같기 때문에 fine pitch에 대한 socket 개발이 필요불 가결 하기 때문에 비실용적이다.

7. 신뢰성 항목 및 규격

표14에 TAB의 신뢰성시험 항목에 대해 제시하였다.^[8]

TAB은 사용하고 있는 재료와 구조상 기존의 DIP 나 QFP 등의 package mold에 비해 동등한 신뢰성을

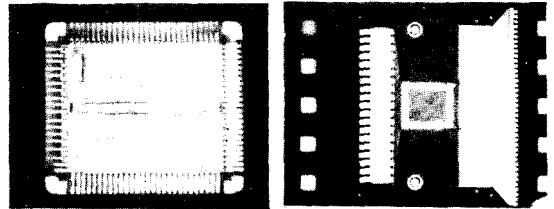
얻기에는 한계가 있다.

최근의 경우, 신뢰성 시험온도는 film材에 의해 결정되고 있으며, 이들 신뢰성시험에서 얻어진 자료를 검토하여 제조공정에 feed back 함으로써 신뢰성을 향상 시킬 수 있다.

Ⅲ. 결 론

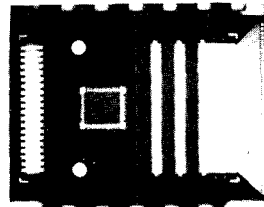
전자기기의 고기능화와 고부가가치화를 실현하는 ASIC화, system on chip이 진전되고 있으며, package는 박형, 다 pin화, 소형화 추세를 보이고 있다. 이에 따라 TAB은 박형, 다 pin에 따른 기술 및 수요가 증가하여 향후 bonding 기술을 점유할 것으로 예상된다.

표15에 향후 TAB 기술의 동향에 대해 제시하였다.Ⓢ



(a)

(b)



(c)

사진설명

- (a) ILB 상태 (pp Pin TAB)
- (b) 99 Pin TAB Package
- (c) 100 Pin TAB Package

筆 者 紹 介



吳 東 烈

1953年 7月 15日生

1979年 2月 조선대학 전자공학과 졸업

1991年 4月 현재 삼성전자 반도체부문 package 개발 실장