

Submicron에서의 소자 기술 동향

申 炯 淳

金星일렉트론(株) 半導體研究所

I. 서 론

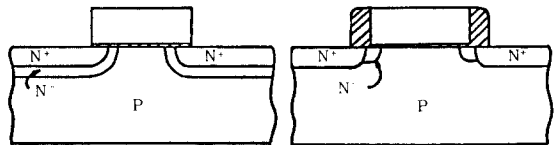
지난 세대동안 MOS IC 제조기술의 발전은 IC 구성 요소의 최소크기를 매해 10% 정도의 비율로 축소하여 왔으며 1990년대에도 그 경향은 계속될 것으로 예상된다. 따라서 MOS 소자의 크기(gate 길이 L_g)도 IC 성능의 향상과 집적도의 증가를 위해 submicron($L_g < 1\mu m$) 영역을 거쳐 deep submicron($L_g < 0.35\mu m$) 영역으로 줄어들게 되었다(표1). 그러나 소자크기가 submicron 영역으로 줄어들며 따라 short-channel effect와 punchthrough 전압, series 저항, 전류 구동 능력, hot-carrier 등의 특성들을 동시에 최적화하는 것이 어렵게 되었으며 따라서 여러가지 소자 구조들이 발표되었다.

본 고에서는 기존에 발표된 소자구조에 대하여 기술하고 이 구조들이 deep submicron 영역에서 갖는 제한에 대하여 설명한 다음, deep submicron에서 사용될 수 있는 새로운 소자구조에 대하여 기술하겠다.

II. Drain Engineering 구조

큰 전계에 의한 hot-carrier 문제가 대두되기 시작한 것은 전원이 5V로 유지되면서 소자 크기가 $1.5\mu m$ 에서 $1.0\mu m$ 으로 줄어든 1980년대초 부터이다. 따라서 전계의 크기를 줄이기 위하여 double-diffused drain(DDD)^[1], lightly doped drain(LDD)^[2], (그림1) 그리고 그외의 변형된 LDD 구조들이^[3-5] 발표되었다. 이러한 구조들은 중간 농도를 갖는 N⁻ drain 영역을 P-type인 channel 영역과 N⁺ drain 영역 사이에 삽입하여 drain 전압이 긴 거리에 걸쳐 줄어들도록 하여 최대 전계를 감소시키는 방법을 사용하였으므로 drain engineering 구조라 부를 수 있다. DDD 구조는 drain 영역에 깊은 phosphorus와 얇은 arse-

nic implant를 행하는 쉬운 방법으로 제조할 수 있어서 $1.5\sim 1.2\mu m$ 의 소자에서 사용되기 시작하였다. 그러나 소자 크기가 $1.0\mu m$ 이하로 작아짐에 따라 DDD 구조의 깊은 phosphorus 접합 깊이 때문에 gate 크기에 따른 V_{th} 변화, drain-induced barrier lowering, 낮은 punchthrough 전압, 그리고 off-state에서의 source-drain 누설전류등의 short channel effect가 문제되었다. 따라서 LDD와 그외의 변형된 LDD 구조들이 사용되기 시작하였으며 5V 전원에 $0.8\mu m$ 정도의 gate 길이를 갖는 소자에 보편적으로 사용되었다.



(a) Double diffused drain (DDD) 구조^[1]

(b) Lightly doped drain (LDD) 구조^[2]

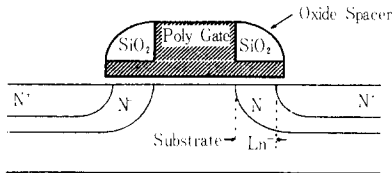
그림 1. Drain engineering 소자구조의 단면도

III. Gate Engineering 구조

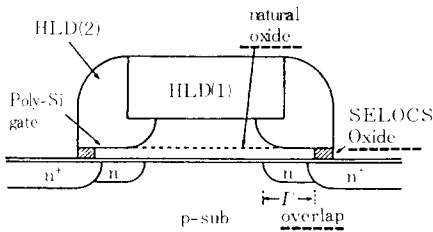
소자 크기가 $0.5\sim 0.6\mu m$ 으로 줄어들며 따라 drain engineering 소자 구조들은 hot-carrier 측면에서 문제가 되기 시작하였다. 기존의 5V 전원을 유지하면서 전계를 줄이는 것이 매우 어려워지고 따라서 $0.5\sim 0.6\mu m$ gate 길이에서 전원 전압이 5V에서 3.3V로 작아지게 되었다. $0.5\mu m$ 급의 drain engineering 구조가 갖는 또하나의 문제점은 channel 길이 감소에 따른 channel 저항 감소로

N-영역의 series 저항이 total 저항의 큰부분을 차지하게 되어 전류 구동능력을 떨어 뜨리는 것이다. 이러한 결점을 보완하기 위하여 inverse-T LDD 구조(ITLDD)^[6]나 gate-drain overlapped 구조(GOLD)^[7]가 발표되었다.

그림2에서 볼 수 있듯이 이 구조들은 gate의 얇은 부분이 N 영역 위에 존재하게 하여 N-부분의 series 저항을 줄이도록 하였으므로 gate engineering 구조라 할 수 있다. 이러한 gate engineering 구조의 문제점은 공정이 복잡하고 같은 effective channel 길이에서 drain engineering 구조에 비하여 얇은 gate 부분을 포함한 전체 gate 길이가 길다는 점이다. 이러한 단점을 보완하기 위하여 N implant를 30~45도로 기울여서 행하는 large tilt-angle implanted drain(LATID)^[8] 구조가 발표되었다. 이 구조는 기존의 gate engineering 구조에 비하여 공정이 간단한 잇점을 가지고 있으나 tilt implant에 의한 gate oxide 끝부분에서의 charging 현상의 문제점이 있다.



(a) Inverse-T LDD구조^[6]



(b) Gate-Drain overlapped device (GOLD) 구조^[7]

그림 2. Gate engineering 소자구조의 단면도

표 1. MOSFET 소자 구조의 기술 동향

DRAM집적도	4M	16M	64M	256M
Lg	1μm	0.6μm	0.35μm	0.2μm
전원전압	5V	3.3V	3.3V	1.2V
소자구조	Drain Engineering Gate Engineering Substrate Engineering Elevated S/D			

IV. Drain / Gate Engineering 구조의 Deep Sub-micron(L_g < 0.35 μm)에서의 문제점

0.35 μm급의 소자에서 요구되는 특성을 요약하면 표2와 같다. II장과 III장에서 기술된 drain / gate engineering 구조들을 0.35 μm에 적용함에 있어서 가장 문제가 되는 것은 표2에서 기술된 다른 특성들을 만족시키면서 hot-carrier effect를 줄이는 것이다.

표 2. 요구되는 deep submicron(0.35 μm) 소자특성

- 전원전압 : 3.3V (V_{o,max} = 4V)
- V_{th} ≈ 0.65V (상온)
- ΔV_{th} (I_g = 0.35 + 0.07 μm) ≤ 50mV
- ΔV_{th} (V_b = 0.05 ~ 4V) ≤ 50mV (DIBL)
- I_{sub} < 50 ~ 200nA/μm (10년 수명)
- I_{leak} ≤ 1 ~ 10pA/μm (V_b = 4V, V_g = 0V, T = 100°C)
- I_{sat} ≈ 0.5mA/μm (V_b = 4V, V_g = 4V)
- V_{pt}, V_{snaphack} > 5V (V_g = 4V)
- 작은 series저항
- 동작온도 : 0 ~ 125°C

앞에서 기술한 바와 같이 기본적으로 drain / gate engineering 구조는 N-영역을 이용하여 전체의 크기를 줄이는 것을 목적으로 하므로 다음과 같은 조건들을 만족시켜야 한다.

1) Sidewall spacer에 형성되는 trapped charge를 방지하기 위하여^[9] 전체의 최대치가 항상 gate 밑에 있도록 하여야 한다. 따라서 주어진 N+ 접합깊이에 대하여 sidewall 두께의 최대치가 결정된다.

2) 주어진 N-접합깊이에 대하여 gate 밑에 있는 N-영역의 최소길이는 전체를 충분히 줄일 수 있을 만큼 길어야 한다. N-영역의 길이는 lateral diffusion에 의해 N-접합깊이의 75% 정도로 제한된다. 단 LATID의 경우에는 implant 각도의 변화에 의해 75% 이상이 될 수 있다.

3) N-영역의 농도는 주어진 N-길이에 대하여 전체가 충분히 감소되어 hot-carrier effect를 줄이도록 최적화되어야 한다. 여기서 또 고려되어야 할 사항은 band-to-band tunneling에 의한 GIDL 전류^[10]에 따라 N-농도가 제한된다는 점이다.

위에 열거한 세가지 조건이외에 기본적으로 모든 deep submicron 소자 (L_g < 0.35 μm)에 적용되는 조건이 있다. 그것은 N-와 N+의 최대 접합깊이와 농도 변화정도가 charge sharing effect(L_g에 따른 V_{th} 감소와

DIBL에 의한 ΔV_{th} 등)에 의해 제한된다는 점이다. 앞에서 기술한 바와 같이 LDD type의 구조들은 최대 전계를 감소시키기 위해 완만한 농도 변화를 갖는 N-영역을 gate 밑에 위치시키는 것을 기본으로 하고 있다. 그러나 deep submicron 소자에 있어서는 L_{eff} 가 $0.3\mu m$ 이하로 감소하기 때문에 완만한 농도 변화를 갖는 N-가 P-type의 channel 농도를 compensate하게 된다. 따라서 소자의 특성이 charge sharing effect에 의해 열화되게 된다. 이 문제를 해결하기 위해서는 N-와 N+의 접합깊이를 최소화 하는 동시에 N-영역이 abrupt junction이 되도록 하여야 한다.^[11]

위에 기술한 조건들 때문에 drain / gate engineering 구조를 deep submicron에 적용하는 것이 문제가 된다. 즉 charge sharing effect를 줄이기 위하여, N-접합깊이를 얇게 ($< 750 \text{ \AA}$)하면서 동시에 abrupt 접합을 형성하게 됨으로써 N-영역이 최대전계를 감소시키는데 최적화되지 못하는 것이다. 다시 말해서 drain / gate engineering 구조가 N+접합만을 갖는 conventional 구조처럼 되어 큰 전계에 의한 hot carrier effect를 막을 수 없는 것이다. 이 문제를 해결하기 위해서는 전원 전압이 3.3V 이하로 낮아져야 하며 따라서 2-2.5V의 전원 전압을 사용하는 deep submicron 소자들이 이미 발표되어 있다.^[12-14] 그러나, 이러한 연속적인 전원 전압강하가 IC 사용자에게 의해 받아들여질 지는 의문이다.

V. Substrate Engineering 구조

이제까지는 N-영역의 농도와 깊이를 조절하여 hot-carrier effect를 줄이는 것을 목적으로 하는 drain / gate engineering 구조에 대하여 설명하였다. 이에 반하여 substrate의 농도를 조절하여 short-channel effect를 줄이는 새로운 구조(NUDC)^[15]가 최근에 발표되었다.

그림 3에서 볼 수 있듯이 이 구조는 낮은 농도를 갖는 channel 영역 II 좌우에 tilt implant를 이용하여 높은 농도를 갖는 channel 영역 I, III을 형성하므로 substrate engineering 구조라 할 수 있다. 이 구조의 잇점은 gate 길이가 줄어들어 따라 낮은 농도의 영역 II는 감소하고 높은 농도의 영역 I, III이 channel의 큰 부분을 차지하게 되어 short channel에서 오히려 V_{th} 가 증가하는 reverse short channel effect를 보이는 것이다. 따라서 N-접합 깊이가 극소화 되지 않아도 deep submicron에서 적절한 V_{th} 를 유지할 수 있다. 또한 낮은 농도를 갖는 II 영역에서는 mobility가 크므로 전류 구동 능력이 기존의

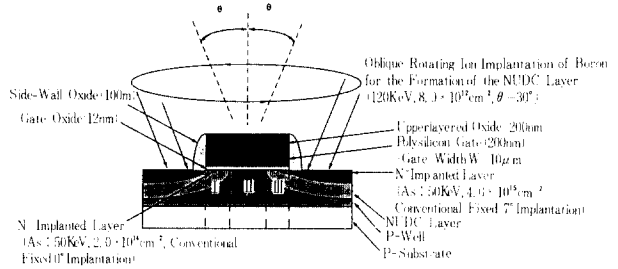


그림 3. Substrate engineering 소자구조의 단면도^[15]

소자에 비해 크다는 점이다. 그러나 이 구조는 short channel effect 측면에서는 특성상상이 뛰어나지만 hot carrier 측면에서의 향상은 기존의 drain / gate engineering 구조에 비하여 크지 않으므로 deep submicron에서 3.3V 전원의 적용 가능성은 미지수이다. 이 외에도 얇은 두께의 SOI(silicon on insulator)를 사용하여 short channel effect를 줄이는 구조들이^[16, 17] 발표되고 있으나 deep submicron에의 적용을 위해서는 아직 많은 연구가 필요하다.

VI. Elevated S / D 소자 구조

앞에서 기술한 바와 같이 deep submicron에서 short-channel effect와 hot carrier effect를 동시에 줄이는 것이 문제이다. 특히 short channel effect를 줄이기 위하여 얇은 접합을 형성하는 기술로 silicide, RTP(rapid thermal processing), preamorphization 등에 대한 연구가 활발하다. 이와 같이 공정에 의한 접합깊이 감소 이외에 소자 구조상에서 S/D 영역을 gate 보다 높게 형성시키는 elevated S/D 구조에 대한 연구가 최근 활발하게 진행되고 있다.

1977년에 최초의 elevated S/D 구조가 제안된 이후 여러가지로 변형된 형태의 elevated S/D 구조가 발표되었다.^[18-35] 표3에 기준에 발표된 소자구조들을 공정방법에 따라 세 그룹(recessed gate, poly source / drain, epitaxial source / drain)으로 구분하여 정리하였다. 첫 번째 그룹의 소자 구조들은 silicon을 식각하여 gate 부분을 S/D부분에 비하여 깊게 형성한 구조들로 S/D 접합이 gate 부분보다 높은 곳에 형성된다(그림 4(a)). 따라서 이런 형태의 소자들은 short channel effect 면에서 매우 우수한 특성을 보인다. 그러나 이러한 구조들을

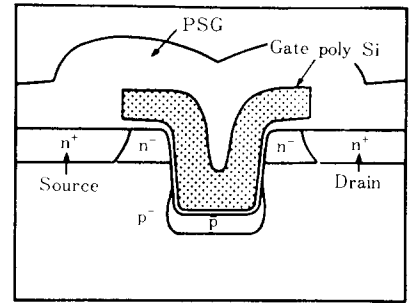
표 3. 발표된 elevated source drain 소자 구조

그룹	소자구조	참고문헌
Recessed gate	UMOST	[18]
	GG MOS	[19]
	Concave MOS	[20]
	DSC MOS	[21]
	TSAC MOS	[22]
Polysilicon S/D	DLC MOS	[23]
	SAP MOS	[24]
	CIS MOS	[25, 26]
	SAPSD MOS	[27]
Epitaxial S/D	UPMOS	[28]
	SAS MOS	[29]
	ESD MOS	[30]
	SSGP MOS	[31]
	STSD MOS	[32]
S/D	SSD MOS	[33]
	RSD MOS	[34]
	SAESD MOS	[35]

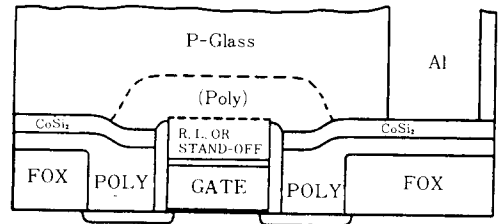
deep submicron에 적용할 경우 recess된 gate의 corner 부분에서의 oxide integrity^[36, 37] 그리고 effective channel 길이 증가에 따른 전류구동 능력 저하등이 문제가 된다. 두번째 그룹의 구조들은 gate 형성후 S/D 부분에 poly를 deposition 하여 S/D 부분을 높이는 구조이다. 이 경우 poly로 부터 silicon substrate로의 dopant diffusion을 이용해 얇은 접합을 유지하게 된다. 어떤 구조^[28]에서는 gate와 N-부분과의 충분한 overlap을 유지하여 전류구동능력을 높이기 위하여 sidewall 형성전에 N-implant를 적용하기도 한다. 그러나 두번째 그룹의 소자구조들을 deep submicron에 적용하는 데는 높은 drain 전압의 누설전류가 문제된다. 왜냐하면 deep submicron에서 요구되는 접합깊이가 매우 작으므로 (< 750 Å) 높은 drain 전압에서 silicon substrate에 있는 drain 영역이 완전히 deplete된다. 따라서 depletion edge가 poly층에 접하게 되어 많은 누설전류를 발생시키게 된다. 이와같은 누설전류 문제를 피하기 위해서는 elevated S/D 영역이 single crystal 이어야 한다. 세번째 그룹의 소자들은 selective epitaxy^[38]를 이용하여 S/D 부분을 높이는 구조들이다. 따라서 두번째 그룹에서 문제된 누설전류를 피할 수 있다.

그러나 hot-carrier effect 측면에서 볼 때 표3에 있는 세 그룹의 소자구조 모두가 deep submicron에 적용하기에 어렵다. 예를 들어 두번째와 세번째 그룹(poly S/D, epitaxial S/D)의 소자구조들은 gate보다 깊은 곳에 접합을 갖고 있으므로 보통의 LDD 구조와 마찬가지로 IV장에서 기술한 조건들 때문에 hot-carrier 측면에서 문

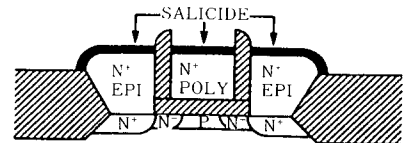
제가 있다. 두 그룹에 속하는 몇가지 구조^[27, 29, 30, 32, 33]들이 As과 Ph의 double implant를 이용하여 LDD 형태의 구조를 갖지만 이런 구조들 역시 최대 전계를 줄이는데 한계가 있다. 따라서 이 두그룹에 속하는 소자들의 I_{sub} 중 가장 작은 전류값은 $1E-7 A / \mu m (L_g = 0.5 \mu m)$ ^[32]로서 표2에 주어진 값보다 크다. 반면에 첫번째 그룹의 소자들은 S/D 접합이 gate보다 위에 위치하므로 IV장에 기술한 조건에 의하여 소자의 최적화가 제한되지 않는다. 따라서 DLC구조^[23]의 경우와 같이 elevated S/D 영역에 N+ 뿐만아니라 N-영역을 갖고 있는 구조에서는 $I_{sub} = 3E-8 A / \mu m (L(\text{bottom length of recessed gate}) = 0.45 \mu m)$ 와 같이 낮은 I_{sub} 를 보이고 있다. 그러나, 이 구조는 그림4(a)에서 보는 바와 같이 접합으로부터 gate 밑 부분까지의 거리를 포함한 L_{eff} 가 크다 ($0.95 \mu m$). 따라서 이 소자의 구동전류능력($I_{sat} = 0.28 mA / \mu m$)은 표2의 조건보다 낮다. 이러한 구조를 deep



(a) Recessed gate구조^[23]



(b) Polysilicon S/D구조^[28]



(c) Epitaxial S/D구조^[35]

그림 4. Elevated source / drain 소자구조의 단면도

submicron에 적용하기 위해서는 I_{sub} 를 계속 낮게 유지 하면서 전류주동능력을 높여야 하지만 이는 매우 어려운 작업이다. 또한 앞에서 기술한 바와 같이 recessed gate corner 부근에서의 oxide integrity 등 reliability 측면에서 문제가 예상된다.

Ⅶ. 새로운 Hot-Carrier-Suppressed 소자 구조

앞장에서 기존의 소자들을 deep submicron에 적용할 때의 문제점에 대하여 기술하였다. 이 장에서는 deep submicron에서 요구되는 다른 특성을 만족시키면서 3.3V 전원 전압에서도 hot-carrier effect를 충분히 줄일 수 있는 새로운 소자 구조에 대하여 기술하겠다. 이 구조는 그림5에서 볼 수 있듯이 매우 낮은 농도를 갖는 N-영역이 얇은 접합깊이를 갖는 N 영역 위에 위치한다는 점에서 기존의 LDD type의 소자 구조와 다르다. 이 구조에서 N 영역은 접합깊이가 매우 작고 steep한 접합을 유지하고 있다. 그러나 N 영역위에 위치한 N-영역에 의해서 전계의 크기가 감소되어 hot-carrier 측면에서 향상이 된다. 얇은 접합깊이(400-600Å)를 갖는 N 영역의 최대 농도를 $1E18\text{ cm}^{-3}$ 이하가 되도록 하여 GIDL 전류를 줄이고 이 영역에서의 최대 전계를 줄이도록 하고 있다. N-영역은 약 1000Å의 두께를 가지며 농도는 $1E16\text{ cm}^{-3}$ 정도이다. N-영역 위에는 sheet 저항과 contact 저항을 줄이기 위하여 N+영역을 갖고 있다.

이 구조(HCS MOSFET)의 특징은, 매우 낮은 농도를 갖는 N-영역이 전계를 효과적으로 감소시키면서도 다음과 같은 이유로 series 저항 증가는 크지 않다는 점이다. 낮은 drain 전압에서는 전압의 대부분이 N 영역에서 유지되어 N-영역은 deplete 되어 있지 않다(space-charge neutral). 그러나, 위 아래에 있는 N+, N 영역으로 부터의 carrier spillover와 낮은 N-농도에 의한 높은 carrier mobility 때문에 N-영역의 series 저항은 예상치보다 매우 작다. 또한 $V_g > V_d$ 인 경우에는 sidewall oxide를 따라 전자가 accumulate 되므로 이 역시 N-영역의 series 저항을 줄이게 된다. 높은 drain 전압에서는 N-영역이 deplete 되지만 carrier가 얇은 N-영역을 saturation 속도로 지나가게 되므로 series 저항은 낮다. 개선된 implant profile model^[99]과 mobility model^[100]이 적용된 SUPREM과 PISCES를 사용하여 HCS MOSFET 구조에 대하여 simulation을 행하였다. 계산된 I_d-V_g 특성은 3.3V에서 이 소자의 전류주동능력이 deep submicron에서 요구되는 특성(표2)을 만족함을 알 수 있

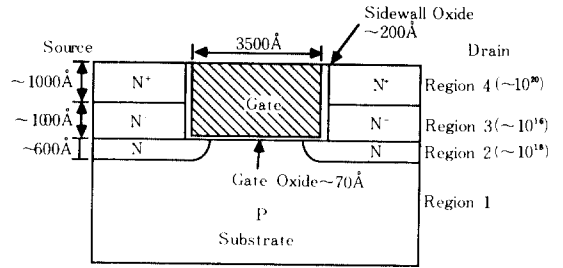


그림 5. 새로운 hot-carrier-suppressed 소자구조의 단면도(HCS MOSFET)

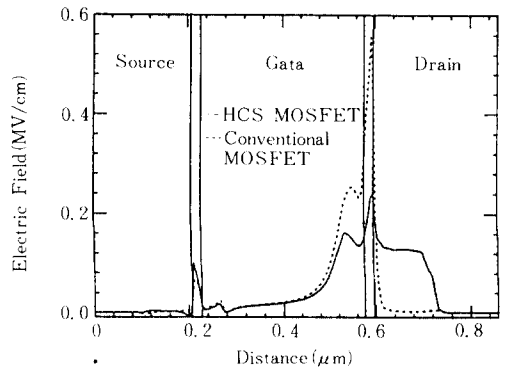


그림 6. HCS MOSFET의 major current path 상의 전계분포

었다.

Hot-carrier 측면에서의 특성을 보이기 위해 그림 6에서는 새로운 구조(HCS MOSFET)와 기존 구조(그림 5의 N-영역이 N+영역으로 대체된 구조)의 전계를 주 전류 path 상에서 비교하고 있다(I_{sub} 가 최대인 V_g 전압 조건). 그림에서 볼 수 있듯이 새로운 구조에서는 N-영역에서의 전압강하로 인하여 최대 전계가 기존구조에 비하여 매우 작다. Local field와 non-local field model을 이용하여 impact ionization rate와 I_{sub} 를 계산한 결과 새로운 구조에서는 I_{sub} 가 기존 구조보다 1/10 이하로 작아져서 표2의 특성을 만족함을 알 수 있었다.

또한 앞에서 기술한 바와 같이 N 영역이 얇고 steep한 농도 profile을 유지하므로 short-channel effect 측면의 특성이 우수하다. 0.65V의 V_{th} 와 0.35μm의 gate 길이를 갖는 구조에 대하여 simulation을 행한 결과 ±20%의 gate 길이 변화에 대하여 $\Delta V_{th} < 50\text{mV}$, DIBL에 의한 $\Delta V_{th} < 30\text{mV}$ ($V_d=0.05-4\text{V}$), 그리고 source-drain 누설 전류 $< 10\text{pA} / \mu\text{m}$ ($V_g=0, V_d=4, \text{at } 100^\circ\text{C}$)이었던

다. 따라서 새로운 구조가 표2의 요구되는 특성을 만족하면서 hot-carrier effect를 줄일 수 있음을 확인하였다. HCS MOSFET는 selective epitaxial 공정을 이용하여 만들 수 있다.


Ⅶ. 결 론

소자의 gate 길이를 deep submicron($< 0.35 \mu\text{m}$)으로 축소함에 따라 기존의 소자구조들은 short channel effect와 hot carrier effect를 동시에 줄이는 것이 어려우므로 전원 전압의 강하가 필수적이다. 이에 반하여 본고에서 제시된 새로운 소자구조는 전원 전압의 강하없이 deep submicron에 적용될 수 있다. 그러나 새로운 구조 역시 deep submicron 이하로 계속 scaling을 할 경우 전원 전압의 강하가 필수적인 것이다. 전압강하가 필요한 gate length에 대해서는 좀 더 연구가 필요하며 gate 길이가 $0.2 \mu\text{m}$ 이하로 되는 소자구조의 simulation을 위해서는 energy balance 식을 포함하는 simulation tool이 필수적이다. $0.2 \mu\text{m}$ 이하의 소자에서는 velocity overshoot와 같은 non-stationary transport 현상이 중요하게 되며 전류 구동 능력 증가에 도움이 될 것이다. MOS 구조의 scaling limit를 예측하는 것은 매우 어려우나, $0.1 \mu\text{m}$ 정도 일 것으로 예상된다. 이보다 작은 gate 길이에서의 지속적인 집적도 향상을 위해서는 전혀 새로운 개념의 소자 구조가 필요할 것이다.

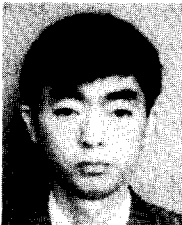
參 考 文 獻

- [1] E. Takeda, H. Kume, T. Toyabe, and S. Asai, "Submicrometer MOSFET structure for minimizing hot-carrier generation," *IEEE Trans. Elect. Dev.*, vol. ED-29, p. 611, 1982.
- [2] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, "Design and characteristics of the lightly doped drain-source(LDD) insulated gate field-effect transistor," *IEEE Trans. Elect. Dev.*, vol. ED-27, p. 1359, 1980.
- [3] M. Kinugawa, M. Kakumu, S. Yokogawa, and K. Hashimoto, "Submicron MLDD NMOSFETs for 5V Operation," 1985 Symp. VLSI Tech., p. 116, 1985.
- [4] Y. Toyoshima, N. Nihira, and K. Kanzaki, "Profiled Lightly Doped Drain(PLDD) Structure for High Reliable NMOS-FETs," 1985 Symp. VLSI Tech., p.118, 1985.
- [5] C. Y. Wei, J. M. Pimbley, and Y. Nissan-Cohen, "Buried and graded/buried LDD structures for improved hot-electron reliability," *IEEE Elect. Dev. Let.*, vol. EDL-7, p. 380, 1986.
- [6] T. Y. Huang, W. W. Yao, R. A. Martin, A. G. Lewis, M. Koyanagi, and J. Y. Chen, "A Novel Submicron LDD Transistor with Inverse-T Gate Structure," 1986 IEEE IEDM Technical Digest, p. 742, 1986.
- [7] R. Izawa, T. Kube, and E. Takeda, "Impact of the gate-drain overlapped device(GOLD) for deep submicrometer VLSI," *IEEE Trans. Elect. Dev.*, vol. ED-35, p. 2088, 1988.
- [8] T. Hori, K. Kurimoto, T. Yabu, and G. Fuse, "A New Submicron MOSFET with LATID(Large-Tilt-Angle Implanted Drain) Structure," 1988 Symp. VLSI Tech., p. 15, 1988.
- [9] F. C. Hsu and H. R. Grinolds, "Structure-enhanced MOSFET degradation due to hot-electron injection," *IEEE Elect. Dev. Let.*, vol. EDL-5, p. 71, 1984.
- [10] R. Shirota, T. Endoh, M. Momodomi, R. Nakayama, S. Inoue, R. Kirisawa, and F. Masuoka, "An Accurate Model of Subbreakdown Due to Band-to-Band Tunneling and Its Application," 1988 IEEE IEDM Technical Digest, p. 26, 1988.
- [11] A. F. Tasch, H. Shin, T. J. Bordelon, and C. M. Maziar, "Limitations of LDD types of structures in deep-submicrometer MOS technology," *IEEE Elect. Dev. Let.*, vol. EDL-11, p. 517, 1990.
- [12] N. Kasai, N. Endo, and H. Kitajima, "0.25 μm CMOS Technology using P⁺ Polysilicon Gate PMOSFET," 1987 IEEE IEDM Technical Digest, p. 367, 1987.
- [13] B. Davari, W. H. Chang, M. R. Wordeman, C. S. Oh, Y. Taur, K. E. Petrillo, D. Moy, J. J. Buchignano, H. Y. Ng, M. G. Rosenfield, F. J. Hohn, and M. D. Rodriguez, "A High Performance 0.25 μm CMOS Technology," 1988 IEEE IEDM Technical Digest, p. 56, 1988.
- [14] Y. Okazaki, T. Kobayashi, M. Miyake, T. Matsuda, K. Sakuma, Y. Kawai, and M. Takahashi, "A High Performance 0.22 μm Gate CMOS Technology," 1989 Symp. VLSI Tech., p. 13, 1989.
- [15] Y. Okumura, M. Shirahata, T. Okudaira, A. Hachisuka, H. Arima, T. Matsukawa, and N. Tsubouchi, "A Novel Source-to-Drain Nonuniformly

- Doped Channel(NUDC) MOSFET for High Current Drivability and Threshold Voltage Controllability," 1990 IEEE IEDM Technical Digest, p. 391, 1990.
- [16] P. H. Woerlee, C. Juffermans, H. Lifka, W. Manders, F. M. Oude Lansink, G. M. Paulzen, P. Sheridan, and A. Walker, "A Half-Micron CMOS Technology using Ultra-Thin Silicon on Insulator," 1990 IEEE IEDM Technical Digest, p. 583, 1990.
- [17] Y. Yamaguchi, T. Iwamatsu, H. Oda, Y. Inoue, T. Nishimura, and Y. Akasaka, "Structure Design for Submicron MOSFET on Ultra Thin SOI," 1990 IEEE IEDM Technical Digest, p. 591, 1990.
- [18] C. A. T. Salama, "A new short channel MOSFET structure(UMOST)," *Solid-State Electronics*, vol. 20, p. 1003, 1977.
- [19] S. Nishimatsu, Y. Kawamoto, H. Masuda, R. Hori and O. Minato, "Grooved gate MOSFET," *Japan. J. Appl. Phys.*, vol. 16, p. 179, 1977.
- [20] K. Natori, I. Sasaki, and F. Masuoka, "An analysis of the concave MOSFET," *IEEE Trans. Elect. Dev.*, vol. ED-25, p. 448, 1978.
- [21] E. Takeda, H. Kume, and S. Asai, "New grooved-gate MOSFET with drain separated form channel implanted region(DSC)," *IEEE Trans. Elans. Elect. Dev.*, vol. ED-30, p. 681, 1983.
- [22] M. Yanagisawa, K. Nakamura, and M. Kikuchi, "Trench Transistor Cell with Self-Aligned Contact(TSAC) for Megabit MOS DRAM," 1986 IEEE IEDM Technical Digest, p. 132, 1986.
- [23] K. Sunouchi, H. Takato, A. Nitayama, K. Hieda, F. Horiguchi, and F. Masuoka, "Double LDD Concave(DLC) Structure for Sub-Half Micron MOSFET," 1988 IEEE IEDM Technical Digest, p. 226, 1988.
- [24] C. S. Oh and C. K. Kim, "A new MOSFET structure with self-aligned polysilicon source and drain electrodes," *IEEE Elect. Dev. Let.*, vol. EDL-5, p. 400, 1984.
- [25] M. K. Moravvej-Farshi and Martin A. Green, "Novel NMOS transistors with near-zero depth conductor / thin insulator / semiconductor(CIS) source and drain junction," *IEEE Elect. Dev. Let.*, vol. EDL-7, p. 474, 1986.
- [26] M. K. Moravvej-Farshi and Martin A. Green, "Novel self-aligned polysilicon-gate MOSFETs with polysilicon source and drain," *Soild-State Electronics*, vol. 30, p. 1053, 1987.
- [27] T. Y. Huang, I. W. Wu, and J. Y. Chen, "A MOS transistor with self-aligned polysilicon source-drain," *IEEE Elect. Dev. Let.*, vol. EDL-7, p. 314, 1986.
- [28] W. T. Lynch, P. D. Foo, R. Liu, J. Lebowitz, K. J. Orlowsky, G. E. Georgiou, and S. J. Hillenius, "UPMOS-A New Approach to Submicron VLSI," 1987 European Soild State Device Research Conference Proceedings, 1987.
- [29] M. Shimizu, M. Inuishi, H. Miyatake, H. Morita, K. Tsukamoto and Y. Akasaks, "A Novel Polysilicon Source / Drain Transistor with Self-Aligned Silicidation," 1988 Symp. VLSI Tech., p. 11, 1988.
- [30] S. S. Wong, D. R. Bradbury, D. C. Chen, and K. Y. Chiu, "Elevated Source / Drain MOSFET," 1984 IEEE IEDM Technical Digest, p. 634, 1984.
- [31] H. Shibata, Y. Suizu, S. Samata, T. Matsuno, and K. Hashimoto, "High Performance Half-Micron PMOSFETs with $0.1\ \mu\text{m}$ Shallow P+N Junction unilizing Selective Silicon Growth and Rapid Thermal Annealing," 1987 IEEE IEDM Technical Digest, p. 590, 1987.
- [32] T. Makino, N. Sato, M. Takeda, Y. Furumura, and K. Imaoka, "A Stacked-Source-Drain MOSFET using Selective Epitaxy," Proceeding of the First International Symposium on Advanced Materials ULSI, p. 113, 1988.
- [33] T. Yamada, S. Samata, H. Takato, Y. Matsushita, K. Hieda, A. Nitayama, F. Horiguchi, and F. Masuoka, "Spread Source / Drain(SSD) MOSFET Using Selective Silicon Growth for 64Mbit DRAMs," 1989 IEEE IEDM Technical Digest, p. 35, 1989.
- [34] M. Rodder and D. Yeakley, "Raised source / drain MOSFET with dual sidewall spacers," *IEEE Elect. Dev. Let.*, vol. EDL-12, p. 89, 1991.
- [35] J. R. Pfiester, R. D. Sivan, H. M. Liaw, C. A. Seelbach, and C. D. Gunderson, "A self-aligned elevated source / drain MOSFET," *IEEE Elect. Dev. Let.*, vol. EDL-11, p. 365, 1990.
- [36] K. Yamabe and K. Imai, "Nonplanar oxidation and reduction of oxide leakage currents at silicon corners by rounding-off oxidation," *IEEE Trans. Elect. Dev.*, vol. ED-34, p. 1681, 1987.
- [37] H. Umimoto, S. Odanaka, and I. Nakao, "Numerical simulation of stress-dependent oxide

- growth at convex and concave corners of trench structures," *IEEE Elect. Dev. Let.*, vol. EDL-10, p. 330, 1989.
- [38] N. Endo, K. Tanno, A. Ishitani, Y. Kurogi, and H. Tsuya, "Novel device isolation technology with selective epitaxial growth," *IEEE Trans. Elect. Dev.*, vol. ED-31, p. 1283, 1984.
- [39] A. F. Tasch, H. Shin, C. Park, J. Alvis, and S. Novak, "An improved approach to accurately model shallow B and BF₂ implants in silicon," *J. Electrochem. Soc.*, vol. 136, p. 810, 1989.
- [40] H. Shin, A. F. Tasch, C. M. Maziar, and S. K. Banerjee, "A new approach to verify and derive a transverse-field-dependent mobility model for electrons in MOS inversion layers," *IEEE Trans. Elect. Dev.*, vol. ED-36, p. 1117, 1989. 

筆者紹介



申 炯 淳

1959年 10月 18日生

1982年 2月 서울대학교 전자공학과 졸업

1984年 12月 미국 University of Texas at Austin (석사)

1990年 5月 미국 University of Texas at Austin (박사)

1990年 7月~현재 금성일렉트론 반도체연구소 책임연구원