

반도체 기술 동향

片廣毅, 朴亨茂

韓國電子通信研究所 化合物集積回路研究室

I. 서론

1980년 초반부터 본격적으로 시작된 반도체의 고집적화는 2~4년을 주기로 거의 4배씩 증가하여, 현재 실제 규칙이 1 μ m이하인 서브미크론 시대를 맞고 있다. 이러한 발전결과는 정보지향적으로 사회환경이 변화함에 따른 정보산업(통신, 컴퓨터, 그래픽, CAD/CAM 등)의 급속한 발전과 반도체업체 및 연구계의 새로운 공정, 장비, 신소재 개발의 노력이 어우러져 나타난 결과이다.

현재 고집적첨단 반도체의 기준은 DRAM이며, 여기에서 개발한 공정 및 관련기술들을 기타 반도체 개발에 응용하고 있다. 이러한 첨단 고집적반도체를 개발, 선두 위치를 차지하기 위해서는 세계시장 수요변화 분석에 따른 신속한 기술개발력이 요구되며, 현재 DRAM은 2000년까지 계속 scale-down될 것이 예상되고 있고 가격/비트도 계속 하향하는 추세므로 경쟁적인 기술개발에 따른 치열한 접전이 예상된다.

그러나 이러한 첨단 반도체를 개발 경쟁기 위한 환경은 막대한 설비 및 연구개발비 투자로 인하여 더욱더 어려워지고 있으며, 최근 선진기술국에서는 후발국을 견제하기 위하여 개발한 첨단기술을 적극적으로 보호 또는 전략무기화하고 있고, 이러한 경향은 국제간의 특허 분쟁 및 과도한 로열티 요구등으로 가시화되고 있다. 특히 이전에는 "칩" 자체에 대한 특허권요동이 대부분이었으나, 근래는 "칩"을 사용한 시스템으로까지 권리를 확대 요구하고 있다. 이러한 경향은 근래에 형성되는 형성될 예정인 세계적인 경제블록화 현상과도 무관치 않은 것으로 보인다.^{[1],[2]}

여기에서는 정보지향적 사회환경의 변화에 따른 반도체기술의 시장규모 및 연구동향을 살펴보고, 이와 관련된 반도체기술의 변화를 크게 DRAM, ASIC으로 구분하여 기술한다.

II. 반도체 기술의 시장 및 연구개발 동향

1. 시장동향

최초의 실리콘 트랜지스터가 발명된지 40년이 조금 지났지만, 현재 반도체기술이 산업, 군수 및 기타 여러 분야에 미친 영향은 엄청나다고 할 수 있다. 특히 반도체가 관련된 전자 및 정보산업 뿐만이 아니라 산업계 전체의 발전에 반도체기술은 커다란 기여를 하였으며, 이 결과 첨단 반도체기술력은 국가의 경제적 위치 및 안보에 직결되는 문제로 간주되고 있는 형편이다.

이러한 반도체의 응용분야는 예를들어 "컴퓨터, 이동통신, 광통신, 가전제품, 자동차, 항공기제어, 발전 및 송배전제어, FA시스템제어, 위성통신"등 이루 헤아리기 어려울 정도이며,^[3] 반도체의 기술지표인 DRAM의 가격이 기술혁신으로 인하여 계속 하락함에 따라 그래픽, CAD/CAM 등의 S/W시장이 급성장세를 나타내고 있다.^[4] 이러한 경향은 1990년의 정보산업 전망에 축을 살펴보면 알 수 있다(표 1). 여기에서는 사무용 S/W, 그래픽 및 CAD/CAM 분야의 성장율이 1995년까지 가장 클 것으로 예측하고 있다. 특히 일본을 제외한 아시아권의 정보산업 규모의 성장이 두드러질 것으로 예측하고 있다(통신 9.3%, 반도체 15.8%, 컴

표 1. 세계 정보산업 전망

단위 : 백만달러

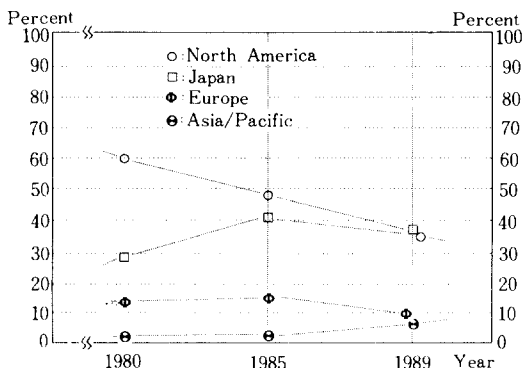
구분	1990년	1995년	성장율
통신	432,370	610,450	7.1
반도체	58,225	105,531	12.6
컴퓨터	69,346	87,700	5.3
사무용 S/W	1,407	2,899	15.6
그래픽	1,586	5,323	27.4
CAD/CAM	14,031	25,692	12.9

자료 : 매일경제신문 1991. 10. 25

퓨터 13.9%, 사무용 S/W 17.8%, CAD/CAM 23.7%)

이중 반도체 수요의 1987~1989년 사이 3년간의 추세를 살펴보면 표 2와 같다. [3] 현재 세계의 반도체 수요는 지역상으로 미국, 일본, 유럽지역과 우리나라를 포함한 동남아시아지역, 기타지역으로 나누어지며 이러한 자료를 살펴볼 때, 미국의 반도체 수요는 완만한 증가세를 나타내고 있으며 1988년경 부터 일본에 추월당하고 있음을 알 수 있다. 후술하겠지만, 이러한 추세는 지역별 회사의 반도체 판매량에서도 그대로 반영되어, 1987년경 부터 미국을 포함한 북미지역 반도체회사의 판매량이 일본 반도체 회사에 의해 추월당하고 있다.

또한 유럽지역의 수요도 완만한 증가세를 나타내고는 있으나 별로 호전될 기미를 보이지 않고 있다. 그러나 우리나라를 포함한 동남아시아의 반도체 수요는 규모는 작지만 상대적으로 큰 수요증가율을 나타내고 있다. 그림 1에 지역에 따른 10년간의 반도체 회사의 판매량을 나타내었다. [2] 이러한 자료를 볼때 1980년 초기에는 미



자료 : 1990 Semiconductor Industry Conference

그림 1. 지역에 따른 회사판매량 추세

국지역의 판매량이 전체의 60% 이상을, 일본은 28%, 유럽은 12% 정도를 점유하였고, 아시아 지역은 거의 판매량이 없었다. 그러나 이러한 추세는 1985년을 기점으로 미국과 일본의 상황이 뒤바뀌고 있는 것을 알 수 있다. 이 기간중 유럽지역 회사의 판매량은 오히려 완만한 감소추세를 보이고 있으며, 이러한 감소율을 우리나라를 포함한 아시아 지역의 회사들이 흡수했다고 볼 수 있다. 따라서 현재 세계의 반도체시장을 주도, 성장시키고 있는 국가는 일본이며 미국지역은 감소세가 뚜렷해지고 있다. 그러나 이러한 예측에는 불확실한 변수가 존재되어 있으며, 이중의 하나가 세계경제권의 블록화 현상이다. 이러한 대표적인 경제블록권의 하나가 1992년 결성을 목표로 진행되고 있는 EEA(European Economic Area)이다. EEA는 EC(European Community)와 북구 중심의 EFTA(European Free Trade Association)가 결합되는 것으로써 현재 세계 각국의 비상한 관심을 모으고 있다. 이러한 이유는 EEA가 거대한 단일시장이며 유럽지역은 외국기업의 투자생산활동이 매우 활발한 지역이고, 그 투자분야는 컴퓨터(IBM, Compaq, HP, NCR, SUN, Tandon, Toshiba, Mitsubishi, Fujitsu, NEC)뿐만 아니라 주변기기인 프린터, 셀룰라폰, 팩스 등과 TV, VTR, CD, microwave oven에 까지 이르고 있다. 따라서 유럽에 투자한 외국기업들은 관세장벽이 제거되어 단일화되는 이러한 시장의 점유율을 높이기 위하여 최선의 노력을 경주하는 한편 나름대로의 대응경제블록을 쌓고 있다. 현재 결성되었거나 결성예정인 경제블록을 보면 미국이 주도하는 NAFTA(North America Free Trade Association)가 1992년 6월 까지의 결성을 목표로 하고 있으며, 중동지역의 GCC, 중남미의 LAIA, 아시아의 EAEG, 아프리카의 ECOWAS등이 있

표 2. 세계의 반도체 수요(1987-1989)

단위 : 백만달러

구분 \ 연도	1987년	1988년	1989년
미 국			
IC	10,380.0	12,380.0	13,050.0
개별반도체	1,800.0	1,950.0	1,990.0
계	12,180.0	14,250.0	15,040.0
일 본			
IC	10,124.0	15,517.0	18,295.0
개별반도체	3,330.0	4,398.0	4,300.0
계	13,455.0	19,915.0	22,595.0
유럽			
IC	4,010.9	4,568.4	4,833.4
개별반도체	1,124.2	1,337.0	1,373.2
계	5,135.1	5,905.4	6,206.8
동남아시아			
IC	1,829.5	2,369.5	2,923.5
개별반도체	606.1	753.2	842.1
계	2,435.6	3,122.4	3,765.6
기 타			
IC	672.8	680.0	672.8
개별반도체	74.8	79.0	74.8
계	747.6	759.0	747.6
세계총괄			
IC	27,017.5	35,435.3	39,801.9
개별반도체	6,936.0	8,517.2	8,589.5
계	33,953.5	43,952.5	48,391.4

자료 : 일본경제신문 1989. 11. 21

다. 이러한 경제블록화 현상은 반도체기술의 연구개발 동향에도 영향을 미칠 것으로 보인다.

2. 연구개발 동향

날로 증대하고 있는 반도체기술의 중요성때문에, 반도체기술의 연구개발에도 국가간의 경제적 이해에 따른 협력과 기술경쟁체제가 확립되고 있다. 이 결과 세계경제계의 구조개편이 이루어지고 있고 각국간의 "통신시장개방" 등이 추진되는 자유무역주의에 입각한 시장개방이 이루어지고 있는 추세이다.^[5] 그러나 선진기술국들은 첨단기술에 대한 보호장벽을 기술적으로 날로 높이 쌓아가고 있는 것으로 판단되며, 따라서 기술보호주의 내지는 기술패권주의가 날로 심화되고 있는 것으로 보인다.

여기에서는 세계의 반도체기술 개발을 실질적으로 주도하고 있는 미국, 일본의 연구개발 동향을 기술한다.^[6] 현재 미국의 반도체 연구개발은 표면적으로는, 군수용은 DoD(Department of Defense: 1700억 달러예산), 민수용은 SEMATECH(SEMiconductor MAnufacturing TECHNOlogy initiative)이 맡고 있다. SEMATECH은 14개의 반도체회사와 DoD가 결성한 반도체개발 콘소시움으로서 1993년까지 0.35 μm 설계규칙의 반도체기술을 개발하여 세계의 반도체기술을 주도할 목적으로 설립된 기구이다. 미국은 과거의 군사지향적인 연구개발 추세를 벗어나 군수, 산업의 양면으로 응용이 가능한 dual use technology의 기술개발에 총력을 쏟고 있으며, 이러한 기술에는 반도체, 광통신, 광IC, 레이저, 레이더, 바이오테크노로지, 복합재료, 초전도등의 첨단분야가 망라되어 있고 1991년(1990. 10-1991. 9) 미국의 연구개발 예산 총액은 약 712억 달러이다. 이중 반도체 관련 연구개발의 예산규모를 살펴보면 슈퍼컴퓨터 개발에 4억 6900만 달러를 투입하고 있으며, DARPA(Defense Advanced Research Project Agency)가 S/W, NASA는 알고리즘, 연구관리는 DARPA와 NSF(National Science Foundation)가 각각 분담하고 있다. 반도체는 SEMATECH이 주도하고 있으며 DoD로부터 매년 1억 달러규모의 예산을 지원받고 있다. 군사쪽의 대표적 과제로는 1990년 종료된 DoD의 VHSIC(Very High Speed Integrated Circuit)가 있으며 이는 0.5 μm 설계규칙의 고집적, 고속연산이 가능한 실리콘프로세서 개발계획이고, 90년 투입에 산규모는 3000만 달러이다. 이외의 민간 반도체회사에서는 첨단반도체의 개발을 위해 외국기업과의 공동연구개발을 강화하고 있다.

이러한 공동연구개발의 예로는 1988년 12월 TI와

Hitachi가 16M DRAM의 공동개발을 위해 제휴하였으며, Motorola와 Toshiba, VLSI 테크노로지와 Hitachi, Intel과 Fujitsu, NEC와 AT&T등이 마이크로프로세서, ASIC, SRAM등의 분야에서 기술개발을 제휴하고 있다.^[3] 또한 유럽지역과의 공동 연구개발을 강화하여 1991년 9월 20일 SEMATECH과 유럽의 JESSI(Joint European Submicron Silicon)가 표준화 및 장치평가, 경쟁가능한 기술력의 상호평가, 0.35 μm , 0.25 μm 전사기술의 공동연구개발에 합의하였음을 발표하였다.^[6] 유럽의 Siemens, SGS-Thomson등이 주도하는 JESSI는 앞으로 256M DRAM등을 미국과 협력하여 공동 연구개발할 예정으로 알려져 있다. 이외의 구체적인 미국·유럽 반도체회사의 제휴경우는 1990년 10월 IBM과 Siemens가 64M DRAM의 공동개발계약을 발표하였으며, 1991년 7월 역시 IBM과 Siemens가 16M DRAM 공동생산을 발표한 바 있다. 현재의 상황을 보면 반도체의 대표주자인 Mega DRAM연구개발에는 미국이 일본에 뒤지고 있는 것으로 보이나, ASIC 및 마이크로프로세서 분야에서는 여전히 미국이 강세인 것으로 관측되고 있다.^[3] 그러나 이러한 경향이 계속 유지될 것인가에 대해서는 강하게 의문이 제기되고 있다. 이러한 이유는 대표적인 마이크로프로세서 반도체회사인 Intel의 80386이 1987년에는 80%정도의 시장점유율을 보였으나, 1989년에는 50%정도까지 떨어진 것으로 보이기 때문이다. 이는 NEC, Hitachi, Fujitsu등의 활동에 기인한 바가 크며, 일본 반도체회사는 미국회사들과의 기술제휴를 통해 마이크로프로세서 및 ASIC 관련분야의 기술경쟁력을 대폭 증강한 것으로 보인다. 이러한 증거로서 1984~1989년까지 Hitachi, Fujitsu, Misubishi의 3사가 참여한 TRON(The Real-time Operating Nucleus)제책에서 독자적인 기술로 Fujitsu는 17MIPS 성능의 32비트 Gmicro-300 마이크로프로세서를 개발하였고, Hitachi, Mitsubishi도 각각 Gmicro-200, Gmicro-100 마이크로프로세서를 개발한 바 있다.

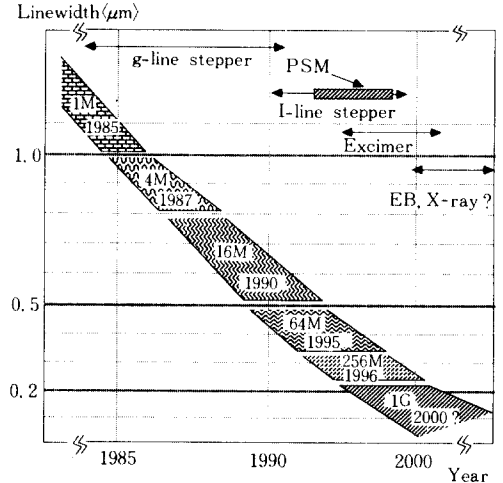
한편 일본 반도체기술의 연구개발은 DRAM 중심으로 이루어지고 있는 것으로 보인다. 현재 일본은 국가가 관여하는 프로젝트는 없으며, 순수하게 민간 반도체회사들이 반도체의 연구개발을 주도하는 형태이다. Dataquest의 발표에 의한 1989년 세계 반도체 판매회사의 순위를 보면 10위안에 일본의 6개사(NEC, Toshiba, Hitachi, Fujitsu, Mitsubishi, Matsushita)가 포함되어 있고, 상위 10개사의 총매출액 31,595 백만달러중에서 6개사가 차지하는 매출액이 21,343 백만달러로서, 68%의 점유율을 나타내고 있다.

이러한 결과로부터 간접적으로 일본의 반도체 기술력을 짐작할 수 있다. 일본의 DRAM 기술은 현재 세계 첨단을 달리고 있으며, DRAM의 최고수준인 64M DRAM을 1990년 Hitachi가 세계최초로 발표하였고, 1991년 2월 ISSCC에서 Toshiba, Fujitsu, Matsushita, Mitsubishi의 4개사가 액세스시간이 33~45 ns 인 64M DRAM의 시제품 개발을 발표하였다.^[7] 이는 16M DRAM의 액세스시간이 60~80ns 인 것을 고려할 때,^[8] 시제품이기는 하지만 상당히 발전한 수준으로 판단된다. 이러한 수준으로 미루어 볼때 반도체장치 기술이나 PR 등의 반도체 주변기술도 같은 수준에 있다는 것을 짐작할 수 있다. 또한 일본은 DRAM이외에 Mega SRAM을 개발하고 있으며, 1990년에 Fujitsu와 NEC는 액세스 시간이 5 ns대의 1M SRAM의 시제품을 발표하였다. 이외에 custom IC인 ASIC은 소량이지만 수요변동에 안정하고 사용자의 요구에 의한 제품의 다각화가 가능하여 앞으로의 수요가 급증할 것으로 예측되고 있는 바, 역시 Fujitsu, Hitachi, Toshiba등에서 게이트에레이와 표준셀의 개발에 역주하고 있다. 일본 통산성(MITI)은 게이트 에레이나 표준셀의 설계규칙이 1991년 1.0 μm , 1994년 0.8 μm , 1998년 0.5-0.6 μm 정도일 것으로 예측하고 있다.

이러한 분야는 일본이 미국에 비해 다소 취약한 연구 개발 분야로 알려져 있으며, 일본 반도체회사는 미국과 공동 연구개발을 수행하는 형태를 취하고 있다. 특히 마이크로프로세서는 Hitachi, Matsushita, NEC, Fujitsu, Mitsubishi, Oki, Sanyo, Toshiba, Sharp 등의 전회사가 미국의 TI, Motorola, Intel, NS 등과 제휴하여 공동연구개발을 수행하고 있다. 이외에도 화상처리 속도가 빨라 그래픽처리 등에 유용한 VRAM 연구개발 분야에 NEC, Hitachi, Fujitsu, Oki 등이 참여하고 있는 것으로 알려져 있다.^[9]

III. DRAM 기술 동향

본절에서는 현재 반도체기술의 기준이라 할 수 있는 Mega DRAM의 기술동향에 대해 간략하게 정리해 보기로 한다. DRAM의 집적도 향상은 2~4년에 4배로 집적도가 향상된다는 Moore's law에 의해 예측되어 왔으나, 실제로 집적도는 2~4년에 2.8배 정도(이에 따른 패턴크기는 0.6배 정도)이고, 칩면적은 1.4배 정도로 증가하고 있다.^[10] 연도에 따른 DRAM의 발전동향을 그림 2에 나



자료 : 1990 Semiconductor Industry Conference

그림 2. Mega DRAM 발전동향

타내었다. 그림 2에서의 시기는 양산시기를 기준으로한 것이며, 이를 볼때 설계규칙은 1M DRAM 1.3-1 μm , 4M DRAM 1-0.7 μm , 16M DRAM ~0.5 μm , 64M DRAM ~0.35 μm , 256M DRAM 0.25 μm , 1G DRAM <0.2 μm 정도임을 알 수 있다. 이러한 DRAM 개발의 중요한 공정인 리소그래피 기술을 살펴보면 16M DRAM 정도까지는 g-라인 스텝퍼(436nm)가 사용가능하고, 16M DRAM이상의 64M DRAM 제조에는 i-라인 스텝퍼 또는 PSM(phase shift mask)을 적용한 기술을 사용할 것으로 예측하고 있으며, 256M DRAM 제조에는 PSM을 적용한 i-라인 스텝퍼와 엑시머 레이저기술이 사용가능성이 있음을 시사하고 있다.^{[8], [9], [10], [11]} 설계규칙이 0.2 μm 이하가 될 것으로 예상되는 1G DRAM급의 리소그래피 기술은 아직 예측이 불투명하며, 다만 EB 또는 X-ray가 사용가능성이 있음을 추측하고 있는 형편이다. 참고로 1990년에 출시된 일본회사의 i-라인 스텝퍼의 성능은 다음과 같으며

- Nikon : NSR 1755i7A ; NA 0.5, 17.5mm² 면적노출 가능
- Cannon : CPA 2000il ; NA 0.52, 20mm² 면적노출 가능
- Hitachi : LO-5015icW ; NA 0.5, 17.5mm² 면적노출 가능

PSM 기술을 적용시 0.3 μm 까지의 패턴형성이 가능하여 64M DRAM급 공정에 적용이 가능하다. 이러한 고집적 Mega DRAM을 개발하기 위해서는 회로 및 소

자구조설계, 공정(제조장비, 재료, 청정기술등), 테스트기술, 패키징기술등이 종합적으로 필요하지만 이중 특히 관심을 끄는 공정기술로는 리소그라피공정(<3~5% 균일도)과 건식식각공정(<3~5% 균일도, >10:1 selectivity)이 있다. 이러한 이유는 집적도를 높일수록 중요한 트랜지스터 및 캐패시터 셀구조를 줄이는데 매우 중요한 기술이기 때문이다.^{[12],[13],[14],[15]} 최근 1990년과 1991년에 관심을 집중시킨 64M DRAM의 시제품이 일본에 의하여 잇달아 발표되었으며, 표 3에 1991년 2월 ISSCC (International Solid State Circuit Conference)에서 발표된 64M DRAM의 사양을 나타내었다.^[7] 이로서 1990년의 Hitachi에 이어 일본의 4개 반도체회사가 64M DRAM의 시제품개발에 성공하였다. 여기에서 특기할 만한 사항은 Fujitsu가 64M DRAM제조에 i-라인 PSM 기술을 적용하였고, Matsushita는 엑시머레이저를 채용했다는 사실이다. 또한 캐패시터 셀구조는 변형한 스택(stack)이나 트랜치(trench)구조를 적용하고 있다. DRAM의 셀구조는 현재 스택구조(stacked structure) 또는 트랜치구조(trench structure)의 두가지로 분류하고 있으며, 이를 근간으로하여 셀면적을 줄이면서 실효용량을 증가시키기 위한 셀구조가 30가지 이상이 되고있다.^[16] 64M DRAM에서 Toshiba는 셀구조를 스택·트랜치

의 양쪽 구조를 채택하고 있으며, 이것은 STT(stacked transistor capacitor cell)와 SGT(surrounding gate transistor)구조의 변형으로 보인다. Fujitsu는 i-라인 PSM 기술을 채택했으며 셀은 Fin형 스택구조를 채택하고 신전류검출중폭회로등을 채용한 것으로 알려지고 있다. Matsushita는 엑시머레이저 기술을 채택하였으며 셀캐패시터의 하부전극에 터널을 형성시켜 실효표면적을 증가시킨 TS(tunnel structure)형 스택구조를 채용하고 있다. Mitsubishi는 MMT(merged matchline test) 회로방식을 채용하고 셀구조로는 DCP(dual cell plate) 스택구조를 사용하고 있다.

이러한 4개사의 64M DRAM 사양을 간단히 정리하면 다음과 같다.^{[7],[13],[16]}

- 액세스시간 : 33-45ns
- 설계규칙 : 0.3-0.4 μm
- 셀면적 : 1.5-2.0 μm²
- 전원전압 : 3.3V
- 소비전력 : 90-160mA
- 칩면적 : 176-234mm²

이러한 DRAM의 집적도가 어느정도까지 진행될 것인가에 대해, 현재 예상되는 DRAM의 성능제한변수를 표 4에 나타내었다.^[16] 경제성면에서 볼 때(DRAM price

표 3. 64M DRAM 사양

사양	사명	Toshiba	Fujitsu	Matsushita	Mitsubishi
구성 (word×bit)		64M×1/16M×4	64M×1/16M×4/8M×8	4M×16	64M×1/16M×4
액세스시간		33	40	50	45
설계규칙		0.4	0.3	0.4	0.4
전사기술		-	i선 위상취프트	엑시머레이저	-
셀구조		스택, 핀, 트랜치	스택	터널형 스택	DCP형 스택
셀면적 (μm)		0.9×1.7	1.8×1.0	1.0×2.0	1.7 (μm ²)
전원 (V)		3.3	3.3	3.3	3.3
소비전력	동작 (mA)	90	-	130	160
	대기 (mA)	0.2	-	1.0	0.2
칩면적 (mm)		9.22×19.1	19.94×11.27	10.85×21.6	12.5×18.7

자료 : Semiconductor World 1991. 4

표 4. DRAM 성능제한 변수

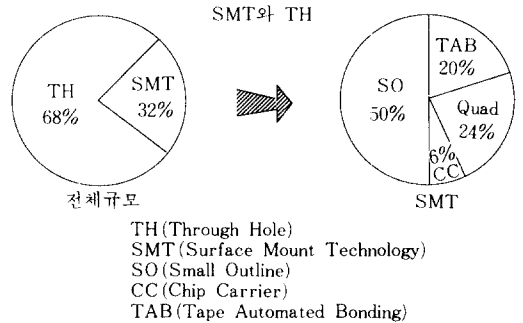
변수	예측한계	이유	
가격	0.3~0.2 μm	가격/bit 포화	
소자성능	0.2 μm	액세스시간 포화	
신뢰도	0.1 μm	터널링효과에 의한 절연과피	
제조공정	수율	0.1 μm	수율감소
	전사	0.1 μm	광학전사한계
		<0.1 μm	EB 또는 X-ray

자료 : 1990 Semiconductor Industry Conference

learning curve) 0.3~0.2 μ m 수준이 되면 비트당 가격이 포화되거나, 상승할 것으로 예측되고 있으며, 0.1~0.2 μ m 정도에서는 전원전압을 1.5V 정도로 낮추더라도 터널링효과에 의한 절연과피현상이 나타날 것으로 전망되고 있다. 또한 제조공정의 수율저하는 가격과도 관계가 되지만, 근본적으로 새로운 소자구조와 새로운 장비의 출현을 예고하고 있다.^{[17], [18], [19], [20]} 따라서 현재 기술의 발전추세가 계속된다면 256M DRAM 정도의 집적도가 달성되리라 전망된다. 지금까지 기술한 DRAM 외에 DRAM보다 동작속도가 훨씬 빠르고 소비전력 소모가 작아 메모리카드, 랩탑PC등에 사용되는 4M SRAM의 사양을 표 5에 나타내었다. 이러한 SRAM의 설계규칙은~0.5 μ m정도로서 DRAM의 16M급에 해당하며 DRAM과 비교시 3~4배의 고속동작과 1/2이하의 전력소모를 보이고 있다. 이외에 집적도가 급속하게 증가함에 따라 칩을 mount하는 패키지의 기능이 중요하게 된다.^{[21], [22], [23]}

패키지에는 크게 TH(through hole)와 SMT(surface mount technology) 형태가 있으며 그림 3에 1990년의 TH와 SMT 패키지 시장규모를 나타내었다.^[24] SMT는 TH에 비해 신기술이기 때문에 시장규모가 아직은 작은

것을 알 수 있다. DRAM의 패키지는 1990년 DIP(dual in-line package)가 42%, SO(small outline J type)가 25% 정도이나 표6에 나타난 바와 같이 2000년대에는 DIP의 수명이 종료되고 SMT 형태의 패키지가 주류를 이룰것으로 예상되고 있다.^[24] 이중 현재 첨단시스템(수퍼컴퓨터등)에만 적용되고 있는 MCM(multi chip module)이 요구되는 시스템의 예측되는 사양을 표 7에 나타내었다.



자료 : 1990 Semiconductor Industry Conference

그림 3. 1990년 패키지 시장규모

표 5. 5M DRAM 사양

사양		사명	Hitachi	Toshiba	NEC
구성 (word×bit)			512K×8	512K×8	4M×1/1M×4
공정 기술	설계규칙< μ m>		0.5	0.5	0.55
	배선		4층 poly 2층 Al	3층 poly 2층 Al	3층 poly 2층 Al
액세스시간<ns>			23	23	15
소비 전력	동작<mA>		45(20MHz) 5(1MHz)	70(40MHz) 20(10MHz)	65(20MHz)
	대기< μ A>		0.5	1	1
셀 면적< μ m ² >			16.95	20.3	9.04
칩 면적< μ m ² >			121.6	135.8	143.2

자료 : 일간공업신문 1990. 2. 15

표 6. 패키지 기술동향

구분	연도	1990년	1995년	2000년
DIP		감소중	감소중	수명종료
SMT		발전중	리드폭/가격문제 해결	주로 사용
Quad		ASIC용	10K~20K ASIC 사용	190~600 리드용
TAB		출현중	200리드 이상용	80~800 리드용
Flip chip		출현중	고밀도실장용	배선용
MCM		출현중	첨단시스템 실장용	1000 MIPS용

자료 : 1990 Semiconductor Industry Conference

표 7. MCM용 고속시스템

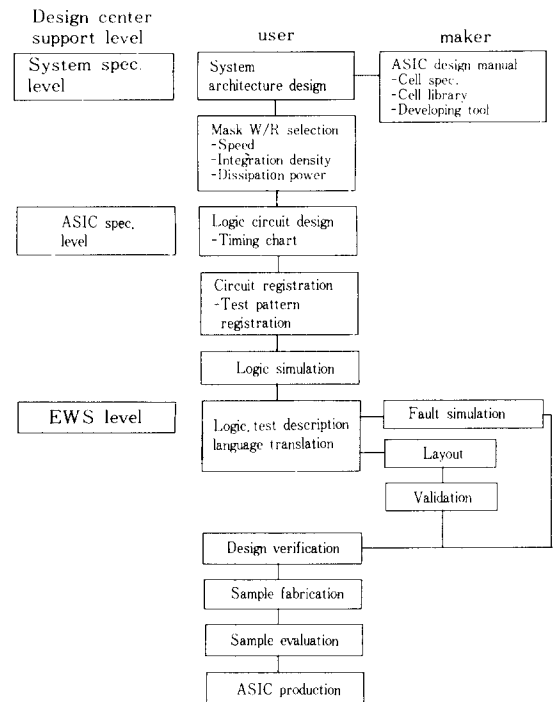
구분 \ 연도	1990	1995	2000
CPU	20MHz	100MHz	300MHz
ECL Logic/ASIC	150-400 ps	50-150 ps	Photonic logic, 1.5-2.0 ps
Memory	CMOS	BiCMOS	BiCMOS
PC	1 MB	16 MB	128 MB
WS	8 MB	128 MB	512 MB
Speed	20-80 ns	9-60 ns	<25 ns
GaAs	Logic/ASIC	50-80 ps	<5-10 ps
	Memory	16K/3 ns	>60K/3 ns

자료 : 1990 Semiconductor Industry Conference

IV. ASIC 기술동향²⁵⁾

ASIC(application specific IC)은 말그대로 특정용도의 custom IC로서 게이트에레이, 스탠더드셀이 대표적이다. 이러한 ASIC이 각광을 받는 이유는 시장주요변동에 안정하고 사용자의 요구에 의한 제품의 다양화가 가능하며 단기간에 고성능, 고기능의 IC를 입수할 수 있는 장점이 있기 때문이다. 현재 ASIC의 시장규모는 최소한 수십억 달러의 규모로 예측되고 있다. 이러한 ASIC을 구성하는 게이트에레이 기술에는 CMOS, ECL, BiCMOS, GaAs 기술이 적용되고 있으며 CMOS는 고집적, 저전력, 저속분야에 ECL은 고속분야에 BiCMOS는 CMOS와 ECL의 중간영역을 담당하고 있으며, GaAs는 고속, 저전력분야에 활용이 기대되고 있다. 현재 ASIC의 주류는 CMOS 게이트에레이이므로 이에 대해 기술하기로 한다. 게이트에레이는 배선공정 이전에 사전공정이 완료된 마스크 웨이퍼에 사용자의 사양 요구에 따라 설계후, 1-3층 정도의 배선마스킹을 수행하게 된다. 따라서 단시간에 테스트칩을 제작 평가할 수 있는 장점이 있다. 시간에 테스트칩을 제작 평가할 수 있는 장점이 있다. 이러한 게이트에레이에는 칩상에서 트랜지스터와 배선영역(채널)이 분리되어 있는 채널형과 칩상의 전면적에 트랜지스터가 배치되어 있는 비채널형(SOG형 : sea of gate)이 있다. 칩면적을 고려하면 당연히 비채널형의 칩면적 이용효율이 높으나, 설계시 보다 고기능의 S/W가 요구된다. 이러한 고기능의 S/W가 지원되면 앞으로의 게이트에레이의 주류는 비채널형이 될 것으로 보인다. 현재의 CMOS 게이트에레이의 기술은 200K(0.8μm 설계규칙)정도의 집적도에 게이트 지연시간은 0.4ns정도

이다. ASIC의 개발에는 공정이 끝난 마스크웨이퍼, 설계 S/W, 설계지원 디자인센터, 공정기술, 패키징기술, 시험기술, 평가기술등이 다양하게 요구되며 이러한 기술들이 효과적으로 지원되어야만 고성능, 고기능의 ASIC를 제조할 수 있게 된다. 그림 4에 ASIC의 개발흐름도를 나타내었다. 현재 ASIC은 0.8μm정도의 설계규칙이 적용되고 있으나 1993년 경에는 0.5μm정도의 설계규칙이 적용되어 300K 이상의 집적도와 게이트지연



자료 : Semiconductor World 1991.2

그림 4. ASIC 개발흐름도

시간이 0.1-0.2ns인 게이트레이가 출현할 것으로 예상된다. 또한 현재의 전원전압은 5.5V이나 소자의 절연 특성, 소비전력감소등의 원인으로 인하여 수년후에는 3.3V로 하강할 것으로 생각되고 있다.

ASIC의 설계에는 인위적인 실수를 방지키 위해 고급 S/W 설계 tool이 필요하며 집적도가 높아짐에 따라 이러한 요구는 더욱더 커지고 있다. 따라서 기존의 S/W 패키지가 통합 CAD화하는 경향을 보이리라 생각되며, 앞으로는 VHDL(VHSIC hardware description language) 같은 고급언어에 의해 주로 설계가 수행되리라 예측된다. ASIC의 집적도가 높아짐에 따라 패키지는 PGA(pin grid array) 또는 QFP(quad flat package)를 채용하고 앞으로의 ASIC은 계속 고집적, 고기능, 고속화하는 추세로 발전할 것이며, ASIC의 장점인 단기간에 안정된 가격으로 고기능의 IC를 공급하기 위해서는 고급언어에 의한 CAD tool의 개발이 관건으로 예측되고 있다.

V. 결 론

지금까지 간략하게 DRAM과 ASIC을 중심으로한 반도체 기술동향에 대해 살펴보았다. 이 결과 현대의 반도체 기술은 눈부시게 발달하고 있으며 각국의 경제력을 좌우할 수 있는 첨단 핵심기술로 부상하고 있음을 알 수 있다. 일본 및 미국의 연구개발 동향에서 알 수 있듯이 각국은 반도체기술의 중요성을 깊이 인식하고, 자체의 연구개발투자 및 국제적인 공동 연구개발을 통하여 연구의 효율을 극대화 시키려 노력하고 있다. 따라서 이러한 환경에서 경쟁을 해야하는 우리나라의 입장은 결코 순탄할 것으로는 보이지 않는다. 특히 우리나라는 반도체 관련 주변산업이 균형적으로 성장되어 있지 않은 상태이며, 반도체공정 수준은 경쟁이 충분히 가능한 상태이나 고도의 설계기술이나, 이와 관련된 S/W기술은 취약한 상태로 생각된다. 따라서 앞으로 극히 유망할 것으로 생각되는 프로세서를 포함한 ASIC분야에서 열세를 면치 못할 수도 있다. 따라서 국가와 민간 반도체 기술개발에서 이러한 점을 고려하여 반도체 주변산업(반도체 재료, 장비, 설계기술, S/W 기술등)에 관한 연구가 균형있게 이루어지기를 기대해 본다.

參 考 文 獻

[1] 전자신문, "세계경제권의 블록화," 1991. 10. 25

- [2] Jonathan Drazin, "Europe: Redrawing the Semiconductor Borders," 1990 Semiconductor Industry Conference, 1990. 10
- [3] 한국전자통신연구소, "미일의 기술경쟁력 비교," 1991. 10. 31
- [4] 매일경제신문, "정보산업 전망," 1991. 10. 23
- [5] 전자신문, "세계통신산업의 변화," 1991. 10. 21
- [6] 전자신문, "SEMATEC과 JESSI 연합," 1991. 9. 26
- [7] Technical Report, "ISSCC의 64M DRAM i-선 위상 쉬프트, 엑시머레이저를 사용," Semiconductor World, pp. 44-45, 1991. 4.
- [8] Tsugio Makimoto, "Semiconductor Memories in the coming decade," 1990 Semiconductor Industry Conference, 1990. 10
- [9] Neil Berglund, "Lithography Strategies: Pushing the Limits, E-beam lithography status," 1990 Semiconductor Industry Conference, 1990. 10
- [10] Gene E. Fuller, "Lithography Strategies: Pushing the Limits, Optical lithography," 1990 Semiconductor Industry Conference, 1990. 10.
- [11] Robert W. Hill, "Lithography Strategies: Pushing the Limits, X-ray lithography," 1990. Semiconductor Industry Conference, 1990. 10.
- [12] 강호영, 이문용, "0.5 μ m이하의 미세형상 가공기술에 관한 비교분석," 전자공학회지, 제18권 제9호, pp.633-638, 1991.
- [13] 권광호, 김보우, "초고집적소자 제조를 위한 전식식각 기술동향," 전자공학회지, 제18권 제9호, pp. 639-646, 1991.
- [14] 심태연, "Cleaning technology의 최근동향," 전자공학회지, 제18권 제9호, pp. 647-653. 1991.
- [15] 신형순, "Submicron에서의 소자기술동향," 전자공학회지, 제 18권, 제9호. pp.625-632, 1991.
- [16] 박연진, 김종철, 박현섭, 천희곤, "고집적 DRAM 용 캐패시터 구조 및 기술동향," 전자공학회지, 제 18권 제9호, pp.654-669, 1991.
- [17] Manny Fernandez, "The Next Decade... Where Opportunities Lie," 1990 Semiconductor Industry Conference, 1990. 10
- [18] MICRON tech., 1990 Semiconductor Industry Conference, 1990. 10.
- [19] Gorden Campbell, "To Fab or Not to Fab? That Is

the Question,” 1990 Semiconductor Industry Conference, 1990. 10.

[20] David Angel, “Semiconductor Industry Forecast,” 1990 Semiconductor Industry Conference, 1990. 10.

[21] 한국전자통신연구소, “A Review on Thin Film Multilayer(TFML)/MultiChip Module(MCM) Packaging Technology,” 연구보고서, 1990. 10

[22] 대한전자공학회, “Microelectronics Packaging '91 Workshop,” Proceeding, 1991.

[23] 대한전자공학회, “Microelectronics Packaging '91 Workshop,” Proceeding, 1991.

[24] Mary A. Olsson, “Packaging for high performance systems :Moving toward 2000,” 1990 Semiconductor Industry Conference, 1990. 10

[25] Special Report, “현재 ASIC동향,” Semiconductor World, pp.102-106, 1991.2

筆者紹介



片 廣 毅

1954年 10月 5日生
 1977年 2月 숭전대학교
 전자공학과 (학사)
 1980年 2月 연세대학교
 전자공학과 (석사)
 1990年 2月 연세대학교
 전자공학과 (박사)

1981年 3月~1984年 5月 해군사관학교 교수부
 전자공학과

1984年 6月~현재 한국전자통신연구소 선임연구원
 화합물집적회로연구실



朴 亨 茂

1955年 4月 29日生
 1978年 2月 서울대학교
 전자공학과 (학사)
 1980年 2月 한국과학원 전기 및
 전자공학과 (석사)
 1984年 2月 한국과학기술원
 전기 및 전자공학과
 (박사)

1984年 2月~현재 한국전자통신연구소 책임연구원
 화합물 집적회로연구실장