

스위치 레벨 CMOS 지연시간 모델링과 파라미터 추출

(A Switch-Level CMOS Delay Time Modeling and Parameter Extraction)

金 敬 昊*, 李 曠 根**, 李 尚 憲*, 朴 松 培*

(Kyung Ho Kim, Young Keun Lee, Sang Heon Lee, and Song Bai Park)

要 約

효율적이고 정확한 지연시간 모델이 CMOS 논리 회로의 시뮬레이션 및 시간검증을 위한 중요한 관건이다. 본 논문에서는 트랜지스터의 크기, 입력 파형의 기울기와 부하 커패시턴스를 고려한 반해석적 CMOS 지연시간 모델을 제안한다. 이 모델은 Schichman Hodges DC 방정식에 기초하고 있으며, 최적 가중 스위칭 최고 전류로부터 유도 되었다. 모델 계산을 위해 필요한 파라미터들은 프로그램에 의해 자동적으로 결정된다. 제안된 모델은 계산적으로 효율적이며, 그 오차는 SPICE의 10% 이내이다. 테이블 RC 모델과 비교해서 평균적으로 2배이상 정확도가 개선되었다.

Abstract

An effective and accurate delay time model is the key problem in the simulation and timing verification of CMOS logic circuits. We propose a semi-analytic CMOS delay time model taking into account the configuration ratio, the input waveform slope and the load capacitance. This model is based on the Schichman Hodges's DC equations and derived on the optimally weighted switching peak current. The parameters necessary for the model calculation are automatically determined from the program. The proposed model is computationally effective and the error is typically within 10% of the SPICE results. Compared to the table RC model, the accuracy is improved over two times in average.

I. 서 론

반도체 기술의 발달로 IC의 집적도가 급격히 증가

함에 따라 소프트웨어를 이용한 설계 검증이 필수 불가결하게 되었다. 지연시간의 향상된 모델링이 논리 회로의 빠르고 정확한 시간 해석과 시뮬레이션을 수행하기 위해서 중요하다. 바이폴라 시스템에서는 게이트 지연 스펙과 와이어룰(wire rules)에 의해 지연시간을 계산할 수 있다. 그러나, MOS 시스템에서는 논리 회로가 전류보다는 전압에 의해 구동되므로 전단의 출력파형에 영향을 받으며, 논리 형태와 사용된 방식등의 함수가 된다. 그러므로 MOS 회로는 좀더 복잡한 모델을 요구하는데 이런 모델은 불

*正會員, 韓國科學技術院 電氣및 電子工學科
(Dept. of Electrical Eng., KAIST)

**正會員, 三星電子 半導體部門 研究所 CAD팀
(CAD Team, Semiconductor Business R & D
Center, Samsung Electronics Company)

接受日字: 1990年 11月 8日

록의 출력이 다음 스테이지의 반전(inversion) 전압을 지나는 시간과 교차점에서의 기울기를 계산한다. 종래에 NMOS 논리에 대해서 여러가지 모델¹¹⁻¹²이 제시되었고, 최근에는 스텝 응답¹³⁻¹⁴ 또는 램프 응답¹⁵⁻¹⁶에 기초한 CMOS 지연 모델들도 제안되어져 왔다.

지연시간 계산을 위한 첫 번째 접근방식은 SPICE¹⁷를 사용하는 것인데, 이것은 회로를 마분 방정식으로 모델링하고, 그 해를 수치 해석적으로 구하는 것이다. 따라서 그 결과는 가장 정확하나 계산시간이 많이 소요되어 비교적 작은 회로에 사용이 국한된다. 두 번째로 RC 모델¹⁸을 이용하는 것인데, 트랜지스터를 저항과 직렬로 연결된 스위치로 모델링하여 미리 준비된 테이블을 이용하는 것이다. 이 방법은 계산시간은 빠르나, 회로 내의 변수가 큰 변화폭을 가질 때에는 부정확한 결과를 산출할 수 있다. 한편 실험적 모델¹⁹은 비물리적 방정식에 회로 시뮬레이션 결과를 맞추어 지연시간을 구하는 것인데 정확도가 높고 효율적인 반면, 지연시간과 회로 소자내의 변수를 연관시키기 어려운 단점을 가지고 있다.

본 논문에서는 프로세스 파라미터, 트랜지스터의 크기, 입력 파형의 기울기와 부하 커패시턴스를 고려하여 명시적(explicit) 형태로 표현된 반해석적(semi-analytic) CMOS 지연시간 모델을 제안한다. 이 모델은 테이블 RC 모델의 간편성과 실험적 모델의 정확도라는 장점을 결합한 것이다.

본 논문의 구성은 II장에서 RC 모델에 의한 지연시간 계산법을 먼저 설명하고, III장에서는 모델 방정식의 유도 및 보정법을 다루며, 모델 파라미터 추출 방법에 대해서는 IV장에서 논의하였다. 또한, V장에서 제안된 모델과 SPICE와의 피팅(fitting)과 여러가지 회로에 대한 테스트 결과를 보여주고, VI장에서 결론을 맺는다.

II. RC 모델에 의한 지연 시간 계산법

1981년 Penfield와 Rubinstein은 RC 트리를 통한 지연시간을 계산하는 방법을 개발하였다.¹⁸ RC 트리를 통한 신호 전달 지연 시간의 가장 간단한 계산은 $R_{tot} C_{tot}$ 이다. 여기서 R_{tot} 과 C_{tot} 는 각각 모든 저항값과 커패시턴스값의 합이다. 이 집중(lumped) RC 모델은 스테이지¹⁸를 따라 각 노드와 트랜지스터에 대해 저항과 커패시턴스 합의 곱으로 지연시간을 계산하는 것으로 가장 간단하지만 정확도가 떨어진다. 스테이지가 여러개의 트랜지스터를 가지고 있다면 각 트랜지스터에 대해 저항을 계산하고, 그 값들이 함께 합해지고 파형에 대한 것은 고려되지 않는다.

스테이지내의 각 트랜지스터의 실효 저항은 트랜지스터의 타입과 면적에 근거해 테이블을 사용해서 계산되는데 각 타입에 대해 트랜지스터가 논리 1을 전할때의 저항과 논리 0을 전할때의 두가지 저항값을 가진다. 테이블의 값은 간단한 스테이지에 대해 SPICE 시뮬레이션을 사용하여 뽑아내며 입력으로는 스텝함수가 사용되고 지연시간을 부하 커패시턴스로 나누어 저항을 계산한다. 이 모델에 두가지의 여러 원인이 있는데 그 첫번째가 저항과 커패시턴스를 집중하는 것이고 두번째가 입력 파형의 기울기를 고려하지 않은 것이다.

위의 단점을 보완한 분산 기울기(distributed slope) RC 모델은 분포 커패시터를 가진 복잡한 경로를 다루기 위해 다음과 같은 Elmore의 시정수²¹를 사용한다.

$$T_{D1} = \sum R_i \cdot C_i \quad (1)$$

여기서 $\sum R_i$ 는 신호원에서 노우드 i까지의 저항의 합이고 C_i 는 노우드 i에서의 커패시턴스이다. 이것은 모든 커패시턴스를 모든 저항으로 보정(weighting)하는 대신 각 커패시턴스를 그것과 신호원 사이의 저항에 의해서만 보정하는 것을 의미한다. 또한, 파형에 대한 정보를 고려한 것인데 모든 파형이 지수형(exponential)이지만 기울기가 선형으로 변화하는 것이라고 가정한다. 각 파형은 반전시간(inversion time)과 상승시간(rise time)으로 나타내는데 예를 들어 스텝함수의 상승시간은 0으로 나타내며 상승시간이 크면 느리게 변화하는 파형을 나타낸다. 트랜지스터의 실효저항은 그 게이트에서의 상승시간에 의존할 뿐 아니라 스테이지에 의해 구동되는 부하와 트랜지스터의 크기에도 의존한다. 스테이지가 큰 부하를 구동하거나 트랜지스터의 크기가 작으면 매우 느린 입력 상승시간만이 스테이지의 지연시간에 영향을 미칠 것이고, 스테이지가 작은 부하를 구동하거나 크기가 큰 트랜지스터를 가지면 입력의 상승시간에 매우 민감해질 것이다.

이 모델의 주요 사항은 모든 요인이 하나의 비율로 결합되었다는 것인데 먼저 출력부하와 트랜지스터의 크기가 고유(intrinsic) 상승시간으로 표시되는데 이것은 입력에 스텝함수가 가해졌을 때 출력에서 일어나는 상승시간을 말한다.¹⁸ 입력의 상승시간을 고유 상승시간으로 나눈것을 상승 시간비라 하는데 이것은 트리거 트랜지스터가 동작하는 동안 얼마나 열려 지는가의 척도가 된다. 이 방법은 입력상승시간, 부하조건 그리고 트랜지스터 크기에 따른 삼차원 테이블이 아니라 일차원 테이블로 저항이 계산될

수 있다는 점에서 CPU 시간이나 저장공간면에서 중요한 이점을 가진다. 이 모델은 집중 (lumped) RC 모델과 거의 같은 정도로 효율적이면서 정확도에 있어서는 가장 뛰어난 것으로 평가되고 있다.¹¹⁰⁾ 그림 1은 트랜지스터를 RC 트리(tree)로 변환하는 예를 보여 주며, 전달 (transmission) 게이트는 PMOS 트랜지스터와 NMOS 트랜지스터가 병렬 연결된 저항으로 계산한다. T_{D1} 가 지연시간의 척도로 사용되는 근거는 $V_i(t)$ 를 영상태 스텝응답 (zero-state step response) 이라고 하면 $\dot{V}_i(t)$ 는 임펄스 응답 (impulse response)이며 다음과 같이 표시되기 때문이다.

$$T_{D1} = \int_0^{\infty} t \dot{V}_i(t) dt \quad (2)$$

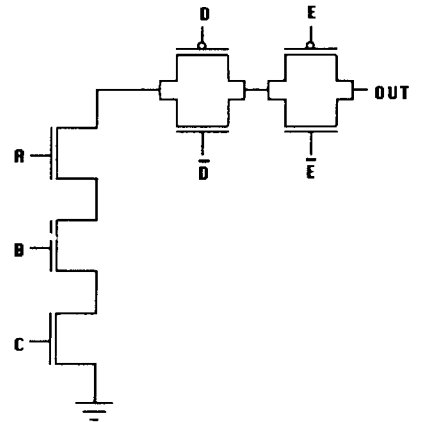
따라서 T_{D1} 를 지연시간으로 근사화 한다는 것은 확률밀도 함수를 그 평균값으로 대치하는 것에 해당한다.¹¹¹⁾

III. 지연시간 모델유도

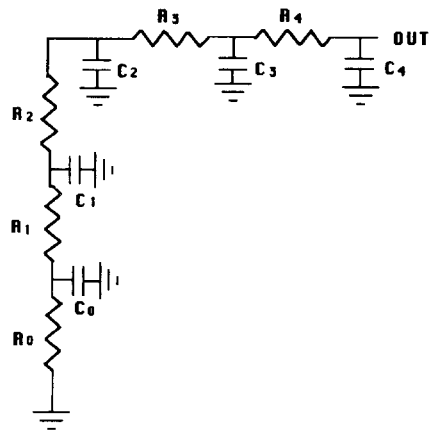
양의 지연시간을 보장하기 위해 본 연구에서는 저논리 문턱 전압 V_{TL} 과 고논리 문턱전압 V_{TH} 를 각각 V_{TN} 과 $V_{DD} - |V_{TP}|$ 로 가정하였다. 여기서 V_{TN} 과 V_{TP} 는 각각 CMOS 회로에서 NMOS 트랜지스터와 PMOS 트랜지스터의 영 바이러스 문턱 전압이다. 사용되는 여러가지 지연시간의 정의는 아래와 같으며 그림 2에 보여 주었다.

- (1) 하강(상승)오프셋 시간 $t_{HLO}(t_{LHO})$ 는 상승(하강) 입력이 $V_{TL}(V_{TH})$ 에 도달한 시간에서 하강(상승)출력이 $V_{TH}(V_{TL})$ 에 도달할 때까지의 시간이다.
- (2) 하강(상승)시간 $t_{HL}(t_{LH})$ 는 하강(상승)출력이 $V_{TH}(V_{TL})$ 에서 $V_{TL}(V_{TH})$ 까지 감소(증가)하는데 걸리는 시간이다.
- (3) 하강(상승)전달지연시간 $t_{PHL}(t_{PLH})$ 는 입력과 출력이 V_{INV} 를 교차하는 시간간격이다. 여기서 V_{INV} 는 논리 반전 전압 (logic inversion voltage)이다.

지연시간의 해석을 위해서는 스위칭 구간의 과도 상태의 특성이 중요하며 CMOS의 경우 전류파형이 거의 삼각파에 가깝고 NMOS 트랜지스터와 PMOS 트랜지스터가 동시에 열려있는 구간이 매우 짧기 때문에 부하 커패시턴스가 충전되는 것은 PMOS 트랜지스터에 의해서 되며, 방전은 NMOS 트랜지스터에 의존하게 된다고 가정하였다.¹³⁻⁶⁾ 따라서 부하전하 C_L , V_{DD} 가 평균 전류 $WI_{P,n}$ 에 의해 방전되고 평균 전류 $WI_{P,p}$ 에 의해 충전 된다면, 하강시간과 상승시간의 정의로부터



(a)



(b)

그림 1. 트랜지스터 회로의 RC 트리 변환
(a) 전형적인 CMOS 스테이지 회로
(b) 등가 RC 트리 회로

Fig. 1. RC tree transformation of the transistor circuit.
(a) the circuit of the typical CMOS stage,
(b) equivalent RC tree circuit.

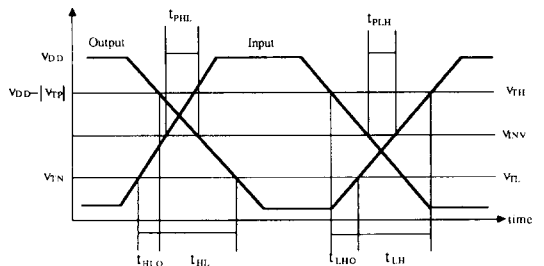


그림 2. 지연시간의 정의
Fig. 2. Definitions of delay times.

$$t_{HL} = \frac{C_1[V_{DD} - V_{TN} - |V_{TP}|]}{W I_{pN}} \quad (3a)$$

$$t_{LH} = \frac{C_1[V_{DD} - V_{TN} - |V_{TP}|]}{W I_{pP}} \quad (3b)$$

이며, 여기서 C_1 은 출력 커패시턴스, V_{DD} 는 공급 전압, I_{pN} 과 I_{pP} 는 각각 NMOS 트랜지스터와 PMOS 트랜지스터 전류의 최고치이며, W 는 가중계수이다. 식 (3)으로 부터 t_{HL} 은 I_{pN} 과 W , t_{LH} 는 I_{pP} 와 W 가 구해지면 계산될 수 있음을 알 수 있다. 다음의 유도과정에서 반대의 경우는 마찬가지로 방법이 적용되므로 상승 입력, 즉 $V_{in} = V_{DD}t/\tau_{LH}$ ($0 < t < \tau_{LH}$)의 경우만을 고려한다. 여기서 τ_{LH} 는 입력이 0에서 V_{DD} 까지 변화하는데 걸리는 시간으로 입력의 기울기를 나타낸다. 실제의 회로응용에서 입력파형은 램프(ramp)가 아니라 전단 게이트로 부터의 출력 파형이지만, 그 차이가 적으므로 입력의 형태를 램프로 가정하였다.^{[5],[7]} V_s 를 트랜지스터가 포화 영역을 벗어날 때의 출력전압, V_f 를 입력전압이 최종값에 도달했을 때의 출력전압으로 정의하면 다음의 두 경우가 발생된다.

1. 빠른 입력의 경우 ($V_s \leq V_f$)

입력이 최종값에 도달했을 때에도 트랜지스터는 여전히 포화되어 있는 경우로 출력전압 V_o ($> V_f$)에 대한 미분 방정식은

$$-C_1 \left(\frac{dV_o}{dt} \right) = \frac{k_N}{2} \left(\frac{V_{DD}t}{\tau_{LH}} - V_{TN} \right)^2 \quad (4)$$

여기서 k_N 은 N채널 트랜지스터의 상수이다. 초기조건 $V_{in} = V_{TN}$ 에서 $V_o = V_{DD}$ 을 이용하여 식(4)를 적분하면

$$V_o = V_{DD} - \frac{k_N \tau_{LH}}{6C_1 V_{DD}} \left(\frac{V_{DD}t}{\tau_{LH}} - V_{TN} \right)^3 \quad (5)$$

입력이 최종값에 도달했을때 $V_s \leq V_f$ 의 조건은 다음 판별식을 산출한다.

$$\tau_{LH} \leq \frac{(6C_1 V_{DD} V_{TN})}{[k_N (V_{DD} - V_{TN})^3]} \quad (6)$$

V_{in} 이 V_{DD} 인 동안에는 N채널 트랜지스터가 여전히 포화되어 있으므로 출력전압은

$$V_o = V_f - \frac{[k_N (V_{DD} - V_{TN})^2 (t - \tau_{LH})]}{2C_1} \quad (7)$$

$V_o = V_s = V_{DD} - V_{TN}$ 으로 놓으면

$$t_{HLO} = \tau_{LH} + \frac{2V_{TN}C_1}{k_N (V_{DD} - V_{TN})^2} - \frac{\tau_{LH} (V_{DD} - V_{TN})}{3V_{DD}} \quad (8)$$

이 경우 I_{pN} 은 게이트소오스 전압 V_{GS} 가 V_{DD} 일때의 N채널 트랜지스터 포화 전류와 같다. 즉

$$I_{pN} = \frac{k_N}{2} (V_{DD} - V_{TN})^2 \quad (9)$$

2. 느린 입력의 경우 ($V_s > V_f$)

입력 전압이 최종값에 도달하기전에 N채널 트랜지스터가 포화 영역을 떠나는 경우로서 $V_o > V_s$ 인 영역에서는 식(5)가 유효하며 $V_o = V_{DD} - V_{TN}$, $t = t_{HLO}$ 를 대입하여 정리하면

$$t_{HLO} = \frac{\tau_{LH}}{V_{DD}} \left[V_{TN} + \left(\frac{6C_1 V_{DD} V_{TN}}{k_N \tau_{LH}} \right)^{1/3} \right] \quad (10)$$

V_s 의 값은 $V_o = V_s = V_{DD}t/\tau_{LH} - V_{TN}$ 을 식(5)에 대입하면 구해진다.

$$V_s = V_{DD} - \frac{k_N \tau_{LH}}{6C_1 V_{DD}} V_s^3 \quad (11)$$

입력 램프를 선형영역 방정식에 대입하면 복잡한 비선형 미분 방정식이 된다. 하지만 V_{GS} 를 포화점에서 게이트 전압과 V_{DD} 의 평균 즉, $V_{avg} = [(V_s + V_{TN}) + V_{DD}]/2$ 으로 단순화 하고 트랜지스터가 선형영역에 있으므로 최대전류가 $V_o = V_s$ 에서 일어나게 되어 다음 식을 얻을 수 있다.

$$I_{pN} = k_N [V_{avg} - V_{TN}] V_s - \frac{V_s^2}{2} \quad (12)$$

각각 입력 램프와 P채널 트랜지스터에 대한 방정식을 이용하여 t_{HLO} , I_{pP} 에 대해서도 비슷한 결과가 유도될 수 있다. 한편 전달 지연시간 t_{PHL} 은 정의와 위의 결과들을 이용하여 다음과 같이 유도된다.

$$t_{PHL} = \frac{\tau_{LH} V_{TN}}{V_{DD}} + t_{HLO} + t_{HL} \frac{V_{DD} - |V_{TP}| - V_{INV}}{V_{DD} - V_{TN} - |V_{TP}|} - \frac{V_{INV}}{\tau_{LH} V_{DD}} \quad (13)$$

그러므로 $t_{PHL} = R_{eff} \cdot C_1$ 의 관계에서 MOS 트랜지스터의 저항값을 구할 수 있다.

IV. 모델 파라미터 추출

위에서 설정한 가정들에 기인한 오차를 보상하기 위해 주어진 제조공정에 대해 많은 시뮬레이션을 통해 지연시간의 가중 함수를 도입하였고, 여러가지 지연시간에 대한 적절한 가중 함수의 형태가 표1에 주어졌다. 여기서 β 는 트랜지스터의 너비를 길이로 나눈 외형비(aspect ratio)이고, τ 와 C 는 각각 입력파형의 기울기와 부하 커패시턴스이다. 이러한 가중함수는 물리적인 의미를 가지지는 않지만 모델의 정확

표 1. 가중 함수의 형태
Table 1. The form of weighting functions.

Delay Times		Weighting Functions
T _{HLLH}	fast	W ₁
	slow	W ₂ (C/β τ) ^{W3}
T _{PHL/PLH}	fast	W ₄ (β τC) ^{-W5}
	slow	W ₆ (β τC) ^{-W7}

성을 높여주기 위해 도입되었고, 세가지의 요인중 한가지에 대한 에러 경향을 각각 분석하여 그 형태가 구해졌다. 반해석적 모델을 사용하기 위해서는 pull-up 및 pull-down에 대해 각각 7가지의 가중계수를 필요로 하며, 모든 W_i, i=1, 2, 3, 4, 5, 6, 7는 양의 실수이다. 하강 입력에 대해서도 동일한 형태의 가중함수가 유효하다. SPICE 시뮬레이션 결과가 주어졌을때 조절가능한 계수를 사용해 제안모델과의 차이가 최소화되도록 그 계수를 구하는데 Fletcher-Powell^[2] 방법이 적용되었고, 그 기준함수는 $ERR = \sum_{n=1}^M \epsilon_n^2 = \sum_{n=1}^M (t_n - t_n^*)^2 / t_n^2$ 이다. 여기서 t_n과 t_n^{*}는 각각 SPICE와 제안된 모델에 의해 계산된 지연 시간이다. 2μm CMOS 프로세스에 대해 최적화된 계수가 표 2에 주어졌다.

표 2. 실험 프로세스에서의 최적화된 W_i
Table 2. Optimized W_is in experimental process.

Coefficients	Delay Time	Falling	Rising
	W ₁		0.442111
W ₂		0.68568	0.67566
W ₃		0.11696	0.095284
W ₄		1.1389	1.0439
W ₅		0.061556	0.053307
W ₆		1.0026	0.93219
W ₇		0.047807	0.042889

최적의 모델 파라미터 추출은 제안된 모델 방정식이 지연 특성을 잘 나타내도록 하기 위해 필요하며, 반해석적 모델의 가중계수들은 외형비, 입력 기울기, 부하 커패시턴스의 여러 조건에 따른 SPICE 데이터로부터 추출하게 된다. 그 과정은 그림 3과 같은데 여기서 모우드는 입력 파형의 기울기에 따라 빠른 입력과 느린 입력의 두 경우로 분류하는 것을 말

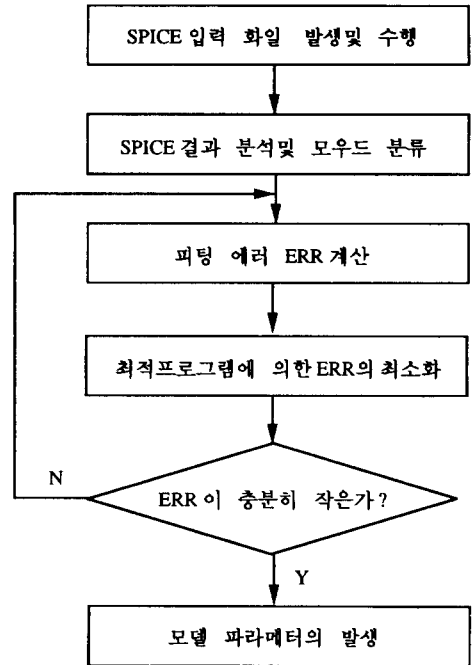


그림 3. 제안된 파라미터 추출 방법의 간략화된 흐름도

Fig. 3. Simplified flow chart of the proposed parameter extraction method.

하며, 최적 프로그램에 의한 ERR 최소화에는 파라미터의 초기값과 변화폭이 주어져야 한다.

V. 시뮬레이션 결과 및 고찰

유도된 방정식으로부터 계산된 지연시간과 SPICE에서 구해진 지연시간을 넓은 범위, 즉 NMOS 트랜지스터 상수(4-8), PMOS 트랜지스터 상수(10-14), 입력 파형의 기울기(0.1-5ns) 그리고 부하 커패시턴스(0.1-1PF)를 갖는 인버터에 대해 테스트하여 그림 4에 표시하였다. 데이터가 대각선에 모여있다는 사실은 제안된 모델이 적은 오차 범위내에서 피팅(fitting)되었다는 것을 의미하며, 이것은 트랜지스터 레벨에서 한 스테이지의 오차범위가 된다. 한편 여러 가지 테스트 회로에 대하여 테이블 모델, 반해석적 모델, SPICE에 의해 지연시간을 구한 후 그 결과를 표 3에 정리하였는데 Demo 회로의 경우 여러 스테이지로 인한 보상효과로 테이블 모델이 나온 결과를 보였으나, 제안된 방법이 테이블 모델에 비해 평균적으로 2배이상의 정확도 향상이 있음을 알 수 있다.

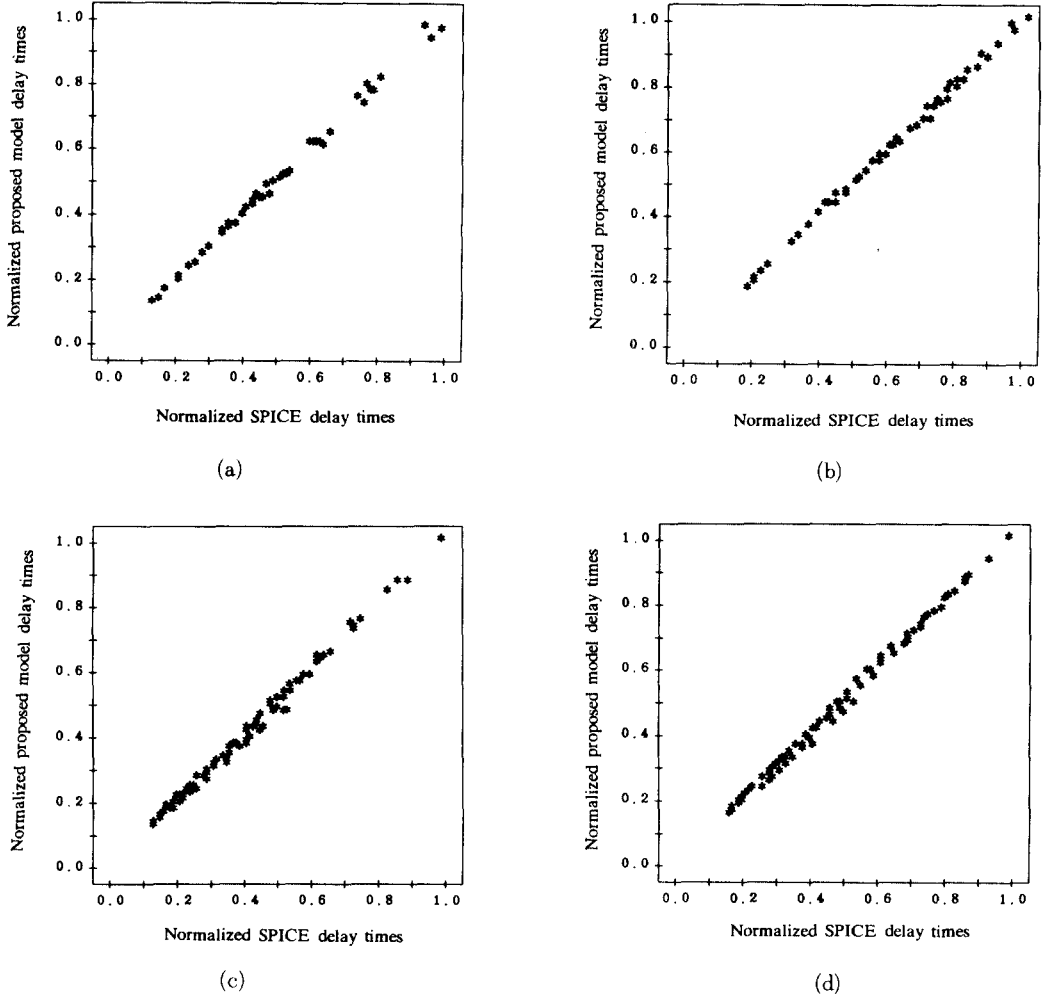


그림 4. SPICE 시뮬레이션 결과와 제안된 모델의 정규화된 전달 지연시간 비교

- (a) t_{PHL} (빠른 입력 경우) (b) t_{PHL} (느린 입력 경우)
- (c) t_{PLH} (빠른 입력 경우) (d) t_{PLH} (느린 입력 경우)

Fig. 4. The normalized propagation delay comparisons between SPICE simulation results and the proposed model.

- (a) t_{PHL} (fast input case), (b) t_{PHL} (slow input case),
- (c) t_{PLH} (fast input case), (d) t_{PLH} (slow input case).

VI. 결 론

본 논문에서는 스위치 레벨 CMOS 지연시간 계산을 위한 반해석적 모델을 제안하였는데 이것은 스위칭 최고 전류에서 부터 유도되었다. 입력을 기울기에 따라 빠른 모우드와 느린 모우드로 구분하여 각 경우에 대해 스위칭 최고 전류와 지연시간을 구하였다. 한편 모델 계산에 필요한 파라미터가 자동적으로 추

출되었으며 SPICE 데이터와의 피팅은 평균 3%이내에서 이루어졌다. 테스트 결과는 제안된 방법이 10%이내의 에러 범위 내에서 지연시간을 예측함을 보여 주었고, 기존의 모델에 비해서는 2배이상의 개선이 있었음을 알 수 있다. 새로운 모델은 존재하는 논리 시뮬레이터^[13-14]나 시간 검증기^[15-16]에 쉽게 구현이 가능하다.

표 3. 테이블 모델, 제안된 모델과 SPICE 결과와의 지연시간 비교

Table 3. Delay time comparisons of the table model, the proposed model, and SPICE results.

Test Circuit	No. of MOS (No. of Node)	Delay Times[ns]		
		Table Model (Deviation)	Proposed Model (Deviation)	SPICE
Demo	154(101)	7.47(3.2%)	7.33(5.1%)	7.72
ALU(74181)	472(252)	33.53(6.2%)	32.47(2.9%)	31.56
Parallel Multiplier	896(469)	18.54(25.5%)	22.32(10.4%)	24.90
MICOM Arithmetic	808(420)	47.11(26.8%)	33.13(10.8%)	37.14

參 考 文 獻

- [1] T. Tokuda, K. Okazaki, K. Sakashita, I. Ohkura and T. Enmoto, "Delay time modeling for ED MOS logic LSI," *IEEE Trans. Computer-Aided Design*, vol. CAD-2 pp. 129-134, July 1983.
- [2] D. Auvergne, G. Cambon, "Delay time evaluation in ED MOS logic LSI," *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 337-343, 1986.
- [3] D.A. Hodges and H.G. Jackson, *Analysis and design of digital integrated circuits*, McGraw-Hill, New York, Chap. 3, 1983.
- [4] S.M. Kang, "A design of CMOS polycells for LSI circuits," *IEEE Trans. Circuit and System*, CAS-28, pp. 838-843, 1981.
- [5] D.V. Overhauser, "A new approach to switch-level timing simulation of CMOS VLSI circuits," *Report*, University of ILLINOIS at Urbana-Champaign, T-164, 1985.
- [6] D. Auvergne, D. Deschacht, and M. Robert, "Explicit formulation of delays in CMOS VLSI," *Electron. Lett.*, 14, pp. 741-742, 1987.
- [7] L.W. Nagel, "SPICE2: A computer program to simulate semiconductor circuits," ERL Memo ERL-M520, Univ. of California, Berkeley, May 1975.
- [8] P. Penfield, Jr. and J. Rubinstein, "Signal delay in RC tree networks," in *Proc. 18th Design Automation Conf.*, pp. 613-617, 1981.
- [9] J. Benkoski and A.J. Strojwas, "A new approach to hierarchical and statistical timing simulations," *IEEE Trans. Computer-Aided Design*, vol. CAD-6, no. 6, pp. 1039-1052, Nov. 1987.
- [10] J.K. Ousterhout, "Switch-level delay models for digital MOS VLSI," in *Proc. 21st Design Automation Conf.*, pp. 542-548, June 1984.
- [11] J.L. Wyatt, Jr., "Signal propagation delay in RC models for interconnect," *Circuit analysis, simulation and design2*, North-Holland, New York, 1987.
- [12] R. Fletcher, and M.J. D. Powell, "A rapidly convergent descent method for minimization," *British Computer Journal*, 6, pp. 163-168, 1963.
- [13] R.E. Bryant, "A switch-level model and simulator for MOS digital systems," *IEEE Trans. Computers*, C-33, pp. 160-177, 1984.
- [14] C.J. Terman, "RSIM: A logic level timing simulation," in *Proc. 20th Design Automation Conf.*, pp. 437-440, 1983.
- [15] N.P. Jouppi, "Timing analysis and performance improvement of MOS VLSI designs," *IEEE Trans. Computer-Aided Design*, vol. CAD-6, pp. 650-665, July 1987.
- [16] J.K. Ousterhout, "A switch-level timing verifier for digital MOS VLSI," *IEEE Trans. Computer-Aided Design*, vol. CAD-4, pp. 336-348, July 1985.
- [17] B. Hoppe, G. Neucendorf, D.S. Landsiedel, and W. Specks, "Optimization of high-speed CMOS logic circuits with analytical models for signal delay, chip area, and dynamic power dissipation," *IEEE Trans. Computer-Aided Design*, vol. CAD-9, pp. 236-247, Mar. 1990.

著 者 紹 介



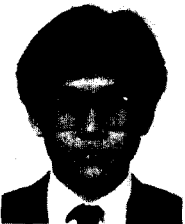
金 敬 昊(正會員)

1961年 2月 3日生. 1980年 3月 ~1984年 2月 연세대학교 전자공학과 졸업(공학사). 1984年 3月 ~1987年 2月 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1987年 3月 ~현재 한국과학기술원 전기및 전자공학과 박사과정. 1983年~현재 삼성 전자 종합연구소 연구원. 주관심분야는 반도체 모델링, Simulation, Timing Verification 및 Delay Optimization 등임.



李 尚 憲(正會員)

1964年 12月 4日生. 1987年 2月 충남대학교 전자공학과 졸업. 1989年 8月 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1989年 9月~현재 한국과학기술원 전기 및 전자공학과 박사과정. 1989年 9月~현재 삼성전자 반도체(주)연구원. 주관심분야는 VLSI Performance Optimization, Circuit Testing, Parallel Processing 등임.



李 暎 根(正會員)

1963年 6月 13日生. 1986年 2月 건국대학교 전자공학과 졸업. 1985年 12月 삼성전자 반도체(주) 연구원. 1990年 3月 삼성전자 반도체(주) 주임 연구원. 주관심분야는 VLSI CAD 분야중 Logic/Fault Simulation, Timing Verification 및 Testable Design 등임.



朴 松 培(正會員)

1924年 5月 18日生. 1951年 서울대학교 전자공학과 졸업 공학사학위 취득. 1962年 및 1968年 미국 Minesota대학 전기공학과 석사학위 및 박사학위 취득. 1955年 ~1968年 서울대학교 전자공학과 조교수. 1968年~1971年 미국 Oregon 주립대학 전기공학과 조교수. 1973年~현재 한국과학기술원 전기 및 전자공학과 교수. 주관심분야는 초음파 영상과 Computer Aided Design 등임.