

HEMT 소자 제작을 위한 GaAs/AlGaAs층의 선택적 건식식각 (Selective Dry Etching of GaAs/AlGaAs Layer for HEMT Device Fabrication)

金興洛*, 徐暎錫**, 梁昇周**, 朴盛鎬***, 金汜婉**, 姜鳳求**, 禹種天****

(Heung Rak Kim, Young Seok Seo, Seung Joo Yang, Sung Ho Park,
Bum Man Kim, Bong Koo Kang, and Jong Chun Woo)

要 約

저잡음 초고속용 HEMT소자를 재현성있게 제작하기 위해 필요한 GaAs/AlGaAs이종구조(heterostructure)에 대하여 선택적 건식식각공정을 개발하였다. CCl_2F_2 를 기본 공정가스로 사용하여 GaAs/ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 이종구조를 선택적 건식식각한 결과, 약 610 : 1 이상의 높은 식각선택도를 관찰하였다. 또한 공정가스로 CCl_2F_2 만을 사용할 경우에 부분적으로 심각하게 형성된 polymer막은 소량의 He 첨가나 식각공정이 끝난 후에 O_2 플라즈마 ashing으로 제거하였다.

최선의 건식식각공정을 얻기 위해서 건식과 습식을 이용하여 제작된 Schottky 다이오드의 특성을 비교 분석하고, 뛰어난 공정의 재현성과 높은 GaAs/AlGaAs 식각선택도를 가진 건식식각의 특성을 살리며, 표면손상이 작은 습식식각의 장점을 최대한 수용하는 방향으로 공정조건을 확립하였다. CCl_2F_2 가스만을 사용하여 확립한 건식식각 공정조건에 의해 제작된 HEMT 소자의 경우, g_{mext} 이 최대 224mS/mm이고, 2인치 웨이퍼 전면에 걸쳐 $200 \pm 20\text{mS/mm}$ 내외의 고른 g_{mext} 분포를 나타내었다.

Abstract

A reproducible selective dry etch process of GaAs/AlGaAs Heterostructures for High Electron Mobility Transistor(HEMT) Device fabrication is developed. Using RIE mode with CCl_2F_2 as the basic process gas, the observed etch selectivity of GaAs layer with respect to $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ is about 610:1. Severe polymer deposition problem, partially generated from the use of CCl_2F_2 gas only, has been significantly reduced by adding a small amount of He gas or by O_2 plasma ashing after etch process.

In order to obtain an optimized etch process for HEMT device fabrication, we compared the properties of the wet etched Schottky contact with those of the dry etched one, and set dry etch conditions to approach the characteristics of Schottky diode on wet etched surface. By applying the optimized etch process, the fabricated HEMT devices have the maximum transconductance g_{mext} of 224 mS/mm, and have relatively uniform distribution across the 2 inch wafer in the value of $200 \pm 20\text{mS/mm}$.

*正會員, 産業科學技術研究所 半導體素材研究 그룹
(Research Institute of Industrial Science & Technology; RIST, Dep. of Semiconductor, Material Lab.)

**正會員, 浦項工科大学 電子電氣工學科
(Dept. of Electronic & Electrical Eng., POSTECH)

接受日字: 1991年 8月 16日

***正會員, 韓國電子通信研究所 化合物素子研究室
(ETRI, Compound Devices Tech, Sec.)

****正會員, 서울대학교 物理學科
(Dept. of Physics Seoul Nat'l Univ.)

(※ 본 연구는 과기처의 국책과제(ETRI) 및 상공부의
공업기반기술과제의 지원을 받았음.)

I. 서 론

오늘날 반도체 기술은 초고속화 및 고집적화의 방향으로 발전되고 있으며, 이러한 진행 과정에서 특히 저잡음 고속 소자로 각광받고 있는 소자중의 하나가 화합물 반도체를 이용한 HEMT (high electron mobility transistor) 소자이다. HEMT 소자를 초고속 LSI, VLSI 회로에 사용하기 위해서는 균일하고 재현성 있는 소자 제조기술이 필수적이다.^{1,2)}

균일하고 재현성 있는 소자특성을 갖는 HEMT 소자를 제작하기 위해서는 박막구조가 GaAs/AlGaAs의 이종구조 (heterostructure)로 되어 있고 doping 농도가 매우 높은 약 300~500Å 두께의 GaAs 박막을 gate 영역에서 정확히 recess 식각하여야 한다. 습식식각공정에서는 AlGaAs에 대한 GaAs의 식각 선택도가 낮고, 또한 공정 재현성이 떨어져 정확한 recess 깊이를 조절함이 용이하지 않아 재현성있게 균일한 문턱전압 (threshold voltage, V_{th})를 얻는 것이 어렵다. 한편 플라즈마를 이용한 건식식각의 경우, 상온에서 생성시키기 어려운 활성력이 큰 할로젠족 원소의 발생이 용이하고 진공상태에서 공정이 이루어지기 때문에 공정의 재현성과 균일도를 얻기가 용이하다. 또한 서로 다른 물질 사이의 가스상태의 화학반응 속도를 조절하기가 쉬우므로 비교적 높은 식각선택도를 달성할 수 있다. 그러나 건식식각은 식각하고자 하는 박막에 이온 bombardment에 의한 손상으로 소자의 성능을 감소시키는 문제점이 발생한다. 그러므로 GaAs/AlGaAs층의 선택적 건식식각을 위해서는 이온에 의한 손상을 최소화시키고 재현성이 높은 공정을 확립하는 것이 필요하다.³⁾

선택적 건식식각은 플라즈마를 이용한 RIE (reactive ion etching)로 수행되며, 식각해야 할 부분의 박막구조가 GaAs/AlGaAs층의 구조로 되어 있는 것을 감안하여, 식각은 주로 GaAs층 부분에서 일어나고 AlGaAs 표면층에서는 식각이 거의 정지되는 식각공정이 필요하다. 그러나 식각이 이루어져야 하는 GaAs의 경우 표 1에서와 같이 III족인 Ga와 V족인 As의 다른 화학반응 때문에 F기만을 포함한 가스로는 식각이 이루어지지 않는다.⁴⁾ 이것은 식각반응으로 생성된 반응생성물인 AlF_3 의 용융점과 비등점이 각각 800°C, 1000°C로 휘발성이 극히 낮아 GaAs 기판 표면에서 식각을 방해하는 식각 저지층으로 존재하기 때문이다. 그러나 Cl기를 포함하고 있는 가스에서는 식각 반응시 생성된 반응 생성물인 $GaCl_3$ 의 경우에 비등점이 201.3°C로 휘발성이 높아 식각 반응을 지속적으로 일으킨다. 한편 AlGaAs 층에서는 식각이 거의 정지되어야 하므로 반응기와 AlGaAs와의

반응에서 생성된 반응 생성물의 휘발성이 크게 떨어질 수 있는 화학반응 조건을 고려하여야 한다. 표에서 F기에 의해 생성된 반응생성물인 AlF_3 의 경우에는 1291°C에서 승화되며 이는 GaF_3 에 비하여 극히 휘발성이 낮은 반응생성물이다. 이러한 반응생성물의 성질을 이용하여 GaAs/AlGaAs 층의 선택적 식각은 Cl기를 주된 식각 반응기로 사용하고, F기에 의한 반응생성물을 식각저지막 형성으로 사용하여, GaAs 층에서는 Cl기에 의한 식각속도를 F기에 의한 식각저지막 형성속도에 비해 크게 해줌으로 인해 식각이 지속적으로 진행되고, AlGaAs 층에서는 AlF_3 저지막 형성이 Cl에 의한 식각보다 빠르게 해줌으로써 식각이 거의 정지되는 반응 조건을 형성시켜 줌으로써 이루어 질 수 있다.

본 논문에서는 HEMT 소자 제조를 위해서 공정의 재현성과 소자의 손상을 최소화시키는 방향으로 GaAs/AlGaAs 층의 선택적 건식식각 공정을 확립하였다. II절에서는 선택적 식각을 위해 사용된 식각장치와 공정실험을 위한 시편준비에 관하여 기술하고, III절에서는 재현성 있는 식각공정을 얻기 위해서 CCl_2F_2 를 기본 공정가스로 하여 n-형 GaAs 기판을 식각한 결과와 GaAs/AlGaAs의 선택적 식각공정 및 CCl_2F_2 가스만을 사용시 형성된 polymer 막을 제거하기 위한 공정을 기술하고, 또한 건식식각과 습식식각으로 제작된 Schottky 다이오드를 비교하고 손상이 가장 적은 최선의 건식식각공정으로 HEMT 소자를 제작하여 특성을 관찰하였으며, IV절에서는 실험 및 측정결과를 요약하였다.

표 1. 전형적인 식각반응 생성물의 비등점
Table 1. The boiling point of typical etch by products.

Material	Chlorine	Boiling Point (Melting Point) [°C]	Fluoride	(Boiling Point (Melting Point) [°C]
Al	$AlCl_3$	177.8 (190) (subl)	AlF_3	1291 (subl)
As	As_2Cl_3	130.2	AsF_3	-63
Cr	CrO_2Cl_2	117	CrF_2	>1300
Cu	$CuCl_2$	1490 (430)	CuF_2	950 (780)
Ga	$GaCl_3$	201.3	GaF_3	1000 (800)
Si	$SiCl_4$	57.57	SiF_4	-86
W	WCl_6	346.7	WF_6	17.5
In	$InCl_3$	300 (586) (subl)	InF_3	>1200

II. 실험 및 시편준비

실험에 사용된 장비는 영국 Plasma Tech, Inc.사의 RIE-80system 이다. RIE-80system은 그림 1에

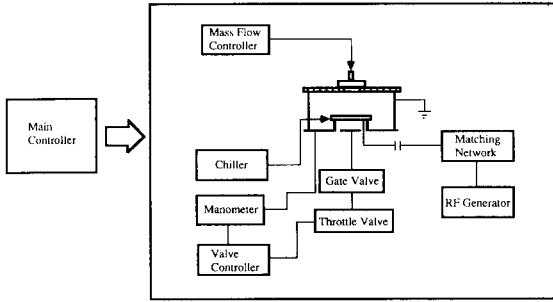


그림 1. RIE-80system의 전체 개략도
Fig. 1. Schematic diagram of RIE-80 system.

도시한 바와같이 전체 공정제어를 위한 main controller, 공정가스 공급 및 제어를 위한 gas delivery system, RF 전력을 공급하기 위한 RF power supply 및 impedance matching network, 공정압력 조절과 배기를 위한 vacuum system, 그리고 기판물질의 온도를 제어하는 chiller 및 공정이 진행되는 반응관으로 구성되어 있다.

공정실험을 위한 시편준비는 시편을 TCE, Acetone, Methanol에서 각각 8분간 cleaning한 후 자연산화막을 제거하기 위해서 HCl : H₂O = 1 : 1 용액에서 30초간 식각한 후, 탈이온수(DI water)로 15초간 rinse하고 물기를 제거하기 위해서 N₂-blowing한 후 85°C 오븐에서 약 5분간 baking하였다.

패턴을 형성시키기 위해서 시편을 먼저 Spin Coater를 이용하여 약 1 μ m내외의 photoresist(P.R)를 입히고, 90°C에서 약 6분간 soft baking을 한 후 P.R을 노광시킨 다음, develop 용액에 넣어 패턴을 형성시키고 탈이온수로 rinse를 하였다. 그리고 건식식각 공정시 식각 마스크 역할을 할 수 있도록 P.R을 120°C에서 15분간 hard baking을 하였다.

식각공정후 P.R 제거를 위해 Acetone에 약 2분간 담근 후, Tencor사의 Alpha-step 200을 사용하여 식각된 GaAs 기판의 깊이를 측정하였으며, 또한 제작된 Schottky 다이오드와 HEMT 소자의 I-V 및 g_{mext} 의 측정을 위해 Tektronix사의 Curve Tracer와 HP사의 Parameter Analyzer를 사용하였다.

III. 결과 및 고찰

본 절에서는 HEMT 소자제조시 gate recess 식각을 균일하고 재현성있게 하기 위해서는 GaAs 기판에 대하여 재현성 있는 건식식각 공정을 얻는 것이 중요하므로 먼저 Cl기가 포함된 CCl₂F₂를 사용하여

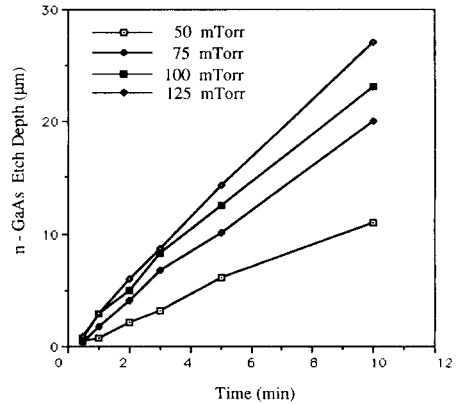


그림 2. 공정압력을 변수로 한 시간에 대한 n-GaAs의 식각깊이
공정조건 : 전력 100watt, 온도 5°C, CCl₂F₂ 20scm
Fig. 2. Etch time versus n-GaAs etch depth with process pressure as a parameter
condition: power 100watt, Temp. 5°C, CCl₂F₂ 20scm.

GaAs 기판을 식각한 결과를 요약하고, 이 공정조건을 GaAs/AlGaAs 이중구조에 대한 선택적 건식식각 공정개발에 사용하였다. 그리고 공정가스로 CCl₂F₂를 사용할 경우에 형성되는 polymer 막은 gate 금속인 Al 증착시 Schottky 접합의 형성을 방해하므로 polymer 형성을 억제하는 공정을 확립하고, 건식식각시 발생하는 이온에 의한 표면손상과 trap 발생효과를 Schottky 다이오드를 만들어 관찰하였으며, 가장 적은 손상을 가진 건식식각 공정으로 GaAs/AlGaAs 이중구조를 선택적으로 식각하고 난 후 HEMT 소자를 제작하여 그 특성을 관찰하였다.

그림2는 CCl₂F₂를 공정 가스로 하여 공정 압력을 변수로 공정시간에 대한 n-형 GaAs 기판의 식각깊이를 도시한 것이다. 인가전력을 100watt로 한 이유는 self-DC 바이어스를 80V 내외로 낮추어 이온 bombardment에 의한 손상을 줄이기 위해서이며, 압력을 변수로 한 이유는 압력이 높고 낮음에 따라 식각률 및 공정의 재현성이 문제시되기 때문이다. 공정 압력이 증가함에 따라 식각률은 증가하는데, 이는 플라즈마내의 이온밀도가 상대적으로 증가하여 식각에 참여하는 반응기가 많아지기 때문이다. 그러나 공정압력이 너무 높을 경우에는 주어진 CCl₂F₂ 가스 유량에 대하여 공정가스가 반응관내에 잔류하는 시간이 너무 길어져서, 반응 생성물과 식각된 P.R등이 잔류 공정가스와 반응하여 polymer를 형성시킬 기회

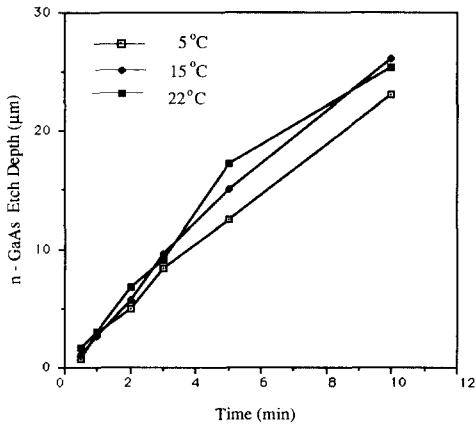


그림 3. 온도변화에 따른 식각시간에 대한 n-GaAs의 식각깊이 공정조건 : 전력100watt, 압력 75mTorr, CCl₂F₂ 20scm
 Fig. 3. Etch time versus n-GaAs etch depth with process temperature as a parameter condition: power 100watt, pressure 75mTorr, CCl₂F₂ 20scm.

가 증대되어 식각후 기판표면에 polymer가 심하게 증착되는 현상이 나타났다. 한편 압력이 너무 낮은 경우인 50mTorr 이하의 공정 압력에서는 rotary pump만으로 달성할 수 있는 기본압력(5~10mTorr)에 비해 약 5~10배 정도로 공정압력이 낮아 반응관내에 머무르는 잔류가스 및 잔류수증기에 의한 공정의 재현성이 문제시된다. 이러한 이유로 공정압력은 75 mTorr로 정하였다.

그림3은 n-형 GaAs 기판의 식각을 위해서 온도를 변수로하여 식각시간에 대한 식각깊이를 도시한 것이다. GaAs 기판물질의 온도가 높으면 식각률은 증가하나, 공정의 재현성이 크게 떨어진다. 이것은 기판물질의 온도가 높아짐에 따라 GaAs 기판물질에서 반응하는 반응기중, F기에 의한 반응이 상대적으로 Cl기에 의한 반응보다 우세해져 반응 초기에 휘발성이 극히 낮은 GaF₃를 생성시켜 식각반응을 방해하기 때문으로 추측된다. 반대로 온도가 너무 낮으면 chiller로서 온도조절이 어려워지는 문제점이 발생한다. 그러므로 공정의 재현성을 높이기 위해서는 chiller로 온도조절이 쉬운 범위인 5°C~10°C 사이로 기판물질의 온도를 선택하였다.

위의 두 식각공정 결과로부터 CCl₂F₂를 공정가스로 하여 GaAs 기판을 식각할 경우, 공정의 재현성을 높이고 polymer 형성을 억제시키기 위한 공정조건으로는 공정압력을 75mTorr로 기판물질의 온도를 5°C

~10°C 사이로 정하는 것이 가장 좋음을 알 수 있다. 선택적 식각공정 실험을 위해 사용된 다층 GaAs/AlGaAs 이종구조(heterostructure)를 가진 시편은 그림4와 같다.

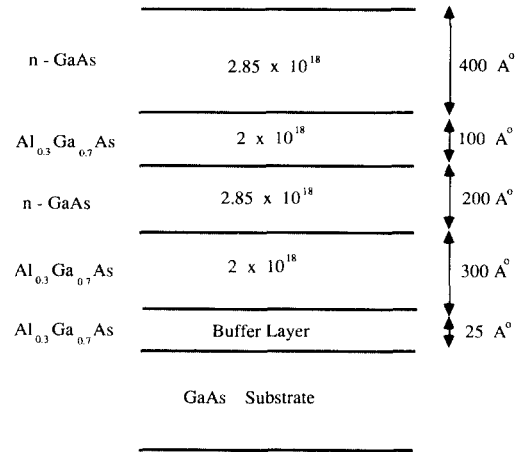


그림 4. 선택적 식각을 위한 GaAs/AlGaAs 이종구조 시편
 Fig. 4. The structure of GaAs/AlGaAs heterostructure sample for selective etching.

GaAs 기판을 식각할 경우 최선의 공정조건이 공정압력은 75mTorr이고, 기판의 온도가 5°C~10°C 임을 이용하여, CCl₂F₂의 유량을 20sccm, 전력 100watt, 기판물질의 온도 5°C, 공정압력 75mTorr에서 선택적 식각실험한 결과가 그림5이다.⁵⁾ n-형 GaAs의 분당 식각률은 약 1.8μm내외이며 Al_{0.3}Ga_{0.7}As층의 분당 식각률은 약 29.5Å로 식각 선택도는 약 610 : 1 내외의 높은 값이다. 이 결과를 이용하여 그림4의 구조를 3분 30초간 식각하였을 때 첫번째 AlGaAs 층이 분당 29.5Å 내외로 식각되고 난 후 두번째 GaAs 층을 선택적으로 식각하여 두번째 AlGaAs층에 식각이 거의 정지되는 결과를 얻었다. 그러나 식각 후 AlGaAs 표면에서 CCl₂F₂만의 사용으로 인한 polymer막 형성이 관찰되었다. 이러한 polymer 막 형성은 공정 압력의 감소, 가스유량의 증가 그리고 가스 혼합비의 변화 등을 통해 상당히 억제할 수 있다.

그림6은 CCl₂F₂(30sccm)에 O₂(5sccm)를 첨가하여 polymer 형성의 핵인 탄소를 산화시켜 CO, CO₂등의 가스로 변환시킴으로써 polymer 형성기회를 줄일 목적으로 실험한 결과이며, 식각공정시 고에너지 이온

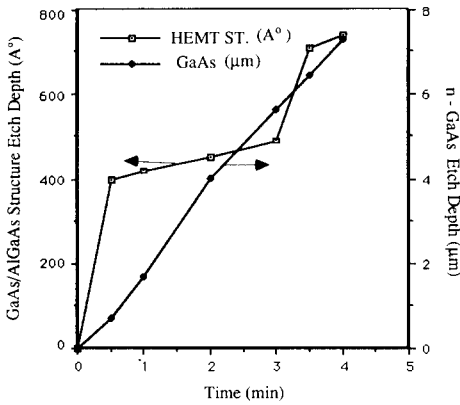


그림 5. 그림4시편에 따른 식각깊이 공정조건: 전력 100watt, 압력 75mTorr, 온도. 5°C, CCl₂F₂ 20 sccm

Fig. 5. Etch time versus etch depth for the sample given in fig. 4 condition: power 100watt, pressure 75mTorr, Temp. 5°C, CCl₂F₂ 20sccm.

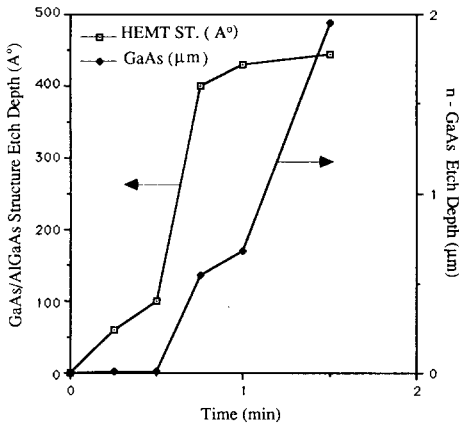


그림 6. CCl₂F₂ + O₂ 혼합가스 사용시 시간에 대한 식각깊이 공정조건: 전력50watt, 압력 75mTorr, 온도. 5°C, CCl₂F₂ 30sccm, O₂5sccm

Fig. 6. The effect of adding O₂ gas on etch depth condition: power 50watt, pressure 75mTorr, Temp. 5°C, CCl₂F₂ 30sccm, O₂5sccm.

에 의한 표면손상을 줄일 목적으로 전력 (50watt) 을 낮추었다.⁶⁾ O₂의 첨가로 상당한 polymer 형성 억제 효과를 보았지만 초기 방전에 의해 생성된 O기에 의한 표면의 불규칙적인 산화막 형성으로 인하여 산화막 식각에 소요되는 시간(20~30초)이 크게 증가

하고 이로 인해 공정의 재현성이 크게 떨어진다.

한편 그림7은 He을 첨가한 경우이다. He 첨가는 He 이온의 충돌 효과로부터 polymer 형성기회를 감소시키고 Cl에 의한 산화막식각이 순조롭게 되어 공정의 재현성이 O₂의 첨가시보다 훨씬 좋아지게 된다.⁷⁾ 그러나 식각 선택도에서는 GaAs의 식각률이 He의 첨가와 전체 유량의 증가로 인한 플라즈마 밀도의 감소로 인하여 분당 1.3μm/min로 약간 감소하였고, He 이온의 충돌 효과로부터 AlGaAs의 분당 식각률은 33.3A°/min로 증가하여 식각 선택도는 약 390 : 1로 감소하였다.

위의 결과들로부터 공정의 재현성은 공정가스를 CCl₂F₂만을 사용하거나 He을 첨가한 경우에 가장 좋을음을 알 수 있다. 그림8은 CCl₂F₂와 He를 공정가스로 가스유량을 증가시켜 식각한 후 microscope(x 400)로 본 Schottky 다이오드의 표면 사진이다. a)는 CCl₂F₂(60sccm)만을 사용한 결과이며, b)는 CCl₂F₂(60sccm)에 He(20sccm)를 첨가한 결과이다. CCl₂F₂(60sccm)만을 사용한 경우에 원형의 AlGaAs표면 주위에 polymer막을 관찰할 수 있으나, He의 첨가는 polymer막을 관찰할 수 없다(중앙 부분의 흑색점들은 건식식각공정후 측정 준비중 오염된 P. R의 잔류물로 추측된다).

그림9에서는 GaAs/AlGaAs 선택적 건식식각 공정으로 발생된 표면손상 및 trap효과를 관찰하기 위해

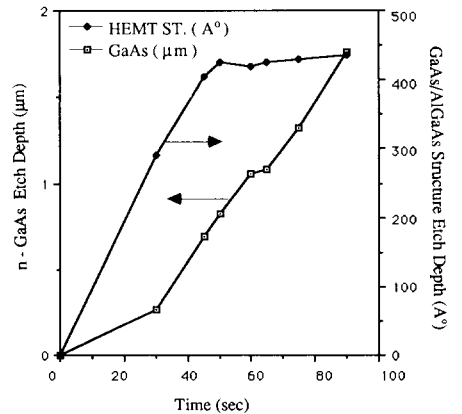


그림 7. CCl₂F₂ 가스에 소량의 He을 첨가한 경우 시간에 따른 식각깊이 공정조건: 전력 50watt, 압력75mTorr, 온도. 5°C, CCl₂F₂ 60sccm, He 20sccm

Fig. 7. The effect of adding He gas on etch depth condition: power 50watt, pressure 75mTorr, Temp. 5°C, CCl₂F₂60sccm, He 20sccm.

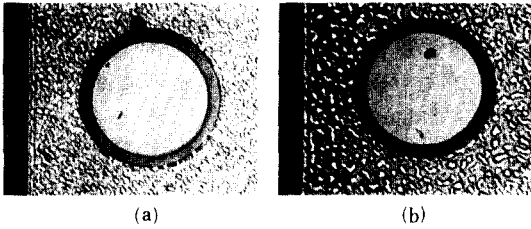


그림 8. 식각후 현미경(x400)으로 관찰한 Schottky 다이오드 표면

- (a) CCl_2F_2 (60 sccm)만을 사용한 경우
- (b) CCl_2F_2 (60sccm)과 He (20sccm)을 혼합한 경우

Fig. 8. Schottky diode surfaces observe by microscope(x400) after etch process. (a) using CCl_2F_2 (60sccm) only, (b) using CCl_2F_2 (60sccm) and He(20sccm) gas mixture.

습식식각과 건식식각으로 제작된 Schottky 다이오드의 특성을 비교 관찰하였다.⁸⁾ 습식식각은 $NH_4OH : H_2O_2 = 1 : 250$ 의 혼합 식각용액을 PH7.0, 온도를 10℃ 내외로 유지시켜 4분동안 수행하였으며, 건식식각은 공정압력을 75mTorr, 기판물질의 온도를 5℃, RF 전력을 CCl_2F_2 (60sccm)에서는 75watt로 CCl_2F_2 (60 sccm) + He (20sccm)에서는 50watt로 하여 self-DC 바이어스를 양쪽 모두 80V내외로 유지시켜 45초간 수행하였다.

그림9의 (a)는 Schottky 다이오드의 순방향 특성으로 turn on전압은 습식식각과 건식식각 모두 약 0.9~1.1V로 GaAs 표면에 Schottky 접합을 하여 측정 한 값보다 약 0.3~0.4V정도 높은 전압이다. 이것은 AlGaAs의 장벽전위가 GaAs의 장벽전위(barrier potential) 보다 크기때문에 나타난 결과라고 판단되며 GaAs cap층이 완전히 식각되어 Schottky 접합이 AlGaAs 표면에서 이루어진 것으로 볼 수 있다. (b)~(d)는 Schottky 다이오드의 역방향 특성을 관찰한 것이다. (b)의 습식식각은 약 5V에서 항복이 일어나고, 건식식각의 경우인 (c)는 CCl_2F_2 만을 사용한 것으로 약 4V에서 항복이 일어난다. He를 첨가한 경우인 (d)에서는 항복전압이 약 2.5V로 감소하였다. 이것은 (c)의 경우 AlGaAs 표면에 형성된 polymer막과 P. R 잔류물 그리고 표면손상의 영향이라고 추측되며, (b)의 경우 He의 첨가로 polymer의 영향은 거의 무시되는 반면, 가벼운 원자인 He 이온의 충돌효과로 인한 AlGaAs의 표면손상과 AlGaAs층 내부로 침투하여 깊은 준위(deep level)에 포획된 전하에 의해 더 낮은 전압에서 항복이 일어난다고 추측된다(레이

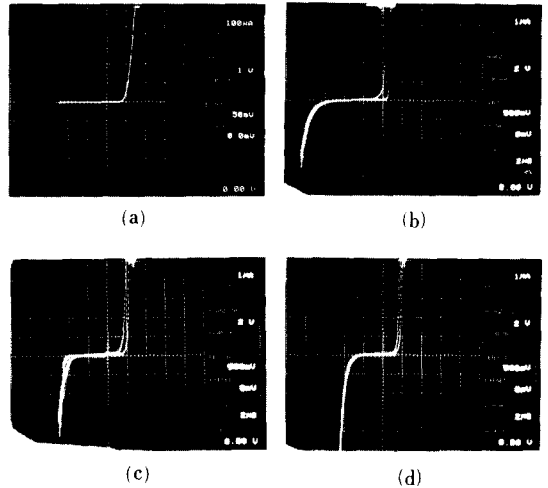


그림 9. Al-AlGaAs Schottky 다이오드 특성

- (a) 순방향 Schottky다이오드 특성
- (b) 역방향 Schottky다이오드의 특성(습식식각)
- (c) 역방향 Schottky다이오드 특성(CCl_2F_2)
- (d) 역방향 Schottky다이오드 특성($CCl_2F_2 + He$)

Fig. 9. Characteristics of Al-AlGaAs Schottky diode.

- (a) forward characteristic of Schottky diode.
- (b) reverse characteristics of Schottky diode(wet etch),
- (c) reverse characteristic of Schottky diode (CCl_2F_2),
- (d) reverse characteristic of Schottky diode ($CCl_2F_2 + He$).

타상의 히스테리시스는 시그널 케이블의 parasitic 영향이라고 사료된다).

그러므로 그림9의 Schottky 다이오드 특성에서 살펴본 바와 같이 건식식각의 경우는 CCl_2F_2 만을 사용한 것이 소자의 손상을 최소화시킬 수 있다는 것을 관찰할 수 있다. 그러나 공정 가스를 CCl_2F_2 만을 사용할 경우에 AlGaAs 표면에 polymer가 형성되어, Schottky gate 금속인 Al 증착시 기판물질인 AlGaAs 층과의 Schottky 접합을 방해하여 gate modulation을 방해하므로, 공정후 O_2 분위기의 플라즈마를 이용하여 polymer를 ashing 함으로써 해결하였다.

재현성이 뛰어난 최선의 건식식각 공정으로 HEMT 소자를 구현하기 위해서 공정가스로 CCl_2F_2 만을 사용하였으며, 가스유량을 60sccm, 공정압력을 75mTorr, 온도를 5℃, 그리고 이온 bombardment에 의한 손상을 감소시키기 위해 RF 전력은 45watt(self-DC 바

이어스, 50V)로 낮추어 실험하였다. 또한 gate 선편이 1.5 μ m인 시편을 식각하고 난 다음 O₂ 분위기에서 약 10분간 플라즈마 ashing을 하여 polymer 막을 제거하고 gate 금속인 Al을 증착하여 시편의 I-V 특성 및 transconductance, g_{mext}을 관찰하였다.^{[9][10][11]}

HEMT 소자 제조에 사용된 시편은 반절연 GaAs 기판물질위에 6000Å°의 undoped GaAs, 20Å°undoped Al_{0.25}Ga_{0.75}As, 3×10¹⁸으로 doping 농도가 같은 100Å°의 Al_{0.25}Ga_{0.75}As, 50Å°의 Al_{0.40}Ga_{0.60}As, 100Å°의 Al_{0.25}Ga_{0.75}As, 그리고 300Å°의 5×10¹⁸n-doped GaAs cap 층이 차례대로 epi- 성장되어 있다.

그림10의 (a)와 (b)는 gate 길이와 폭이 1.5 μ m×100 μ m인 HEMT 소자에서 I-V 특성곡선과 I_d 및 g_{mext} 곡선이다. 여기서 최대 포화전류는 10.5mA이며, (b)의 경우에는 drain 전압(V_d)이 각각 0.2V, 0.4V, 0.6V, 0.8V, 1.0V일 때 gate 전압을 -0.8V에서 0.2V까지 변화시켜 가면서 얻은 transconductance 곡선이다. 최대 transconductance, g_{mext}값은 V_d=1.0V, V_g=-0.4V, I_d=7.324mA에서 224mS/mm이며, 사용된 2인치 웨이퍼 전부분에 대해서 200±20mS/mm내외의 고른 g_{mext}값을 얻었다.

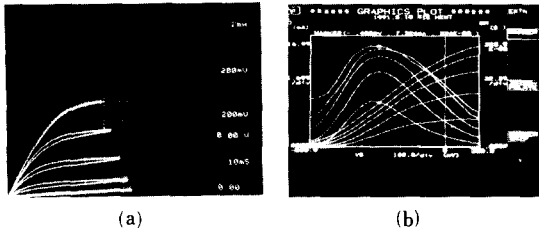


그림 10. 최적화된 건식식각으로 제작된 1.5 μ m×100 μ m HEMT 소자

(a) I-V 특성 (b) g_{mext} 특성

Fig. 10. 1.5 μ m×100 μ m HEMT device fabricated with the optimized etch processes.

(a) characteristic of I-V curve,

(b) characteristic of g_{mext}.

VI. 결 론

저잡음 고주파용 HEMT 소자의 균일한 소자특성을 얻는데 가장 문제시되는 gate recess 식각에 필요한 GaAs와 AlGaAs의 선택적 식각을 위한 재현성 높은 건식식각 공정을 확립하였다. 공정가스로 CCl₂F₂를 이용하여 n-형 GaAs에서는 분당 1.8 μ m/min의 식각률을, Al_{0.5}Ga_{0.7}As에서는 분당 29.5Å°/min의 식각률을 얻었으며, 약 610:1내외의 높은 식각 선택도를

관찰하였다. CCl₂F₂ 가스만을 사용한 경우는 AlGaAs 표면에 형성된 polymer막은 식각공정시 소량의 O₂나 He첨가, 또는 식각공정이 끝난 후에 O₂플라즈마 ashing으로 제거하였다.

건식식각공정을 이용하여 HEMT 소자 제작을 위한 최선의 식각공정을 얻기 위하여 건식식각과 습식식각을 이용해 Schottky 다이오드를 만들어 특성을 비교하였다. 순방향 특성은 두 공정의 Schottky특성이 동일하나, 역방향에서는 건식식각공정으로 제작된 Schottky에서 다소의 결함과 손상이 존재하였고, 공정가스로서 CCl₂F₂가스만을 사용한 것이 가장 결함과 손상이 적음을 관찰하였다.

건식식각에 의한 GaAs/AlGaAs층의 최선의 선택적 식각은 CCl₂F₂ 가스만을 공정가스로 사용하여 유량을 60sccm, RF 전력을 이온에 의한 손상을 최소화시킬 수 있는 45watt (self-DC 바이어스 50V), 공정압력을 75mtorr, 그리고 기판물질의 온도를 5°C로 한 공정에서 이루어지며, 제작된 1.5 μ m×100 μ m HEMT 소자의 경우, 최대 포화전류는 10.5mA, 최대 transconductance g_{mext}은 224mS/mm를 얻었으며, 2인치 웨이퍼 전면에 대해 고른 200±20mS/mm의 g_{mext}을 얻었다.

參 考 文 獻

- [1] R. Dingle, "New high-speed III-V devices for the integrated circuits," *IEEE Trans. Electron Devices*, ED-31(11), 1984.
- [2] M. Abe, et al., "Recent advances in ultrahigh speed HEMT LSI technology," *IEEE Trans. Electron Devcies*, vol. 36 (10), 1987.
- [3] Jeans vatus, "Highly selective reactive Ion etching applied to the eabrication of low-noise AlGaAs/GaAs FET's," *IEEE Trans. Electron Devices*, ED-33 (8), 1989.
- [4] Ronald A. Powell, "Dry etching for microelectronics," North-Holland, New York, pp. 97-98, 1984.
- [5] C.M. Knoedler and T.F. Kuetch, "Selective GaAs/Al_xGa_{1-x}As reactive ion etching using CCl₂F₂," *J. Vac. Sci. Technol.* B4(5), 1986.
- [6] Dennis M. Manos, "Plasma etching," Academic press, San Diego, pp. 168-169, 1989.
- [7] Alan Scabaugh, "Selective reactive ion etching of GaAs on AlGaAs' using CCl₂F₂ and He," *J. Vac. Sci. Technol.* B6(1), 1988.

[8] A.A. Ketterson, "Selective reactive ion etching for short-gate-length GaAs/AlGaAs/InGaAs pseudomorphic modulation-doped field effect transistors," *J. Vac. Sci. Technol.* B7(6), Nov/Dec, 1989.

[9] L. Lee and M.S. Shur, "Current-voltage and capacitance-voltage characteristics of modulation doped field effect transistor," *IEEE Trans. Electron Devices*, ED-30, 1983.

[10] T.J. Drummand and H. Morkoc, "Model for modulation doped field effect transistor," *IEEE Electron Devices Lett*, EDL-3(11), 1981.

[11] Kwyro Lee and M. Shur, "Design and fabrication of high transconductance modulation-doped (Al, Ga)As/GaAs FET's" *J. Vac. Sci. Technol.* B1(2), 1982.

著 者 紹 介



金 興 洛 (正會員)
 1967年 11月 5日生. 1989年 한양대학교 전자공학과 졸업. 1991年 포항공과대학 전자전기공학과 공학석사 취득. 현재 산업과학기술연구소 반도체연구분야 근무중. 주관심분야는 Silicon wafer 검사 기술 및 건식식각공정 등임.

徐 暎 錫 (正會員)
 1964年生. 1987年 영남대 전기공학과 졸업. 1991年 포항공대 전자전기공학과 공학석사 취득. 현재 동대학원 박사과정 1년 재학중. 주관심분야는 화합물 반도체 (III-V족)임.

梁 昇 周 (正會員)
 1965年生. 1989年 한양대학교 전자공학과 졸업. 현재 포항공대 전자전기공학과 대학원 석사2년 재학중. 주관심분야는 MIC Cricuit modeling임.

朴 盛 鎬 (正會員) 현재 한국전자통신 연구소 화합물소자 연구분야 근무중

金 汜 婉 (正會員)
 1947年 1月 3日生. 1972年 2月 서울공대 전자공학과 졸업(학사). 1974年 Univ. & Texas at Austin (석사). 1979年 Carnegie-Mellon Univ(박사). 1978年~1981年 GTE Labs 근무 Fiber Optic Network Component Group. 1981年~1989年 T, I, CRL 근무 1989年~현재 포항공대 부교수

姜 鳳 求 (正會員) 현재 포항공대 전자전기공학과 조교수

禹 種 天 (正會員) 현재 서울대학교 물리학과 교수