

티타늄 살리사이드 공정을 이용한 트랜지스터의 특성 및 오실레이터 I. C에의 적용 (I)

(Characteristic of Transistor Using Ti-SALICIDE Process and Its Application to Oscillator I. C (I))

李 相 興*, 丘 庚 完**, 洪 鳳 植*

(Sang Heung Lee, Kyung Wan Koo, and Bong Sik Hong)

要 約

본 논문에서는 티타늄 살리사이드 공정을 이용하여 오실레이터 I. C의 주파수 특성을 개선하였다. 티타늄 살리사이드 공정을 사용한 트랜지스터의 특성이 Poly-Si 게이트 트랜지스터의 특성보다 같은 조건하에서 표면이동도의 증가에 따른 트랜스컨덕턴스(transconductance)의 증가와 직렬저항의 감소로 인하여 더 큰 구동전류를 얻을 수 있는 등 트랜지스터의 특성이 향상되었다. 개선된 트랜지스터를 오실레이터 I. C에 적용하여 주파수 특성을 살펴보았다. 두 공정에서 추출한 파라메타를 이용하여 Fan-out 10 TTL인 inverter buffer chain을 시뮬레이션한 결과 입력신호에서 정상적인 클럭 펄스가 발생하였으며 상승시간(rising time)과 하강시간(falling time)이 각각 Poly-Si의 0.61배, 0.30배 개선되었다.

Abstract

This paper describes the improvement of frequency characteristic of crystal oscillator I.C using Ti-Salicide. The characteristics of transistor(drive current) using Ti-Salicide process are better than Poly-Si process, because the series resistance is decreased and the transconductance increased for the rising of surface mobility. To know frequency characteristic of oscillator I.C, the simulation is performed using inverter buffer chain of Fan-out 10 TTL. Its result shows at once the generation of normal clock pulse in input signal and the improvement of rising and falling time.

I. 서 론

디바이스가 고집적화됨에 따라 소자는 미세화되어 트랜지스터의 성능은 향상되고 있지만 배선폭, 접촉

크기(contact size) 등도 축소되기 때문에 저항이 커지는 경향이 있다. 저항이 증가함으로써 신호의 전달지연이 문제가 되고 있다. 이러한 문제의 해결방안의 하나로써, 소오스/드레인 영역이나 게이트 전극, 배선 등 실리콘이 노출된 부분과 그 위에 형성한 금속과를 반응시켜서 자기정합적으로 살리사이드 막을 형성시키는 살리사이드(SALICIDE:self-aligned silicide) 기술이 주목되고 있다¹⁾

살리사이드 기술은 지금까지 사용해 온 실리콘 공정의 호환성이 있으며, 소자의 미세화에 따른 높은

*正會員, 忠南大學校 電子工學科
(Dept. of Elec. Eng., Chungnam Nat'l Univ.)

**正會員, 忠淸專門大學 電子工學科.
(Dept. of Elec. Eng., Chungcheoung Coll.)

接受日字: 1991年 9月 10日

접합 저항을 감소시키고, 알루미늄과의 접촉 저항을 줄여주고, 내부 배선층으로 적용함으로써 패턴 레이어아웃의 고밀도화를 실현하는 등의 많은 잇점이 있다. 티타늄 살리사이드 기술은 고융점 금속 살리사이드 중에서 고유저항이 가장 낮고 ($15\mu\Omega\cdot\text{cm}$)^[2] 살리사이드 공정에 비교적 쉽게 적용할 수 있기 때문에 많은 연구가 이루어지고 있고,^[3-6] 집적회로의 고속화를 위한 중요한 기술로 등장하고 있다.

한편 수정 진동자 (crystal oscillator)는 수정이 지니고 있는 고유의 전기적 진동과 압전 효과를 이용하여 전기회로와 조합시킴으로써 수정 단결정의 기계적 진동을 안정한 전기적 신호 (기준 주파수 발생)로 바꾸어 주며, 능동 회로망의 발진 소자와 수동 회로망의 수정 필터 관별 장치로 많이 이용된다. 수정 진동자를 응용한 발진기 중에는 수정 진동자와 발진 회로를 하나로 묶은 크리스탈 클럭 오실레이터가 있는데, 이는 TTL이나 CMOS 논리 회로가 수정 진동자와 조합을 이루는 디지털 처리의 동기화가 되도록 타이밍 신호 (clock/pulse)를 형성시켜주는 역할을 한다. 이러한 크리스탈 오실레이터는 마이크로 프로세서, 컴퓨터, 팩시밀리, 카본, 측정기기 및 기타 통신 시스템 등 폭 넓은 응용범위를 갖고 있다. 향후 정보통신 시스템 및 컴퓨터 관련 산업의 확장으로 크리스탈 오실레이터 I.C에 대한 수요가 증가할 것으로 예상된다. 현재 생산되고 있는 크리스탈 오실레이터 I.C는 수십~150MHz를 사용대역으로 하는 것으로 $2\mu\text{m}$ Poly-Gate CMOS 공정을 사용하고 있고, 일부 회사에서는 Mo-Gate의 DDD (double diffused drain) 구조를 채택하여 배선 저항을 줄여 특성 향상을 꾀하고 있다.

본 논문에서는 티타늄 살리사이드 공정을 이용하여 게이트의 배선저항 및 소오스/드레인의 접촉저항을 낮춤으로써 트랜지스터의 특성이 향상됨을 확인하였고, 이와같이 개선된 트랜지스터의 특성을 오실레이터 I.C에 적용하기 위하여 Fan-out 10 TTL 인 Inverter buffer chain을 SPICE를 통하여 시뮬레이션한 결과 주파수 특성이 향상된 것을 확인할 수 있었다.

II. 실험

시료 제작시의 주요 공정 및 트랜지스터 단면을 그림1과 그림2에 나타내었다. $6''\text{P}$ 형 실리콘 기판, 면방위 (100), $10\sim 15\Omega\cdot\text{cm}$ 를 사용하였다. Twin Tub CMOS 공정으로, well을 형성하고 650nm의 LOCOS 분리를 하는 등 살리사이드 전·후의 공정은 기존의 CMOS 공정을 따랐다. 살리사이드 공정을 기술하면

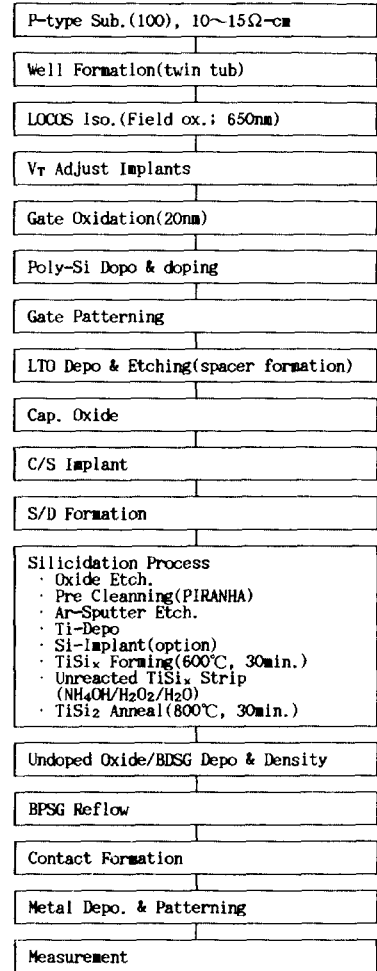


그림 1. 사용된 Ti-Salicide 공정의 흐름도
Fig. 1. Process flow of Ti-salicide process used.

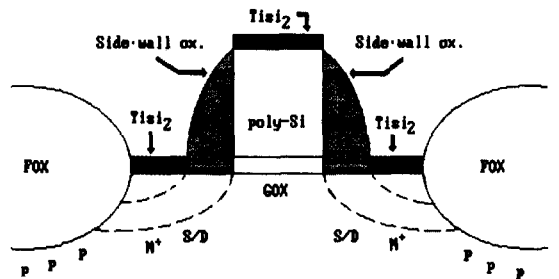


그림 2. Ti-Salicide 공정 트랜지스터의 단면도
Fig. 2. Cross-section of Ti-salicide process transistor.

다음과 같다. H₂SO₄+H₂O₂ 용액에 의한 세정 및 1%HF 용액에 의한 자연 산화막 제거 후에, 진공 챔버속에서 Ar 가스에 의한 RF 스퍼터 애칭을 하였

다. 그리고 연속해서 동일 진공 챔버속에서 DC 마그네트론 스퍼터 방법으로 티타늄(Ti)을 150nm 증착하였다. 다음에 Ti/Si 기판 계면의 혼합(mixing)을 행하기 위하여 Si 이온 주입을 행하였다. 살리사이드화는 2단계 열처리 방법에 의해 자기정합적으로 행하였다. 먼저, 600°C, 30분, N₂/H₂ 및 N₂ 분위기에서 1단계 아닐(TiSi_x Forming)을 행하고, 암모니아 과산화수소 수용액(NH₄OH/H₂O₂/H₂O)에 의해 질화 티타늄(TiN) 및 미반응 티타늄(TiSi_x)을 선택적으로 제거한 후 800°C N₂ 분위기에서 30분간 2단계 아닐(silicidation)을 행하였다.^{7,8)} 제작한 트랜지스터의 전류-전압(I-V) 특성과 테스트 패턴(test pattern)으로부터 SPICE 파라메타를 추출하였고 오실레이터 I.C 주파수 특성을 평가하기 위하여 Fan-out 이 10 TTL인 Inverter buffer를 최적화하여 시뮬레이션 하였다. 일반적으로 50MHz 이상의 OCS(오실레이터 I.C)에서는 주파수 특성을 향상시키기 위하여 8 TTL Fan-out을 사용하는데, 본 논문의 실험에서는 10TTL Fan-out을 사용하더라도 충분한 주파수를 얻을 수 있어 10 TTL Fan-out Inverter buffer chain을 사용하였다.

III. 실험결과 및 검토

본 논문에서는 Poly-Si 공정 및 티타늄 살리사이드(Ti-Salicide) 공정으로 제작된 트랜지스터의 전류-전압 특성과 Inverter buffer 회로를 통하여 시뮬레이션한 결과를 중심으로 살펴보기로 한다. 이때 시뮬레이션을 HSPICE를 사용하였다.^{9,10)}

먼저, 그림3은 같은 조건(바이어스, 디바이스 폭 및 길이) 하에서 NMOS 트랜지스터의 전류-전압 특성을 보여주는 것으로써, Poly-Si 공정에 의한 것보다 티타늄 살리사이드 공정에 의한 것이 더 좋은 결과를 나타낼 수 있다. 그 이유로는 표1의 NMOS의 경우에 나타나 있듯이 표면이동도(surface mobility)인 U₀가 티타늄 살리사이드에 의한 경우가 더 큰 값을 가져 트랜스컨덕턴스(transconductance)를 증가시키며, 또한 직렬저항(series resistance) R_s의 존재로 인하여 실효(effective) 전압이 외부에서 가해진 전압보다 트랜지스터의 전기적 특성(드레인-소오스 전류)을 감소시키는데, 표1에서처럼 티타늄 살리사이드에 의한 것이 Poly-Si에 의한 것보다 R_s가 많이 작은 관계로 더 큰 드레인-소오스 전류를 얻은 것으로 생각할 수 있다. 마찬가지로, PMOS의 경우도 표1의 SPICE 파라메타에 나타난 바와 같이 NMOS와 같은 경향을 보이고 있으며 따라서 같은 결론을 내릴 수 있다.

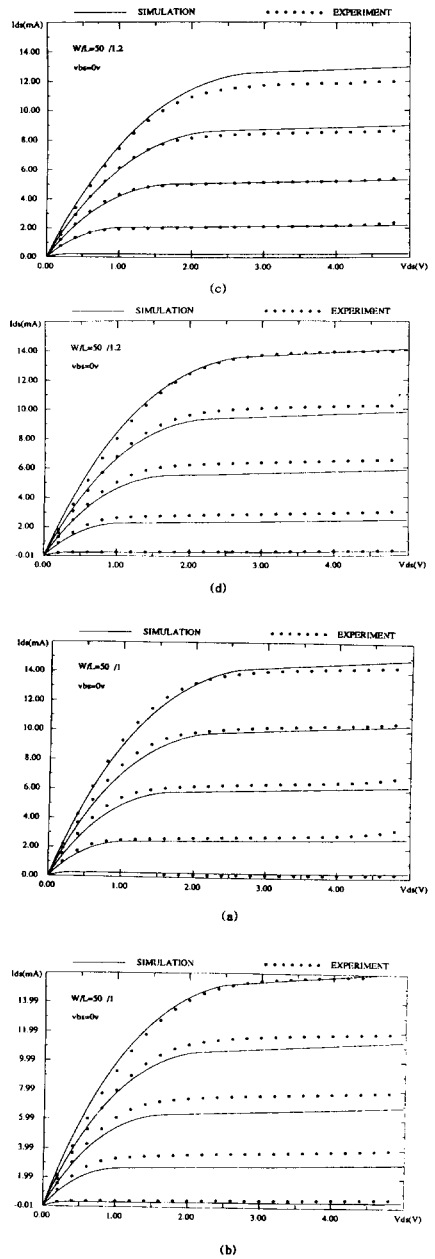


그림 3. NMOS 트랜지스터에 대한 전류-전압 특성
 (a) Poly-Si(W/L=50/1.0)
 (b) Ti-Salicide (W/L=50/1.0)
 (c) Poly-Si(W/L=50/1.2)
 (d) Ti-Salicide(W/L=50/1.2)
 Fig. 3. Current-voltage characteristics of NMOS transistor.
 (a) Poly-Si(W/L=50/1.0),
 (b) Ti-Salicide(W/L=50/1.0),
 (c) Poly-Si(W/L=50/1.2),
 (d) Ti-Salicide(W/L=50/1.2).

표 1. Ti-Salicide와 Poly-Si의 SPICE 파라메타 비교

Table 1. Comparison of SPICE parameters of Ti-Salicide and Poly-Si.

SPICE 파라메타	NMOS		PMOS	
	Ti-Salicide	Poly-Si	Ti-Salicide	Poly-Si
LD	0.119639U	0.119639U	0.065930U	0.095340U
TOX	20.000000N	20.000000N	20.000000N	20.000000N
NSUB	0.350E+17	0.350E+17	0.851E+16	0.851E+16
VTO	0.649E+00	0.649E+00	-0.105E+01	-0.105E+01
GAMMA	0.591E+00	0.591E+00	0.305E+00	0.305E+00
UO	0.546E+03	0.495E+03	0.185E+03	0.176E+03
DELTA	0.162E+01	0.162E+01	0.162E+00	0.162E+00
VMAX	0.172E+06	0.172E+06	0.120E+00	0.120E+00
XJ	0.250000U	0.250000U	0.300000U	0.300000U
KAPPA	0.328E+00	0.328E+00	0.256E+01	0.256E+01
NSF	0.500E+11	0.500E+11	0.500E+11	0.500E+11
NSS	0.100E+11	0.100E+11	0.500E+11	0.500E+11
ETA	0.133E-01	0.133E-01	0.282E-01	0.282E-01
THETA	0.114E+00	0.114E+00	0.168E+00	0.168E+00
CGBO	0.148E-14	0.148E-14	0.907E-14	0.907E-14
CGSO	0.207E-14	0.207E-14	0.114E-14	0.166E-14
CGDO	0.207E-14	0.207E-14	0.114E-14	0.166E-14
RS	7~9Ω	60Ω	2~4Ω	90Ω

표1과 같은 SPICE 파라메타를 이용하여, 오실레이터의 주파수 특성을 평가하기 위하여 그림 4와 같은 Fan-out이 10 TTL(1 TTL:0.4V에서 1.6mA)인 Inverter buffer chain을 최적화하여 크기를 정하였고 Inverter buffer의 입력은 시간과 온도에 대해 안정한 클럭으로 발생시키기 위하여 수정 오실레이터의 출력을 입력으로 사용하였는데, 시뮬레이션은 P_k-P_k 5V 정현파를 입력으로 사용하였다. 그림 5는 그림 4와 같이 구성된 Inverter buffer chain을 이용하여 시뮬레이션한 결과를 보여준다.

표2에 나타나 있듯이 그림 5(a)의 Poly-Si 공정에 의한 것보다 그림 5(b)의 티타늄 살리사이드 공정에 의한 경우가 100MHz에서 특성이 아주 우수하며 300 MHz에서도 좋은 특성(그림 5(b)의 상승시간이 (a)의 0.61배, 하강 시간이 (a)의 0.30배)을 가지고 정상적으로 동작함을 알 수 있었다. 이와 같은 원인으로는 앞의 트랜지스터 해석 결과와 같이 CGDO(Gate-drain overlap capacitance)와 CGSO(Gate-source overlap capacitance)가 Poly-Si에 의한 경우보다 티타늄 살리사이드에 의한 경우가 보다 작고 금속과의 접촉저항 및 내부 전극 배선 저항의 감소때문인 것으로 생각된다.

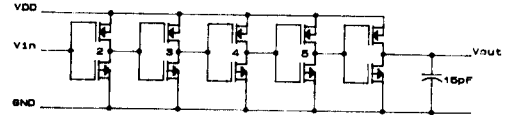


그림 4. Inverter buffer chain의 회로도
Fig. 4. Circuit of inverter buffer chain.

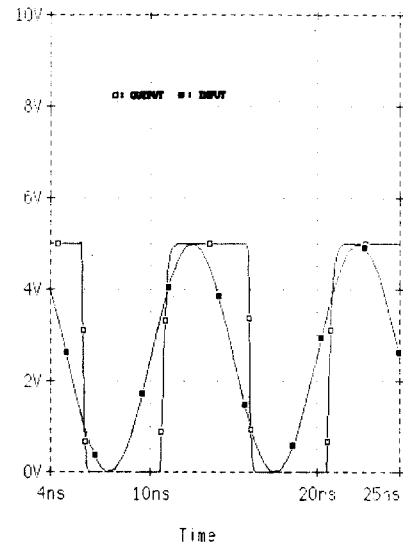
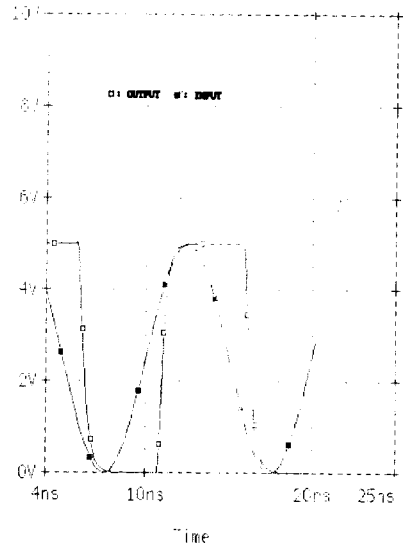


그림 5. 그림4의 시뮬레이션 결과
(a) Poly-Si, (b) Ti-Salicide
Fig. 5. Results of simulation of fig.4
(a) Poly-Si, (b) Ti-Salicide.

표 2. Inverter buffer chain 회로의 시뮬레이션 결과 비교

Table 2. Comparison of results of simulation of inverter buffer chain.

시간(ps)	Ti-Salicide	Poly-Si
상승시간 (rising time)	433.7	710.0
하강시간 (falling time)	235.3	795.0

IV. 결 론

티타늄 살리사이드(Ti-Salicide) 공정을 이용하여 게이트 배선 저항 및 소스/드레인 접촉저항을 줄여 구성 트랜지스터의 성능을 향상시킬 수 있었고, 이러한 트랜지스터를 가지고 크리스탈 오실레이터 I.C의 주파수 특성을 개선하고자 한 결과 다음과 같은 결론을 얻을 수 있었다.

첫째, 표면이동도(surface mobility)의 증가에 따른 트랜스컨덕턴스(transconductance)의 증가, 직렬저항(series resistance) R_s 의 감소로 인한 더 큰 구동전류(drive current)를 얻을 수 있는 등 트랜지스터의 특성이 향상되었다.

둘째, Inverter buffer chain 회로를 이용하여 시뮬레이션한 결과 상승 시간이 각각 0.61배, 하강시간이 0.30배 향상되어 보다 개선된 결과를 얻었다.

이와 같은 결과를 토대로, 차후 제작된 시료를 패키징(packaging)하여 특성을 평가하고자 한다.

參 考 文 獻

- [1] C.Y. Ting, S.S. Iyer, C.M. Osburn, G.J Hu, and A.M. Schweighart, 224, 1982.
- [2] S.P. Muraka, J. Val. Technology, 17, 775 1980.
- [3] H.K. Park, J. Sachitano, G. Eiden, E. Lane, and T. Yamaguchi, *J. Vac. Sci. Technology*, A2, 259, 1984.
- [4] K. Tukamoto, T. Okamoto, M. Shimizu, T. Matsukawk, and H. Harada, Extended Abstracts of the 16th Conf. Solid State Devices and Materials, 47, 1984.
- [5] M. Shimizu and M. Znuishi, Symposium on VLSI Technology Digest of Technical Papers, 11, 1988.
- [6] 천희근, 구경완 외, "NOVEL Ti-SALICIDE 공정개발 및 활용 Device의 특성연구," 서울대학교 반도체공동연구소, ISRC-91-E-QM-C005 1991.
- [7] A. Ohsaki, J. Komori, T. Katayama, M. Shimizu, T. Okamoto, and S. Nagao, Extended Abstracts of 21st SSDM, pp. 13-16, 1989.
- [8] H. Sumi, T. Nishihara, Y. Sugano, H. Masuya, and M. Takasu, 1990 *IEDM Technical Digest*, pp. 249-252, 1990.
- [9] 이상홍, 장웅, 이기준, 대한전자공학회 1991년도 씨에이디, 전자계산, 반도체·재료 및 부품 합동 학술발표회 논문집, pp. 116-120, 1991.
- [10] P. Antognetti and G. Massobrio, *Semiconductor Device Modeling with SPICE*, McGraw-Hill Book Company, Newyork, pp. 143-207, 1988.

著 者 紹 介



李 相 興 (正會員)
 1966年 1月 5日生. 1988年 2月
 충남대학교 전자공학과 졸업(공학사). 1990年 3月-1991年 11
 月 현재 충남대학교 대학원 전자
 공학과 석사과정 재학중. 1990年
 10月-1991年 3月 한국전자통신
 연구소 화합물집적회로연구실 위촉연구원. 주관심분야
 는 반도체 소자 모델링 및 공정, 회로 시뮬레이션 등
 임.

丘 庚 完 (正會員) 第23卷 第2號 參照
 현재 충청전문대학 전자과
 교수

洪 鳳 植 (正會員) 第23卷 第2號 參照
 현재 충남대학교 전자공학과
 교수 및 산업대학원 원장