

論文91-28A-12-9

급속열산화법에 의한 실리콘 산화막의 특성

(Characteristics of Silicon Oxide Films Grown by Rapid Thermal Oxidation)

李 貴 綠*, 梁 斗 榮**, 李 廷 鎔***

(Kui Yon Lee, Doo Young Yang, and Jeong Yong Lee)

要 約

초박막 실리콘 산화막의 특성을 조사하기 위하여 1050°C ~ 1150°C의 온도 범위에서 5초~30초 동안 급속 열산화법으로 25Å~103Å의 두께를 갖는 산화막을 성장시켰다. 산화막의 두께는 TEM과 ellipsometry 및 약한 표면대역 굽힘 조건에서의 C-V 측정법으로 비교 측정하였다. 계면 상태와 moisture charge effect에 의한 미소한 차이를 무시하면 3방법이 잘 일치하였다. 일부의 시료는 급속 열처리효과를 조사하기 위하여 N₂분위기에서 열처리를 하였다. 이렇게 형성된 산화막을 이용한 MOS 캐패시터를 제작하여 C-V와 I-V 특성을 조사하였다. 측정으로부터 산화 온도 상승 시간동안 성장한 초기 산화막 두께에 대한 활성화에너지는 E_a=1.125 eV이며, 산화막 성장율에 대한 활성화에너지는 E_a=0.98eV 임을 알 수 있었다. 산화 온도가 증가하면 고정 전하밀도 N_f의 증가로 절연파괴전장 E_{BD}이 감소하며, 또한 산화막이 두꺼울수록 절연파괴전장 E_{BD}이 감소하였다. 열처리 초기에는 고정 전하밀도 N_f의 증가로 절연파괴전장 E_{BD}이 감소하였다.

Abstract

Thin (25-103Å) SiO₂ films are grown using the rapid thermal oxidation processing at temperatures of 1050°C-1150°C for 5-30 sec, in order to investigate the characteristics of ultra thin oxide. For measuring the thickness of oxide TEM, ellipsometry, and C-V method which is taken in the condition of small surface band bending are used and compared. When neglecting the small deviation affected by both interface state and moisture charge effect, those three methods described above give similar results. In order to examine the effect of rapid thermal annealing, part of samples are annealed in N₂ ambient. MOS capacitors are fabricated and the characteristics of I-V and C-V are measured. Measurements show that the activation energy of initial thickness of oxide grown during the ramp-up time is of 1.125eV and the activation energy of the oxidation rate is of 0.98eV. As oxidation temperature is increased, dielectric breakdown field E_{BD} is decreased due to the increase of fixed charge density N_f. However, E_{BD} is shown to be decreased as increasing the thickness of oxide. The increase of N_f in the early stage of thermal annealing results in the decrease of E_{BD}.

*正會員, 韓南大學校 電子工學科
(Dept. of Elec. Eng., Hannam Univ.)
接受日字: 1990年 10月 19日

**正會員, 金星 일렉트론 第 8 研究室
(GoldStar Electron Co., LTD, Semiconductor R & D)

***正會員, 韓國科學技術院 材料工學科
(Dept. of Material Eng., KAIST)

I. 서 론

최근들어 서브 마이크로급의 미세 가공 기술을 이용한 반도체 소자의 소형화, 고집적화 추세에 의하여 높은 파괴 전압과 낮은 누설 전류의 전기적 특성을 갖는 두께 100Å 정도의 초박막 실리콘 산화막의 필요성이 증대되고 있다. 기존의 건식 산화법에 의한 초박막 실리콘 산화막 생성은 900°C 이하 대기압에서 생성시키거나, 1000°C 낮은 산소 분압에서 생성시키는 2가지 방법이 사용되어 왔다. 그러나 전자의 방법은 낮은 산화온도에 의하여 산화막 내에 상당량의 결함 밀도가 존재하게 되며, 후자의 방법은 산화 시간동안 고온에서의 산화에 의해 실리콘 기판 내에서 도판트 불순물이 재분포하는 문제들이 있다. 이러한 문제들을 극복하는 다른 방법으로, 산화 온도를 높이고 산화 시간을 감소시키는 텅스텐-할로젠 램프를 이용한 급속 열 산화법(Rapid Thermal Oxidation)에 관심을 가지게 되었다.¹⁻⁴

본 연구에서는 1050°C ~ 1150°C의 온도 범위에서 5 ~ 30초간 RTO 방법으로 산화막을 생성시켜 산화막의 특성을 조사하였다. 급속 열 산화법으로 생성시킨 산화막의 열처리(Rapid Thermal Annealing) 효과를 조사하기 위하여, 일부의 시료는 열처리 온도와 시간을 다르게 하여 N₂ 분위기에서 열처리를 하였다. 이와 같이 생성된 산화막을 절연층으로 한 MOS 캐패시터를 제작하여 I-V와 C-V 특성을 조사하였다.

II. 실험과 고찰

본 연구에서는 결정면이 (100)이고 비저항이 5 ~ 30Ω·cm인 6인치 p-형 실리콘 웨이퍼를 사용하여 Heatpulse 4100 시스템으로 1050°C ~ 1150°C의 온도 범위에서 5~30초간 O₂ 분위기에서 산화하였다. 산화 조건은 20초간 10 l/min의 율로 N₂가스로 시스템을 purging한 후에 2 l/min의 O₂ 분위기에서 125°C / sec의 온도 상승율로 산화 온도까지 온도를 상승시켰다. 산화 온도에서 산화 시간동안 산화막을 생성한 후에 5 l/min의 N₂ 분위기에서 800°C까지는 50°C / sec의 감소율로, 이후는 자연 냉각으로 온도를 감소시켰다. 일부의 시료는 열처리 효과를 조사하기 위하여 N₂분위기에서 5~30초간 1050°C와 1150°C에서 열처리를 하였다. 전기적인 특성을 조사하기 위하여 이 산화막을 절연층으로 한 Al게이트 MOS 캐패시터를 제작하였다. 게이트 전극은 sputtering방식으로 증착한 두께 1μm의 Al을 직경 0.2mm의 원형전극형태로 식각한 후에 450°C, N₂ 분위기에서 열처리하여 얻었다.

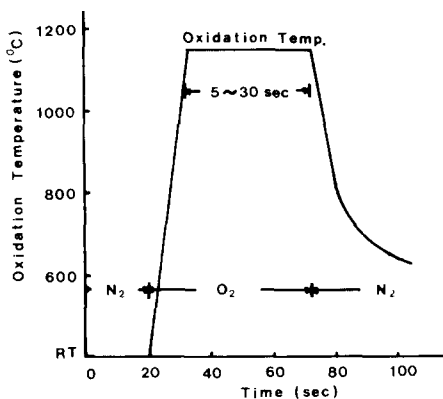


그림 1. 급속 열 산화공정의 온도와 시간 관계
Fig. 1. Temperature vs. time profile of RTO process.

그림1은 급속 열 산화공정의 온도와 시간 관계를 도시하였다.

성장된 산화막의 두께는 TEM과 C-V 측정법(HP 4280A 1MHz C Meter/C-V Plotter), ellipsometry (Gaertner 610)를 사용하여 측정하였다. 일반적인 C-V 측정으로 실리콘 계면에서의 전하 축적층의 두께와 비교될 정도의 초박막 실리콘 산화막의 두께 (t_{ox}~100Å)를 측정하고자 할 때, 강한 전하 축적 영역(strong accumulation region)에서 C-V 측정 데이터가 포화상태가 되지 않기 때문에 재래 이론을 이용하여 정확한 산화막의 두께를 측정하기는 어렵다.⁵⁻⁶ 때문에 본 연구에서는 표면 대역(surface band)을 약간 굽힌 조건하에서 측정한 C-V 데이터를 사용하여 산화막의 두께를 측정하였다.⁷⁻⁸ TEM으로 측정한 두께와 비교할 때, 그림2에서 알 수 있듯이, 이 방법으로 초박막 산화막의 두께를 비교적 정확하게 구할 수 있었다.

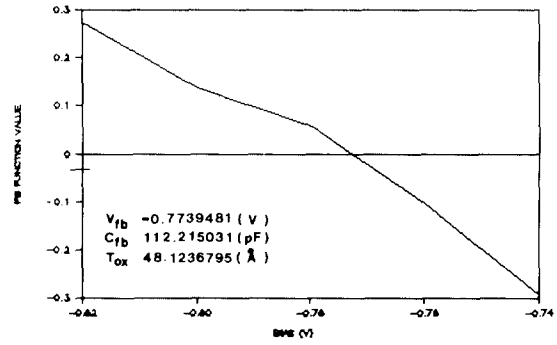
TEM, ellipsometry와, C-V 측정법으로 측정된 산화막 두께에 대한 상관 관계는 그림3에 도시하였다.

산화 온도에 따른 산화막의 두께와 시간의 관계는 그림4에 나타냈다.

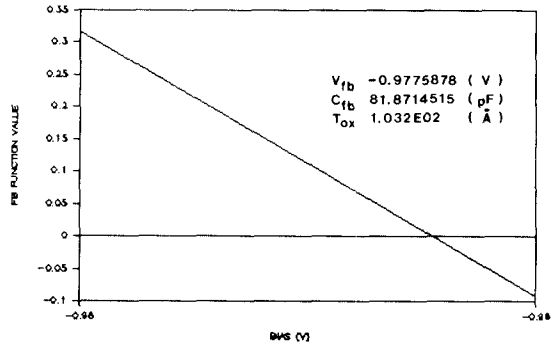
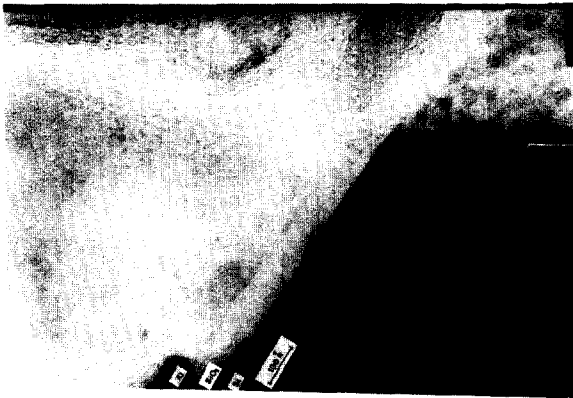
초기 산화막의 두께는 산화 온도가 증가함에 따라서 증가한다. 이러한 이유는 산소 분위기하에서 산화 온도까지 온도를 상승시키기 때문이다. 온도 상승 시간동안 성장된 총 산화막의 두께와 산화 온도와와의 관계는 그림5에 도시하였으며, 다음과 같은 관계식으로 근사화시킬 수 있다.

$$t_{ox} = 3.55 \times 10^5 \text{Exp}(-1.125/kT) \text{ (Å)} \quad (1)$$

여기서 k는 Boltzmann 상수이고, T는 온도이다.



1) RTO condition: 1050°C 30sec



2) RTO condition: 1150°C 30sec

그림 2. TEM 단면도 사진과 C-V 측정 데이터로부터 구한 FB함수

Fig. 2. TEM cross-sectional images and FB functions obtained from C-V data.

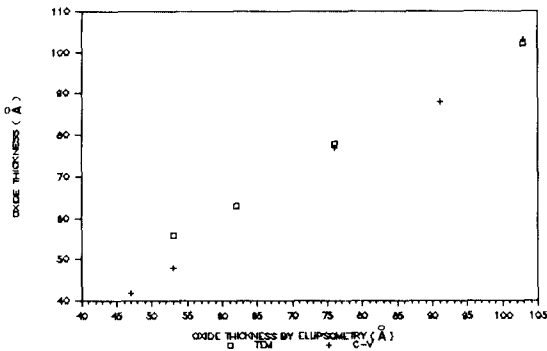


그림 3. TEM, ellipsometry와, C-V 측정법으로 측정된 산화막 두께의 상관 관계

Fig. 3. Relationship of oxide thicknesses determined from TEM, ellipsometry, and C-V measurements.

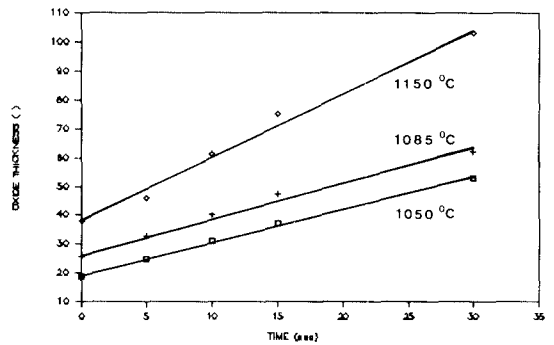


그림 4. 산화 온도와 시간 함수의 산화막 두께
Fig. 4. Oxide thickness as function of oxidation temperature and time.

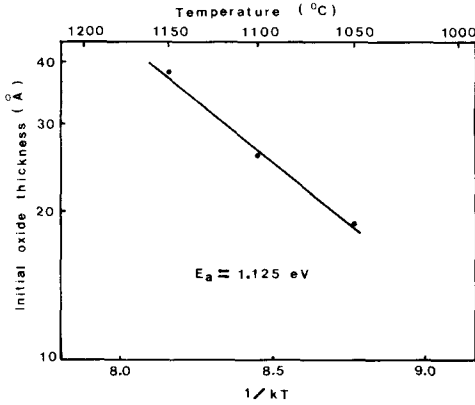


그림 5. 산화 온도 함수의 온도 상승 시간 동안 성장된 초기 산화막의 두께

Fig. 5. Initial oxide thickness grown during ramp-up time as a function oxidation temperature.

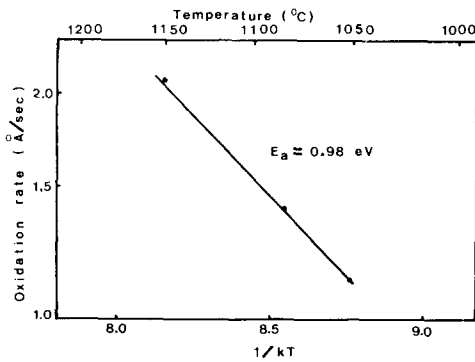


그림 6. 산화 온도 함수의 산화율

Fig. 6. Oxidation rate as a function of oxidation temperature.

그림6은 온도를 함수로 한 산화율을 도시하였다. 산화율에 대한 근사식은 다음과 같다.

$$R_{ox} = 6.1 \times 10^3 \text{Exp}(-0.98/kT) \text{ (A/sec)} \quad (2)$$

급속 열 산화공정의 경우에 N₂ 분위기에서 빠른 온도 감소율로 산화 공정이 끝나기 때문에 SiO₂ matrix내에 반응이 안된 산화제가 동결이 되어 국부적으로 tensile stress가 발생한다. 이러한 국부적인 tensile stress와 반응이 안된 산화제가 고정 전하와 계면 전하와 같은 전하를 트랩하는 원인이 되며, 산화 온도가 증가할수록 고정 전하와 계면 전하가 증

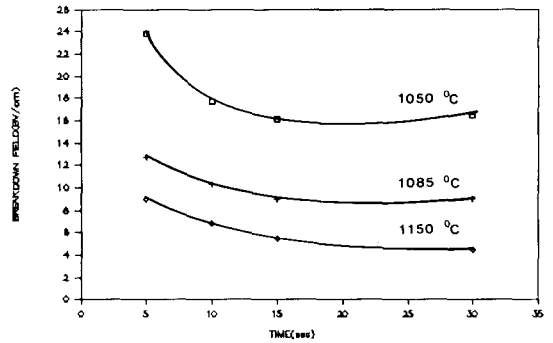


그림 7. 산화 조건에 따른 절연 파괴 전장

Fig. 7. Breakdown field for various oxidation conditions.

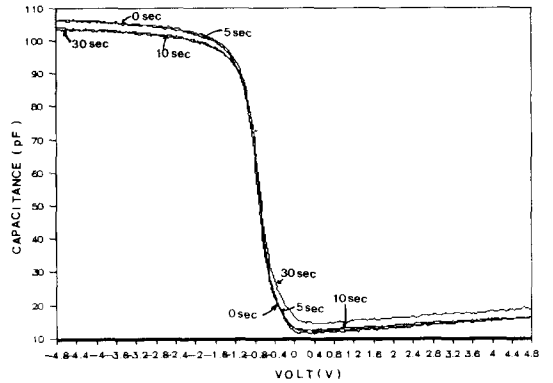


그림 8. 1150°C에서 0, 5, 10, 30초동안 열처리한 산화막의 고주파수 C-V곡선

Fig. 8. High frequency C-V curves of oxides annealed at 1150°C for 0, 5, 10, 30sec.

가한다. 이러한 이유로, 그림7에서 알 수 있듯이, 산화 온도가 증가하면 절연 파괴 전장 E_{BD}은 감소한다. 또한 전장의 세기가 주어졌을 때 정공 생성율은 산화막의 두께가 얇을수록 낮기 때문에⁹⁾ 산화막이 얇을수록 절연 파괴를 유도할 정도로 충분한 정공을 생성하기 위해서는 높은 절연 파괴 전장 E_{BD}를 필요로 함을 알 수 있다. 본 연구에서는 catastrophic breakdown field를 절연 파괴 전장으로 정의하였다.

급속 열처리효과는, 1100°C에서 40초동안 산화공정을 하여 약 90Å의 산화막을 생성한 후에 1050°C와 1150°C에서 5~30초동안 N₂ 분위기에서 급속 열처리를 하여, C-V 측정으로 조사하였다. 그림8은 1150°C에서 0, 5, 10, 30초동안 열처리를 한 산화막의 C-V측

정 곡선이다. 그림8에서 알 수 있듯이, 열처리 온도가 증가할수록 C-V 곡선은 부방향으로 변화하며 전하 축적 영역에서의 정전용량이 증가한다.

C-V 곡선의 부방향의 변화는 일차적으로 SiO₂-Si 계면부근에서 정의 전하가 생성되거나, 열처리동안에 계면에서 N₂가 반응하여 non-stoichiometric 구조인 Si_xN_y막의 형성에 의한 많은 결함이 발생하기 때문이라고 생각된다.¹⁰⁾

그림9는 열처리 조건에 따른 고정 전하 밀도 Q_f의 변화를 나타낸 것이다. 1150°C에서 열처리하는 경우, 열처리 초기에 고정 전하 밀도가 증가하다가 열처리가 진행될수록 국부적인 tensile stress가 이완하게 되어 다시 고정 전하 밀도가 감소함을 보인다. 1050°C에서 열처리 하는 경우에 고정 전하 밀도는 계속해서 조금씩 증가하는데, 열처리가 더 진행되면 감소하리라 생각된다.

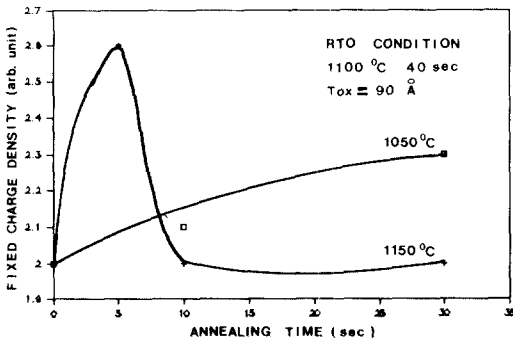


그림 9. 열처리 조건에 따른 고정 전하 밀도 N_f의 변화
Fig. 9. Fixed charge density N_f as function of annealing conditions.

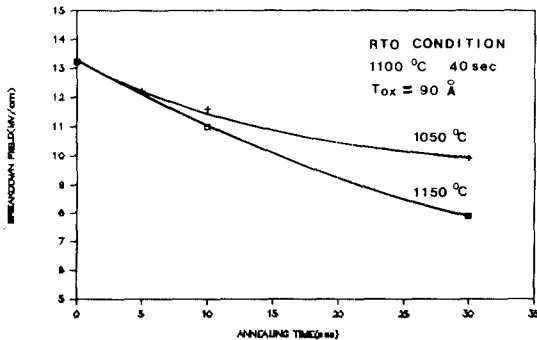


그림 10. 열처리 조건에 따른 절연 파괴 전장 E_{BD}의 변화
Fig. 10. Breakdown field as function of annealing conditions.

그림10은 두께 90Å의 산화막의 열처리 조건에 따른 절연 파괴 전장의 변화를 나타냈다. 1150°C의 고온에서는 고정 전하밀도 이외에 Si 기판에 발생하는 slip등의 결정 결함이 절연 파괴 전장을 감소시키는 것으로 생각된다.¹¹⁾

III. 결 론

초박막 실리콘 산화막의 특성을 조사하기 위하여 1050°C~1150°C의 온도 범위에서 5초~30초 동안 급속 열 산화법으로 산화막을 성장시켰다. 산화막의 두께 측정은 TEM, ellipsometry와, C-V 측정법을 사용하였다. 두께 측정을 위한 C-V 측정은 약한 표면 대역 굽힘 조건에서 행하였다. TEM과 ellipsometry로 측정된 결과와 비교했을 때, C-V 측정 결과가 잘 일치함을 알 수 있었다. 미소한 차이는 계면 상태와 moisture charge effect에 의한 결과라 생각된다. 두께 측정과 C-V 및 I-V 측정의 결과 얻은 결론은 다음과 같다. 첫째, 산화 온도 상승 시간동안 성장한 초기 산화막의 두께에 대한 활성에너지는 E_a=1.125 eV이며, 산화 시간동안 선형적으로 성장하는 산화막의 성장율에 대한 활성에너지는 E_a=0.98eV임을 알았다. 둘째, 산화막의 성장 온도가 증가할수록 산화막내에 반응이 안된 산화제가 많이 동결하게 되어 국부적인 tensile stress가 증가하게 된다. 결과적으로, 산화 온도가 증가하면 고정 전하 밀도 N_f가 증가하게 되어 절연 파괴 전장 E_{BD}은 감소함을 보았다. 또한 산화막이 두꺼울수록 절연 파괴 전장이 감소함을 알았다. 셋째, 실리콘 기판에 slip등의 결정결함을 야기시키지 않는 온도범위 내에서 산화막을 급속 열처리하면 SiO₂-Si 계면에서 정의 전하가 생성되거나, 계면에서 N₂와 반응하여 Si_xN_y막의 형성으로 많은 결함이 발생하여 고정 전하 밀도가 증가하며 절연 파괴 전장은 감소함을 알 수 있었다.

參 考 文 獻

- [1] J. Nulman, J.P. Krusius, and A. Gat, "Rapid Thermal Processing of Thin Gate Dielectrics, Oxidation of Silicon," *IEEE Electron Device Letters*, vol. EDL-6, p. 205, 1985.
- [2] M.M. Moslehi, S.C. Shatas, and K.C. Saraswat, "Thin SiO₂ insulators grown by rapid thermal oxidation of silicon," *Appl. Phys. Lett.*, vol. 47, p. 1353, 1985.
- [3] Yoshiyuki Sato and Kazuhide Kiuchi, "Oxidation of Silicon Using Lamp Light

Radiation," *J. Electrochem. Soc.*, vol. 33, p. 652, 1986.

[4] S.T. Ang and J.J. Wortman, "Rapid Thermal Oxidation of Silicon," *J. Electrochem. Soc.*, vol. 133, p. 2361, 1986.

[5] S.M. Sze, *Physics of Semiconductor Devices*, 2nd ed., Wiley, 1981, Chap. 7.

[6] D.G Ong, *Mordern MOS Technology: Processes, Devices and Design*, McGraw-Hill, 1986, Chap. 4.

[7] B. Ricco, P. Olivo, T.N. Nguyen, T.S. Kuan, and G. Ferrani, "Oxide-thickness Determination in Thin-Insulator MOS Structures," *IEEE Trans, Electron Devices ED-35*, p. 432, 1988.

[8] A. Savitzky and M.J. E. Golay, "Smoothing and Differentiation of Data by Simplified Least Squares Procedures," *Anal. Chem.*, vol. 36, p. 1627, 1964.

[9] M. Revitz, S.I. Raider, and R.A. Gdula, "Effect of high-temperature, postoxidation annealing on the electrical properties of the Si-SiO₂ interface," *J. Vac. Sci. Technol.*, vol. 16(2), p. 345, 1979.

[10] I.C. Chen, S. Holland, and C. Hu, "Oxide breakdown dependence on thickness and hole current," *IEDM 86*, p. 660, 1986.

[11] M.M. Moslehi, "Process Uniformity and Slip Dislocation Patterns in Linearly Ramped-Temperatures Transient Rapid Thermal Processing of Silicon," *IEEE Trans. Semicond. Manufact.*, vol. 2, p. 130, 1989.

著 者 紹 介



李 貴 緣 (正會員)
 1957年 7月 13日生. 1980年 2月 연세대학교 전자공학과 졸업 학사학위 취득. 1982年 2月 연세대학교 대학원 전자공학과 졸업 석사학위취득. 1988年 2月 연세대학교 대학원 전자공학과 졸업 공학박사학위취득. 1988年~현재 한남대학교 전자공학과 조교수. 주관심분야는 금속열처리시의 막막과 절연막 형성 등임.

梁 斗 榮 (正會員) 第17卷 第4號 參照
 현재 (주)금성일렉트론 선임 연구원. 주관심분야는 CVD & Interconnection.

李 廷 鎔 (正會員) 第28卷 A編 第3號 參照
 현재 한국과학기술원 재료공학과 교수