

반구형 LPCVD 다결정 실리콘 박막의 구조 및 특성

박영진 · 전하용 · 이승석 · 이석희 · 이상호 · 김종철 · 박현섭 · 천희근 · 오계환

현대전자 반도체연구소 공정개발 2실
경기도 이천군 부발읍 아미리 산 136-1, 467-860

Structure and Properties of Hemispherical Grain LPCVD Polycrystalline Silicon Films

Y.J. Park, H.E. Jeon, S.K. Lee, S.H. Lee, S.H. Woo, J.C. Kim, H.S. Park, H.G. Chun, K.H. Oh

Hyundai Electronics Ind. Co., Ltd., Process Engineering Dept. Semi. R & D Lab.,
San 136-1, Ami-ri, Bubal-eub, Ichon-kun, Kyoungki-do, 467-860 Korea

초 록 LPCVD(Low Pressure Chemical Vapor Deposition) System을 이용하여 여러가지 증착 변수에 따른 실리콘 박막의 표면형상에 대해 고찰하였다. 증착압력, 증착온도, 반응기체의 유속에 따라 증착층의 표면형상이 큰 변화를 나타냈으며, 증착압력과 반응기체의 유속이 증가할수록 유효면적이 최대가 되는 증착온도가 증가하였다. 이러한 실험결과를 안정한 핵의 생성률이 최대가 될때 유효표면적이 최대가 된다는 가정으로부터 유도된 식과 일치하는 결과를 나타냈다.

Abstract In this study we have investigated surface morphologies of as-deposited silicon films on the various deposition conditions using LPCVD(Low Pressure Chemical Vapor Deposition) system. The processing conditions such as deposition temperature, pressure and flow rate of SiH_4 gas were found to determine the surface morphology. The optimum temperature of maximum effective surface area increased with increasing the deposition pressure and the flow rate of SiH_4 gas. These experimental results were also in quite good agreement with the equation derived under the assumption that the maximum effective surface area is obtained on the condition of maximum nucleation rate.

1. 서 론

고집적소자 기술의 급격한 발전으로 요즘 연구가 더욱 가속화되고 있는 64Mbit DRAM의 경우 소자당 면적이 $1\sim 2\mu\text{m}^2$ 에 이르고 있다⁽¹⁾. 이와 같이 DRAM의 소자 크기가 크게 줄어들어 따라 제한된 면적에서 충분히 큰 충전용량을 확보하는 것이 고집적 소자 기술의 현안으로 대두되고 있으며, 이의 해결을 위해 반도체 설계의 측면에서 캐패시터(Capacitor)의 면적을 크게 할 수 있는 적층구조(Stacked Structure)와 홈구조(Trench Structure)가 널리 이용되어 왔다. 이중 적층구조는 홈구조에 비해 제조 공정이 단순하고 Soft Error에 강한 특성이 있기 때문에 실용성 있는 구조로 평가를 받고 있으나, 64M DRAM의 경우 이러한 구조로도 충분한 충전용량을

확보하기 위해서는 전하저장 전극의 높이가 크게 높아져야 하고, 이에 따른 사진식각 및 에칭 공정에 많은 어려움이 뒤따르게 된다.

따라서 이러한 고집적소자 공정상의 어려움을 전하저장 전극의 표면에 요철을 주어 유효면적을 증가시킴으로써 해결하고자 하는 시도가 있어 왔다. 그 방법으로는 첫째, 전하저장 전극으로 사용되는 다결정 실리콘의 표면을 산화시킨 후 산화층을 습식 식각(Wet Etching)하는 방법이다. 이때의 산화속도는 계면(Grain Boundary)에서 훨씬 크므로 습식 식각후에는 표면과 그 주위의 계면이 제거된 요철 모양의 형상을 얻게 된다⁽²⁾. 그러나 이 방법은 산화층 형성 시간이 길어 Device에 나쁜 영향을 주어, 실용화 되기에는 많은 어려움이 있을 것으로 여겨진다. 둘째로는 전하저장 전극으로 사용되는 실리콘의 저압화확증착시,

증착조건을 적절히 조절함으로써 증착층의 표면이 반구형상을 띠도록 하는 것이다^(3,4,5,6). 이 방법이 실용화 될 경우, 새로운 유전막의 개발없이도 Capacitor를 형성할 수 있을 것으로 기대되며, 추가되는 공정이 없어 최근 이에 대한 연구가 활발히 진행되고 있다. 그러나 아직 정확한 생성기구(Mechanism) 및 공정조건에 대한 연구가 체계적으로 되어있지는 않다. 따라서, 본 연구에서는 SiH₄를 반응기체로 한 실리콘 저압화학증착시 반구형 표면형상을 얻기 위한 공정 조건 및 그 조건들 간의 상관관계에 대해 고찰하고자 한다.

2. 실험

반구형 표면 형상을 갖는 실리콘 증착을 위해 사용된 장비로는 Anicon사의 Vertical LPCVD 장비를 이용하였으며, 반응 기체로는 100% SiH₄를 사용하였다. 반응기체의 유량은 Unit사의 MFC(Mass Flow Controller)를 이용하여 조절하였다. 낮은 압력(<1000 mtorr)를 유지하기 위하여 Leybold사의 Mechanical Pump와 Blower Pump를 사용하였고 증착 압력은 Baratron Pressure Sensor로 Monitor하여 Butterfly Valve로 조절하였다. 본 System의 개략도를 Fig. 1에 나타냈다.

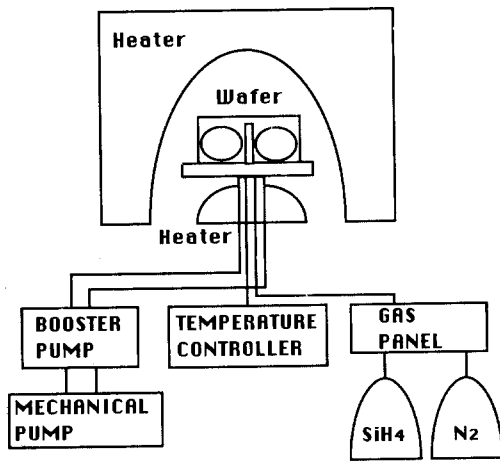


Fig. 1. Schematic diagram of low pressure chemical vapor deposition reactor.

본 연구에서의 실리콘 증착조건은 570~615°C 온도 범위이고, 압력은 1000 mtorr 이하이며, SiH₄ 유량은 300 sscm 이하이고, 6 inch P-type Silicon Wafer에 Thermal Oxide 1000 Å를 성장시킨 후 실리콘을 증착시켰다. 박막의 두께는 Rudolph사의 Auto El IV를 이용하여 측정하였으며 Nanospec, α-step과 SEM 등을 이용하여 두께를 보정하였다. 증착된 실리콘의 표면적을 구하기 위하여 증착된 실리콘 위에 DRAM에서 캐피시터로 주로 사용되는 Si₃N₄/SiO₂ [NO]의 이중막을 형성시킨 후 다시 다결정 실리콘을 증착하였고, 일정한 면적을 갖도록 에칭하여 다음 식의 관계로부터 측정된 Capacitance에서 실리콘의 표면적을 구하였다.

$$A = \frac{Cd}{\epsilon_0 \epsilon_r} \dots\dots\dots (1)$$

- 여기서 A : 증착된 실리콘의 표면적(μm²)
- C : Capacitance(pF)
- ε₀ : Permittivity of Vacuum(=8.854E-12F/m)
- ε_r : Dielectric Constant of Oxide
- d : 증착된 NO의 두께(Å)

결정방위는 Rikaku사의 XRD를 이용하여 2θ가 20~80° 범위에서, Cu Kα 방사선을 이용하였다.

본 연구에서의 시편 제작 순서 및 측정 순서를 Fig. 2에 나타냈다.

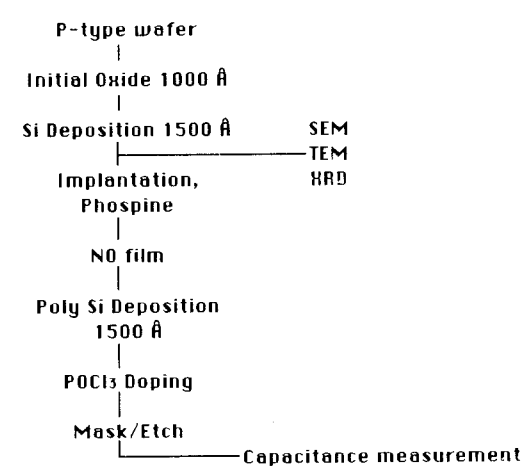


Fig. 2. Sample preparation and measurements procedures.

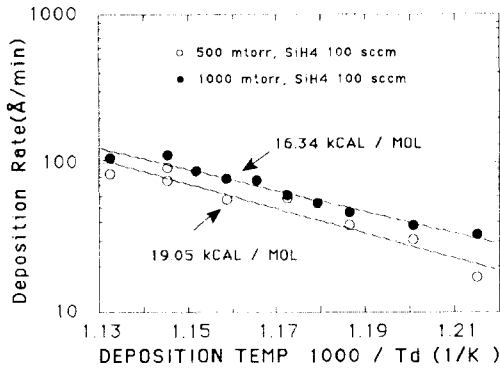


Fig. 3. Deposition rates of silicon in the low pressure chemical vapor deposition reactor as a function of deposition temperatures and pressures.

3. 결 과

3-1. 증착 속도의 특성

Fig. 3에 증착온도와 압력에 따른 실리콘 증착속도를 Arrhenius 그림으로 나타냈다. Least-square fitting 그림으로부터 구한 겉보기 활성화 에너지(Apparant Activation Energy)는 증착압력 1000 mtorr와 500 mtorr 각각의 경우 16.34, 19.05kcal/mol로써 큰 차이를 보이지 않고 있다. 즉 본 연구의 실험조건인 증착 압력 1000 mtorr 이하는 모두 같은 mechanism에 의해 실리콘 증착반응이 일어남을 알 수 있으며 1000 mtorr 이하는 상당히 저압이라는 점으로 볼때 표면반응에 의해 증착반응이 지배되고 있음을 알 수 있다. 그리고 본 연구에서 얻어진 겉보기 활성화 에너지 16~19kcal/mol은 다른 연구자들^(7,8)의 보고치인 32~39.9kcal/mol보다 크게 작다. 이것은 본 연구에서의 증착반응이 적은 온도의존성을 보이는 것을 의미하며, 이러한 차이는 타 연구자의 경우 증착반응기가 수평 증착로인데 반하여 본 연구에서의 증착로는 수직형이기 때문에 이러한 형상(Geometry)차에 의한 기체의 Flow Pattern 및 Depletion 양상등의 차이에 의한 것으로 여겨진다.

3-2. 증착조건에 따른 표면 형상 변화

Fig. 4에 증착압력과 온도에 따른 실리콘

박막의 표면 형상 변화를 나타냈다. Fig. 4(a)는 증착압력 100 mtorr, (b)는 300 mtorr, (c)는 500 mtorr, (d)는 1000 mtorr이며 모든 경우에 SiH₄ 반응기체의 유량은 100 sccm으로 유지시켰다. Fig. 4(a)를 보면 증착온도 580°C를 천이온도로 하여 그 이하에서는 평탄한 면과 둥글게 성장한 Grain이 혼재되어 있음을 알 수 있으며, 증착온도가 580°C의 경우는 균일하게 반구형 형상(이하 Hemispherical Shaped Grains : HSG라 칭함)을 띄고 있었다. 그리고 580°C 이상에서는 Grain들이 서로 뭉쳐진 형상을 나타내고 있다. 이와 같은 경향은 모든 실험조건에서 볼 수 있으며 증착압력이 100~1000 mtorr인 모든 실험조건에서 동일하게 발생하였다. 그리고 증착압력이 증가함에 따라 천이온도가(이하 HSG Temperature라 칭함)가 증가하고 있음을 알 수 있다. 즉 증착압력(SiH₄ 분압)이 100 mtorr, 300 mtorr, 500 mtorr, 1000 mtorr일때 HSG Temperature는 각각 580°C, 595°C, 600°C, 610°C이었다.

Fig.5에 증착온도와 증착압력을 일정하게 유지하였을때, SiH₄ 유속에 따른 표면형상을 나타냈다. Fig. 5(a)의 경우 580°C, 100 mtorr에서 SiH₄ 유속이 50 sccm 일때는 HSG 형성이 이미 지나서 Grain들이 뭉쳐져 있고, 100 sccm일때는 HSG 형성이 일어나고 있음을 알 수 있다. Fig. 5(b)의 경우 600°C, 300 mtorr일때, SiH₄ 유속에 따라 위의 경우와 같이 작은 SiH₄ 유속에서는 HSG 형성 이후의 형상을 보이고 있으나 큰 SiH₄ 유속에서는 아직 HSG 형성이 일어나지 않고 있어 HSG Temperature가 600°C 이상일 것으로 예측된다.

이상의 결과에서 HSG 형성은 증착조건에 민감한 영향을 받으며, 압력을 증가시킬때 HSG Temperature가 증가하고, 반응기체 유속이 증가할때 HSG Temperature 역시 증가함을 알 수 있다. HSG 형성의 주된 응용예는 DRAM의 전하저장 전극으로 사용시 전극 면적을 증가시키는데 있으므로 증착조건에 따른 면적 증가율을 Fig. 6에 온도와 압력의 함수로 나타냈다. 이 그림에서 HSG 형성시 면적

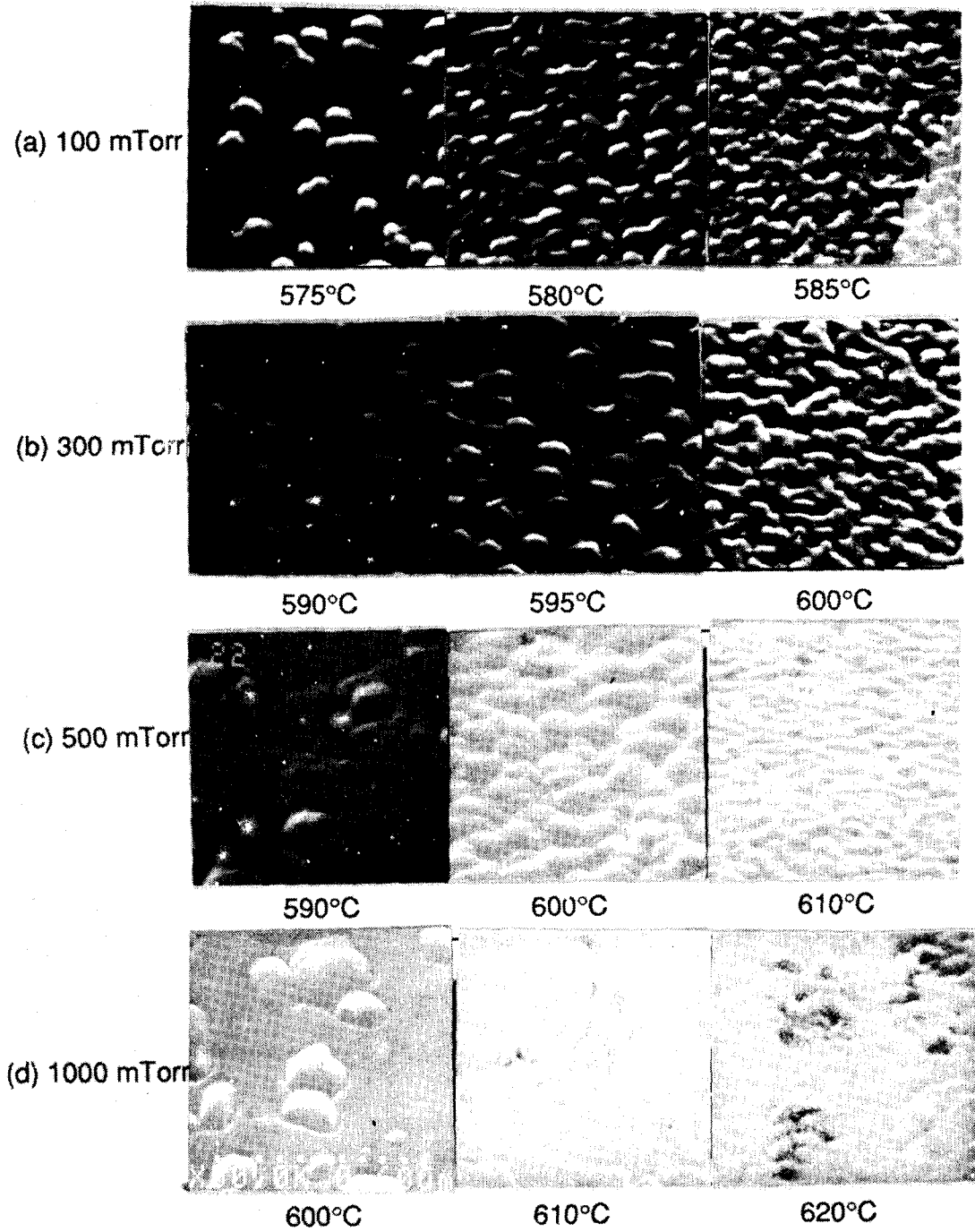


Fig. 4. SEM Photographs showing surface morphologies of silicon films with various deposition temperatures and pressures.

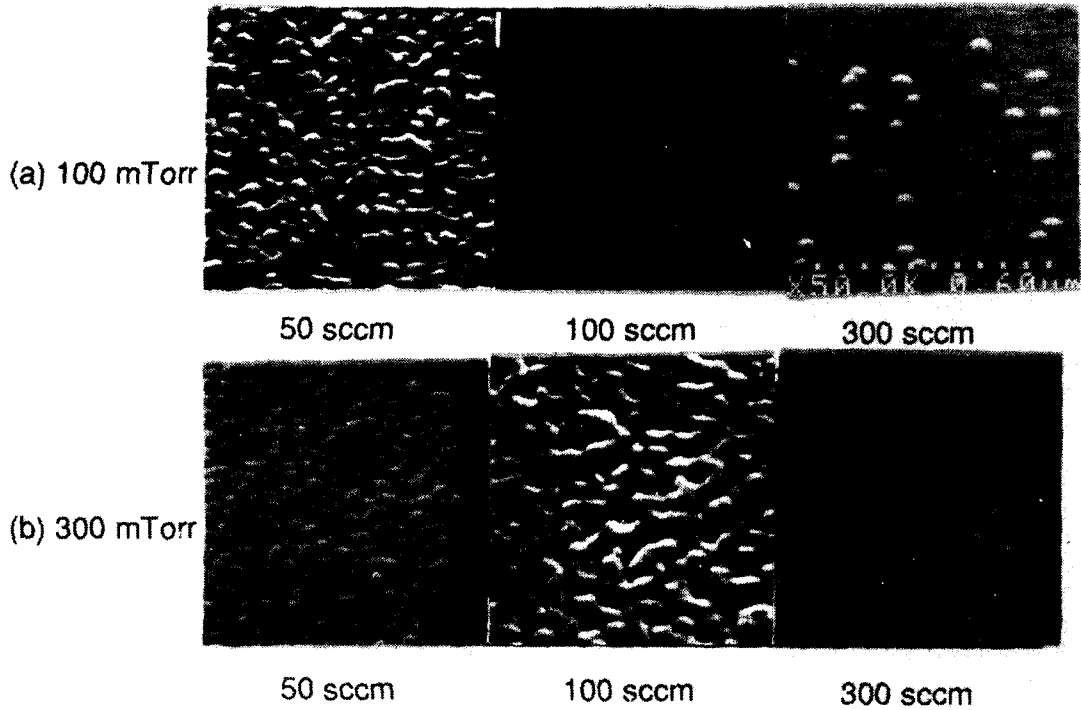


Fig. 5. SEM Photographs showing surface morphologies dependence on the silane gas flow rate

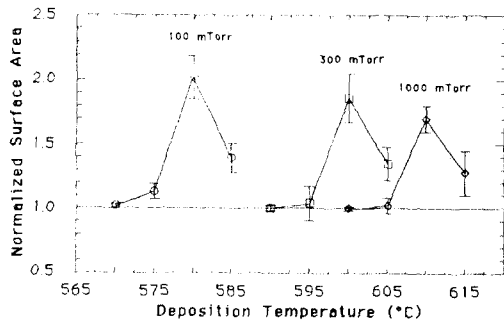


Fig. 6. Normalized surface areas vs. deposition temperatures and Pressures

의 증가는 약 2배에 달하고 있으며, 증착압력에 따라 HSG 온도가 증가하고 있는 것을 잘 보여주고 있다.

4. 논 의

4-1. HSG 형성 조건

HSG 형성은 증착된 실리콘의 구조가 비정질에서 다결정으로 변하는 천이 구역에서 일

어난다고 보고되고 있으며,^(3,4,6) 실리콘 증착시 결정 구조 변화는 온도와 압력에 크게 영향을 받는 것으로 알려져 있다.⁽⁹⁾ 본 연구에서 증착된 실리콘의 표면 형상은 증착압력과 온도에 크게 영향을 받았으며, 이러한 현상이 결정 구조와 어떠한 연관성을 갖는지를 살펴보기 위해 XRD 및 TEM 분석을 해보았다.

Fig. 7은 증착압력이 100 mtorr와 300 mtorr일때 증착온도에 따른 XRD 분석 결과이다. 증착압력이 300 mtorr일때 HSG Temperature 이상의 온도에서는 (111), (220), (311) Peak가 보이고 있으며 HSG Temperature 이하의 온도에서는 뚜렷한 Peak가 관찰되지 않고 있다. 증착압력이 100 mtorr 일때는 HSG Temperature 이상에서 (111) Peak가 보이고 그 이하에서는 역시 뚜렷한 Peak가 관찰되지 않고 있다. 이러한 현상으로 볼때 HSG 생성은 비정질에서 다결정으로의 천이온도에서 일어난다는 것이 일반적인 현상인 것처럼 보인다. 그러나 그것이 천이온도에서

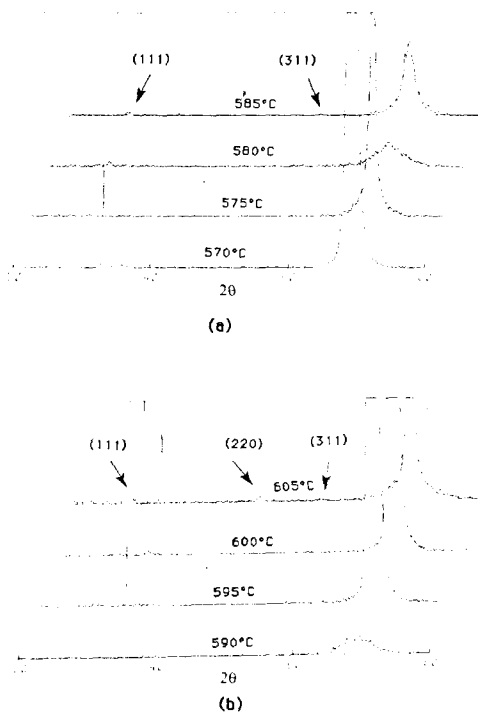


Fig. 7. X-ray diffraction patterns of the silicon films deposited at (a) 100mTorr and (b) 300mTorr.

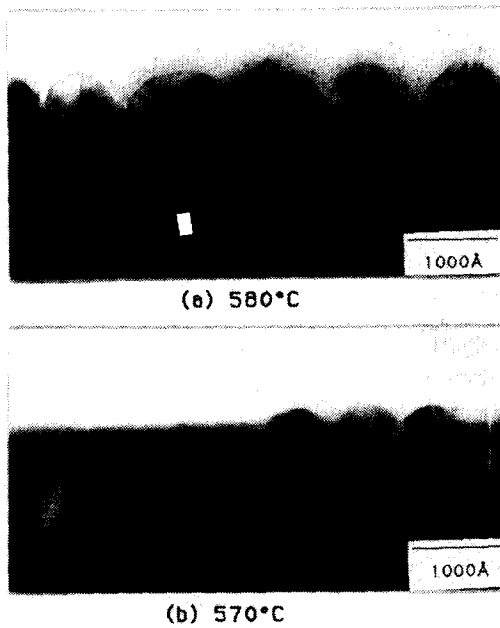


Fig. 8. Cross TEM Photographs of the silicon films deposited at (a) 580°C and (b) 570°C under the pressure of 100mTorr.

어떻게 HSG가 형성되는지를 설명하는 것은 아니며, 더구나 HSG Temperature 이하의 온도에서 증착된 실리콘의 구조가 모두 완전한 비정질이라고 할 수도 없으므로 이에 관해서는 더 많은 연구가 필요하다.

Fig. 8의 (a)는 100 mtorr, 580°C에서 증착된 HSG 실리콘이고 (b)는 100 mtorr, 570°C에서 증착된 박막의 단면 TEM 사진이다. 이 사진에서 XRD에서는 비정질로 나타난 570°C 증착의 박막이 순수한 비정질이 아니고 상당부분 다결정을 이루고 있음을 알 수 있으며, 표면에 반구형을 이룬 입자는 다결정입을 보여주고 있다. 그리고 570°C 단면 TEM 사진에서 증착 초기에는 전 표면에 걸쳐 거의 다 결정화 되어 있으나 증착이 이루어짐에 따라 비정질 부분이 확대 되어감을 볼 수 있으며 580°C HSG에서는 모두 다결정화 되어 있음을 알 수 있다. 그러면 570°C 증착 실리콘의 경우 증착 초기의 다결정 상태에서 증착이 진행됨에 따라 비정질로 변한 원인을 규명하면 역으로 비정질에서 다결정으로 변하는 천이구역에서 형성되는 것으로 알려진 HSG 형성 조건을 알아낼 수 있을 것이다.

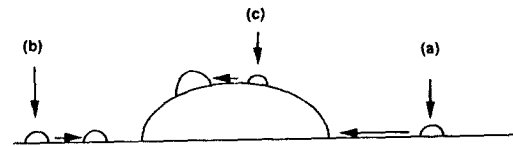


Fig. 9. Schematic diagrams of nucleation and growth (a) Growth by diffusion (b) Formation of unstable nuclei due to Insufficient diffusion Energy (c) Formation of unstable nuclei on the large cluster.

Fig. 9는 일반적인 LPCVD 공정에서 예상되는 실리콘 증착 과정을 도시화 한 것이다. Fig. 9(a)는 흡착된 분자가 표면을 확산하여 안정한 핵의 모서리에 붙는 과정이고 (b)는 흡착된 분자가 표면 이동중 에너지를 잃고 불안정한 핵을 형성하는 과정을 나타낸 것이며 (c)는 안정하지 않은 핵으로 확산하여 불안정한 Cluster를 형성하는 과정이다. 570°C 증착 실리콘의 경우 초기 증착시 낮은 표면에너지로 인해 다결정 상태를 이루나 뒤이어 흡착된

실리콘 분자의 경우 표면 확산에 필요한 충분한 에너지를 얻지 못하여 증착이 진행되면서 (b)와 (c) 반응의 비중이 커지게 되어 그 결과 다결정성을 점차 잃고 비정질화 되어가는 것으로 여겨진다. 즉 증착시 안정한 핵의 생성률 보다 불안정한 핵의 생성률이 커질때 비정질화 되어가는 것으로 볼 수 있다. 따라서 동일한 압력에서 낮은 온도에서는 충분한 확산에너지를 얻지 못하여 점차 비정질화 되어가고, 높은 온도에서는 충분한 확산으로 안정한 면 방향을 가지는 Grain이 크게 성장하게 되어 표면이 각진 방향성을 띄게 되고 결과적으로 표면적이 거의 증가하지 않게 된다. 따라서 HSG의 생성은 증착반응시, 초기 핵생성 단계가 상당히 중요한 의미를 갖게 되며, HSG는 안정한 핵생성률이 최대가 되는 조건에서 생성될 것으로 여겨진다. 이러한 관계를 수식적으로 전개하면 다음 결과 같다.

4-2. 이론적 전개

증착 반응을 흡착과 탈착, 안정한 핵으로의 확산으로 이루어진다고 가정할때 다음의 기본적인 식들이 유도될 수 있다⁽¹⁰⁾.

(i) 탈착율 :

$$\nu_d = \nu_0 \exp(-E_a/kT) \quad (1)$$

여기서 ν_0 는 흡착된 분자의 표면에서의 Frequency, E_a 는 흡착된 분자가 표면에서 탈착하는데 필요한 에너지, T는 반응 표면의 온도이다.

(ii) 흡착된 분자가 핵과 결합하지 않았을때 표면에 머무르는 시간,

$$\tau_s = \frac{1}{\nu_0} \exp(E_a/kT) \quad (2)$$

(iii) 증착반응시 반응기체가 표면에 단분자로 흡착이 된다고 하고 그 밀도를 n_1 이라 할때, 시간에 따른 표면에서의 단분자 밀도 증가율은 다음 식을 만족한다.

$$\frac{dn_1}{dt} = J - n_1\nu_d \quad (3)$$

여기서 J는 입사되는 반응기체의 flux.

$t=0$ 일때 증착반응이 시작된다고 하고 윗 식을 풀면

$$n_1(t) = (J/\nu_d) [1 - \exp(-\nu_d t)] \quad (4)$$

$t \gg 1/\nu_d$ 의 시간에서 증착반응을 관찰한다고 가정하면

$$n_1 = J/\nu_d = (J/\nu_0) \exp(E_a/kT) = J\tau_s \quad (5)$$

(iv) i개의 분자로 이루어진 핵의 밀도를 n_i 라 할때 만약 $i < i^*$ (임계핵의 분자수)이라고 하고 D. Walton⁽¹¹⁾의 제안에 따르면

$$(n_i/n_0) = (n_1/n_0)^i \exp(E_i/kT) \quad (6)$$

식을 만족하게 된다. 여기서 E_i 는 i개의 자유분자에 대해 표면에서 i개 분자로 이루어진 핵의 결합에너지이고 n_0 는 단위면적당 흡착위치의 밀도이다.

(v) 핵의 크기가 커지거나 작아질 확률이 각각 1/2일때의 i개의 분자로 이루어진 핵을 임계핵 (n_i^*)이라 하고, 임계핵에 분자 1개가 흡착하여 이루어진 핵을 최소안정핵이라 할때, 최소안정핵(이하 안정핵이라 칭함)의 생성률(I)은 다음과 같이 나타낼 수 있다.

$$I = n_i^* Gr \quad (7)$$

여기서 Gr은 한개의 분자가 안정핵 n_i^* 와 결합하는 속도이며

$$\sum_{i=1}^{i^*} n_i \approx n_1 \quad (8)$$

이라 가정할때

$$Gr = \sigma_{n_i^*} n_1 v \quad (9)$$

라 놓을 수 있다.

여기서 $\sigma_{n_i^*}$ 는 임계핵이 하나의 분자와 결합하여 안정핵이 될 때의 포획폭(Capture Width)으로써 $\sigma_{n_i^*} = (n_0 - n_i^*)/n_0$ 로 놓을 수 있다. 또 v는 표면에서 단분자가 움직이는 속도이므로 $v = a\nu \exp(-E_a/kT)$ 로 표현되며 여기서 a는 흡착 위치 사이의 거리이고 ν 는 표면에서 단분자의 진동수로써 $\nu \sim \nu_0$ 라 가정한다면 (7)식은 다음과 같이 나타낼 수 있다.

$$\begin{aligned}
 I &= n_i^* Gr \\
 &= n_0 \left(\frac{n_i}{n_0}\right)^i \exp\left(\frac{E_i^*}{kT}\right) \left(\frac{n_0 - n_i^*}{n_0}\right) n_1 a \nu_0 \exp\left(\frac{-E_d}{kT}\right) \\
 &= a \nu_0 n_0^2 \left(\frac{n_i}{n_0}\right)^{i+1} \left[1 - \left(\frac{n_i}{n_0}\right)^i \exp\left(\frac{E_i^*}{kT}\right)\right] \exp\left(\frac{E_i^* - E_d}{kT}\right) \\
 &= a \nu_0 n_0^2 \left(\frac{J}{n_0 \nu_0}\right)^{i+1} \left[1 - \left(\frac{J}{n_0 \nu_0}\right)^i \exp\left(\frac{i^* E_a + E_i^*}{kT}\right)\right] \\
 &\quad \exp\left(\frac{(i^* + 1)E_a + E_i^* - E_d}{kT}\right) \quad (10)
 \end{aligned}$$

증착압력과 HSG 온도

앞의 실험결과에서 증착압력이 증가할수록 HSG 온도가 증가하는 현상을 알 수 있었다. 식 (10)이 이러한 관계를 만족해야 하므로, 압력과 온도와의 관계를 보기 위하여

$$J = \frac{P}{\sqrt{2\pi m k T}} \quad (12)$$

식을 대입하여 (10)식을 다시 정리하면

$$\begin{aligned}
 I &= A P^{i^*+1} \left[n_0 - B T^{-i^*/2} P^{i^*} \exp\left(\frac{i^* E_a + E_i^*}{kT}\right) \right] \\
 &\quad \exp\left(\frac{(i^* + 1) E_a + E_i^* - E_d}{kT}\right) \quad (11)
 \end{aligned}$$

여기서 $A = a \nu_0 / (n_0 \nu_0 \sqrt{2\pi m k T})^{i^*+1}$

$$B = 1 / (n_0 \nu_0 \sqrt{2\pi m k})^{i^*}$$

HSG 생성은 핵생성률이 최대일때라는 앞 절의 가정으로부터

$$\begin{aligned}
 \frac{\partial I}{\partial P} = 0 &= A P^{i^*} [(i^* + 1)n_0 - (2i^* + 1)B T^{-i^*/2} \\
 &\quad P^{i^*} \exp\left(\frac{i^* E_a + E_i^*}{kT}\right) \exp\left(\frac{(i^* + 1)E_a + E_i^* - E_d}{kT}\right)] \quad (12)
 \end{aligned}$$

그러므로

$$P_{HSG}^{i^*} = \frac{(i^* + 1)n_0 T_{HSG}^{i^*/2}}{(2i^* + 1)B} \exp\left(-\frac{i^* E_a + E_i^*}{kT_{HSG}}\right) \quad (13)$$

식 (13)에서 증착압력을 증가시키면 HSG 온도도 증가한다는 것을 알 수 있다.

반응기체 유속과 HSG 온도

반응기체 유속과 HSG 온도와의 관계를 보기 위해서는 핵생성률이 최대라는 가정으로부터

터 $\partial I / \partial J = 0$ 을 만족해야 하므로 식 (11)을 다시 정리하면

$$\begin{aligned}
 I &= C J^{i^*+1} \left[n_0 - D J^{i^*} \exp\left(\frac{i^* E_a + E_i^*}{kT}\right) \right] \\
 &\quad \exp\left(\frac{(i^* + 1)E_a + E_i^* - E_d}{kT}\right) \quad (14)
 \end{aligned}$$

여기서

$$C = a \nu_0 / (n_0 \nu_0)^{i^*+1}$$

$$D = 1 / (n_0 \nu_0)^{i^*}$$

이때

$$\begin{aligned}
 \frac{\partial I}{\partial J} = 0 &= C J^{i^*} [(i^* + 1)n_0 - (2i^* + 1)J^{i^*} \\
 &\quad \exp\left(\frac{i^* E_a + E_i^*}{kT}\right) \exp\left(\frac{(i^* + 1)E_a + E_i^* - E_d}{kT}\right)] \quad (15)
 \end{aligned}$$

그러므로

$$J_{HSG}^{i^*} = \frac{(i^* + 1)n_0}{(2i^* + 1)} \exp\left(-\frac{i^* E_a + E_i^*}{kT_{HSG}}\right) \quad (16)$$

식 (16)은 반응기체 유속이 증가하면 HSG 온도도 증가하는 것을 보여준다.

따라서 본 실험에서 얻는 결과가 이론적으로 유도된 식 (13), (16)의 결과와 일치함을 알 수 있다.

5. 결 론

최근의 반도체 DRAM은 소자의 집적도가 크게 증가하면서 축전용량의 확보가 중요한 과제가 되고 있다. 본 연구에서는 이러한 문제를 해결하고자 실리콘 저압 화학증착시 표면 형상을 조절함으로써 기존의 방법에 비해 약 2배의 축전용량을 확보할 수 있었다. 이때 표면 형상 조절에 가장 중요한 영향 인자는 증착온도와 압력, 반응기체 유속이었으며, 증착압력이 증가할수록 또 반응기체의 유속이 증가할수록 유효면적이 최대가 되는 증착온도도 증가하였다. 이러한 관계를 이론적으로 설명하고자 본 연구에서는 유효면적이 최대가 되는 조건은 안정핵의 생성률이 최대가 되는 점이라 가정하고, 이에 관한 식을 유도하였으며 이로부터 실험결과와 일치하는 결과를 얻

을 수 있었다.

6. 참고 문헌

- 1) Y. Akasaka, Proceedings of the Sixth International Symposium on Silicon Materials Science and Technology, Semiconductor Silicon 1990, 90-7, p.759, ed. Howard R. Huff & K.G. Barraclough, The Electrochemical Soc., Pennington, NJ (1990).
- 2) P.C. Fazan and A. Ditali, IEDM Tech. Digest, 27.5.1 (1990).
- 3) H. Watanabe et. al., Extended Abst. of 22nd SSDM, 873 (1990).
- 4) Y. Hayashide et. al., Extended Abst. of 22nd SSDM, 869 (1990).
- 5) M. Sakao et. al., IEDM Tech. Digest, 27.3.1 (1990).
- 6) M. Ysoshimaru et. al. IEDM Tech. Digest 27.4.1 (1990).
- 7) R.J. gieske and J.J. McMullen, in "Chemical Vapor Deposition," ed. L.F. Donaghey et. al., p.183, The Electrochemical Society Softbound Proceedings Series, Princeton, NJ (1977).
- 8) G. Harbeke et. al., J. Electrochem. Soc., **131**(3), 675(1984).
- 9) P. Joubert, B. Loisel, Y. Chouan, and L. Haji, J. Electrochem. Soc., **134**(10), 2541 (1987).
- 10) V. Halpern, J. Appl. Phys, **40**(11), 4627 (1969).
- 11) D. Walton, J. Chem. Phys, **37**(10), 2182 (1962).
- 12) L. Eckertov á, Physics of Thin Films, 2nd Ed., p.100, Plenum Press, NY (1986).