[논 문] 한국재료학회지
Korean Journal of Materials Research
Vol. 1, No. 3 (1991)

서브마이크론 CMOS DRAM의 소자 특성에 대한 BPSG Flow 열처리 영향

이상규, 김정태, 고철기
현대전자(주) 반도체 연구소

Effect of Thermal Budget of BPSG flow on the Device Characteristics in Sub-Micron CMOS DRAMs

S. K. Lee, C. T. Kim, and C. G. Ko
Semiconductor Research and Development Laboratory,
Hyundai Electronics Industries Co. Kyungki-do, 467-860

초 록 2층의 BPSG를 사용하는 서브마이크론 CMOS DRAM에 있어 전기적 특성에 관한 BPSG flow온도의 영향을 비교하였다. BPSG flow온도를 850℃/850℃, 850℃/900℃, 900℃/900℃의 3가지 다른 조합을 적용하여 문턱전압, 파괴전압, Isolation전압과 더불어 면저항과 접촉 저항을 조사하였다. 900℃/900℃ flow의 경우 NMOS에서 문턱전압은 0.8μm 미만의 채널길이에서 급격히 감소하나 PMOS 경우는 차이가 없었다. NMOS와 PMOS의 파괴전압은 각각 0.7μm와 0.8μm 이하에서 급격히 감소하였다. 그러나 850℃/850℃ flow의 경우에는 NMOS와 PMOS모두 문턱전압과 파괴전압은 채널길이 0.7μm까지 감소하지 않았다. Isolation전압은 BPSG flow온도 감소에 따라 증가하였다. 면저항과 접촉 저항은 BPSG flow온도가 900℃에서 850℃로 감소됨에 따라 급격히 증가되었다. 이와 같은 결과는 열처리 온도에 따라 dopant의 확산과 활성화에 관련 있는 것으로 생각된다. 접촉 저항 증가에 대한 개선 방법에 대하여 고찰하였다.

Abstract A comparision was made on the influence of BPSG flow temperatures on the electrical properties in submicron CMOS DRAMs containing two BPSG layers. Three different combinations of BPSG flow temperature such as 850℃/850℃, 850℃/900℃ and 900℃/900℃ were employed and analyzed in terms of threshold, breakdown and isolation voltage along with sheet resistance and contact resistance. In case of 900℃/900℃ flow, the threshold voltage of NMOS was decreased rapidly in channel length less than 0.8μm with no noticeable change in PMOS and a drastic decrease in breakdown voltages of NMOS and PMOS was observed in channel length less than and equal to 0.7μm and 0.8μm, respectively. Little changes in threshold and breakdown voltages of NMOS and PMOS, however, were shown down to channel length of 0.6μm in case of 850℃/850℃ flow. The isolation voltage was increased with decreasing BPSG flow temperature. A significant increase in the sheet resistance and contact resistance was noticeable with decreasing BPSG flow temperature from 900℃ to 850℃. All these observations were rationalized in terms of dopant diffusion and activation upon BPSG flow temperature. Some suggestions for improving contact resistance were made.

I. 서 론

반도체 소자의 설계치가 서브마이크론으로 감소함에 따라 topology심화에 따른 평탄화 기술의 중요성이 증가하고 있다. BPSG (Borophosphosilicateglass)는 금속배선하층의 평탄화를 위한 절연막으로 가장 널리 사용되고 있는 재료로서 서브마이크론 소자 시대에 와서는 종래의 SiH_4 기체에서 TEOS (Tetraethylorthosilcate)로 주원료를 대체하여

단차가 높은 부위의 stepcoverge를 더욱 향상시키고 있다[1~7]. 한편 topology심화와 더불어 전공정이 진행되는 동안 BPSG층의 사용 횟수도 증가하여 통상 1MDRAM까지는 1층이 사용되어 왔으나 4MDRAM 이상에서는 2층 이상이 사용되고 있는 상태이다. BPSG공정 후에는 증착된 절연막을 통상 850℃ 이상의 고온 열처리에 의하여 유동성을 부여하여 평탄화를 이루게 되는데 BPSG층 사용 횟수가 2회 이상으로 증가할 경우 열처리에 따른 열적 budget 증가로 shallow접합이 요구되는 고집적 소자 제조에는 난점이 된다. 일반적으로 열처리 온도를 낮추면 dopant의 확산 감소로 접합 길이는 감소하고 유효채널 길이는 증가하여 소자의 전기적 특성 변화를 가져오게 한다. 본 연구에서는 BPSG공정이 2회 실시되는 0.6μm design rule를 가진 DRAM 제조 공정에서 BPSG 열처리 온도를 850℃와 900℃로 조합할 경우의 소자 특성 변화를 조사하였으며 BPSG 열처리 온도 감소에 따른 접촉저항 감소 방안을 제시하고자 하였다.

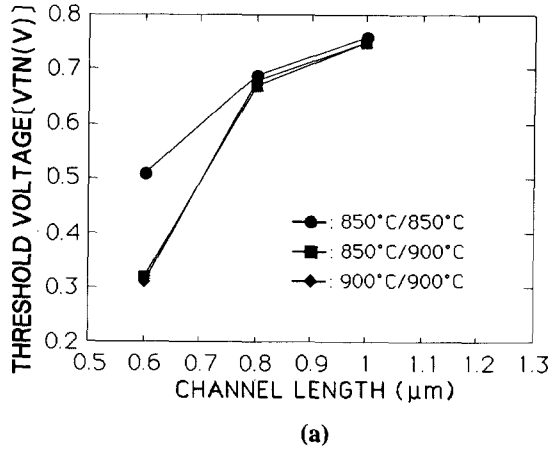
Ⅱ. 실 험 방 법

BPSG증착 후 열처리 온도에 따른 전기적 특성 변화조사를 위한 실험은 다음과 같이 실시하였다. 비저항이 8~10Ω.cm인 (100) p형 실리콘 웨이퍼를 이용하여 4층의 폴리 실리콘과 2층의 금속층으로 이루어진 saddled stacked capacitor구조를 가진 소자를 형성하였다. 이 소자 제조 공정중 절연막으로 사용되는 BPSG는 2공정으로 첫번째 BPSG공정은 capacitor형성후 poly 3다음 공정으로 undoped산화막 증착후 첫번째 BPSG증착 및 flow공정이 들어가고, 두번째 BPSG공정은 polycide bit line형성 및 undoped산화막 증착 후에 실시된다. BPSG박막은 Applied Materials사의 PECVD 장비인 P-5000을 이용하여 TEOS(Tetraethyorthosilicate)와 O_2 그리고 dopant 기체로서 액체 원료인 TMB(Trimethylborate)와 TMP(Trimethyphosphate)를 사용하여 RF power가 400W, 압력 9 Torr, 증착온도 390℃의 조건하에서 증착하였다. 이때 BPSG 열처리 온도에 따른 평탄도를 같게 하기 위해 열처리 온도에 따라 BPSG 증착시 dopant 기체 비율을 각각 조절하였다. BPSG증착후 열처리는 두 공정 모두 850℃로 한 경우, 첫번째 BPSG열처리 온도는 850℃로 하고 두번째 BPSG 열처리 온도는 900℃로 한 경우, 그리고 두 공정 모두 900℃로 한 경우로 나누어 각각 진행하였다. 이때 열처리는 N_2 분위기에서 실시하였으며 850℃로 열처리 한 경우 열처리 시간은 30분으로 하였으며 900℃ 열처리 한 경우는 20분으로 하였다. 이후 2층의 금속 배선을 형성하여 열처리를 거친 후 소자 제조를 완료하였다. 이렇게 형성된 소자의 test pattern에서 BPSG열처리 온도에 따른 전기적 특성 변화를 알아보기 위해 Hewlett Packard 사의 HP4062장비로 문턱전압(Threshold Voltage), 파괴전압(Breakdown Voltage) 및 저항 등의 DC parameter를 각각 측정하였다.

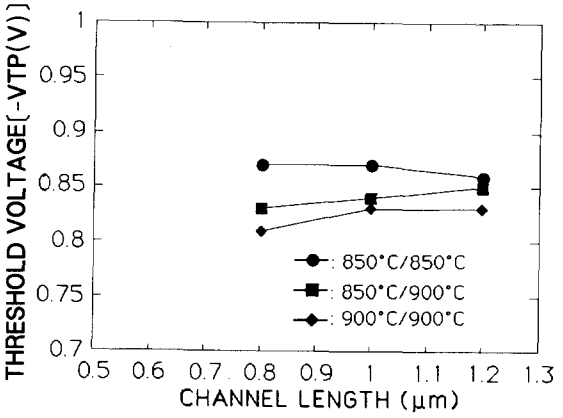
Ⅲ. 결 과

1. 채널길이에 따른 Transistor특성 변화

Fig. 1과 Fig. 2는 flow온도에 따른 문턱전압(V_T)과 파괴전압(V_B)의 변화를 채널 길이에 따라서 나타낸 것이다. 여기서 flow온도에 대한 V_T 및 V_B 값이 채널길이에 따라 크게 차이가 나는 것을 알 수 있는데, NMOS(Metal Oxide Semiconductor)에서의 V_T는 채널길이가 0.8μm까지는 flow온도에 따라 거의 같은 값을 가지나 그 이하로 떨어진 0.6μm에서는 flow온도 증가에 따라 급격히 감소되는 것을 알 수 있다. 즉, BPSG flow두 공정 모두 850℃로 했을 경우 V_T가 0.51V에서, 첫번째 공정만 850℃로 하고 두번째 공정은 900℃로 했을 경우 0.32V, 그리고 두 공정 모두 900℃로 했을 경우 0.31V로 떨어졌다. 그러나 PMOS에서의 V_T는 채널길이에 관계없이 거의 일정한 값을 보여준다. 이것은 실험에 사용된 소자가 LDD(Lightly doped drain)구조를 하고 있어 NMOS뿐만 아니라 PMOS도 N^- source-drain 이온주입(Phosphorous)되어 PMOS접합의 경계면쪽의 n-well의 농도를 증가시켜 비정상적인 역 short channel효과를 주게 된다. 이러한 효과는 채널 길이가 긴 곳에서는 영향이 적으며 채널 길이가 짧은 곳에서는 영향이 커 V_T가 거의 일정한 값을 보인다

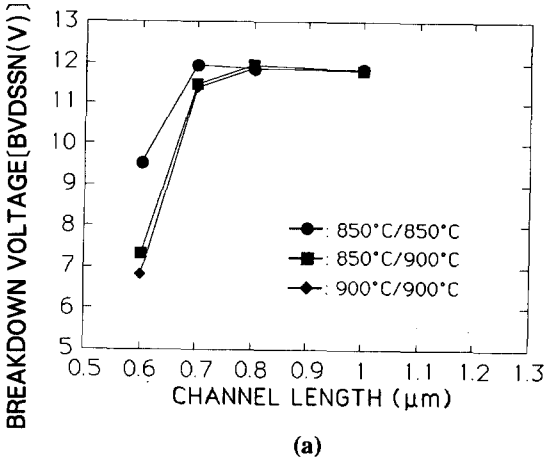


(a)

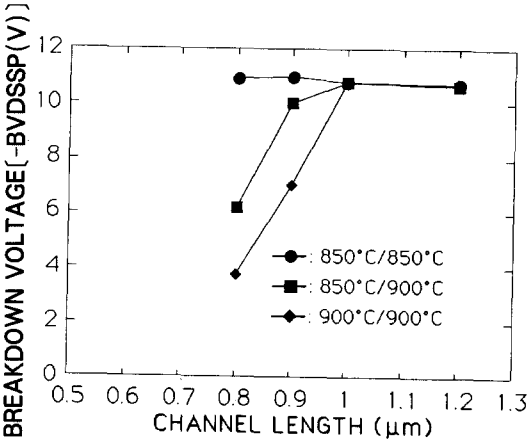


(b)

Fig. 1. Threshold voltages for different combinations of BPSG flow temperatures as a function of channel length : (a) NMOS and (b) PMOS.



(a)



(b)

Fig. 2. Breakdown voltages for different combinations of BPSG flow temperatures as a function of channel length : (a) NMOS and (b) PMOS.

고 하겠다. 파괴전압은 NMOS에서 채널길이가 0.7μm까지는 일정하고 0.6μm로 감소하면 flow온도 증가에 따라 감소된다. 즉, BPSG flow두 공정 모두 850℃로 했을 경우 9.57V로 감소하며, 한 공정만 850℃로 했을 경우에는 7.34V, 그리고 두 공정 모두 900℃로 했을 경우 6.82V로 그 감소폭이 크다. PMOS에서는 채널길이가 1.0μm까지는 그 값이 일정하나 그보다 작은 0.9μm 및 0.8μm에서는 flow 온도 증가에 따라 급격히 파괴전압이 감소한다. BPSG flow두 공정 모두 850℃로 했을 경우 0.8μm까지 일정하나, 한 공정만 850℃로 했을 경우는 채널길이가 0.9μm에서는 10.02V, 0.8μm에서는 3.77V로 급격히 감소됨을 알 수 있다.

이와 같이 flow온도가 증가하면 문턱전압 및 파괴전압이 급격히 감소하는 것은 flow온도 증가로 dopant의 확산 증가에 따라 유효 채널길이가 감소하여 문턱전압 및 파괴전압이 감소하게 되는 것이다. 특히 arsenic으로 doping된 N^+쪽보다 boron으로 doping된 P^+쪽이 flow온도에 따라 확산길이에 변화가 커 이에 따른 문턱전압 및 파괴전압의 변화폭이 크게 나타난다.

2. Isolation voltage변화

두꺼운 field oxide는 active영역을 격리시켜 interconnect전압을 막아주는 역할을 하게된다. 이와 같은 특성을 알아보기 위해 field oxide를 중심으로 N^+와 N^+, P^+와 P^+사이의 isolation 전압을 측정한 것이 Fig. 3이다.

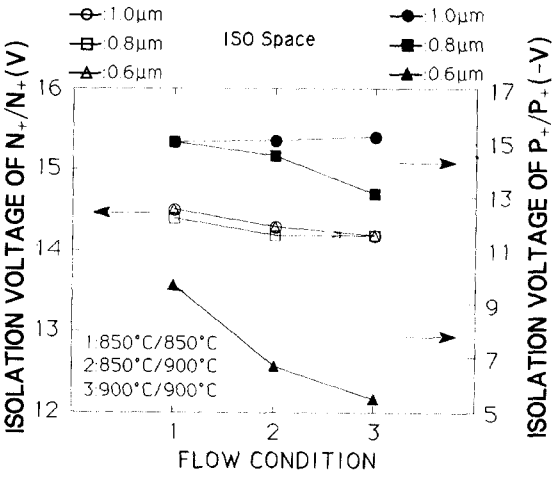


Fig. 3. Isolation voltages of N^+/N^+ and P^+/P^+ with different cobinations of BPSG flow tempeatures as a function of isolation space.

BPSG flow 두 공정중 한 공정만 flow 온도를 850℃로 했을 경우에 P^+와 P^+사이의 isolation 전압은 0.8μm이하의 space에서 10%이상 증가한 반면에 N^+와 N^+사이의 isolation전압은 차이가 없었다. Flow두 공정 온도를 모두 850℃로 했을 경우 P^+와 P^+사이의 isolation 전압은 0.8μm space에서는 14%정도 증가하고, 0.6μm space에서는 75%로 space거리가 짧은 곳에서 크게 증가하였다. 그러나 N^+와 N^+사이의 isolation전압은 가장 작은 0.5μm space에서 15%정도 증가하였고, 그 이상의 space에서는 차이가 없었다.

위와 같은 결과로 flow온도 감소에 따라 확산 거리에 별 차이가 없는 N^+쪽에서는 변화가 작고 확산 거리에 차이가 큰 P^+쪽에서는 field oxide크기, 즉 isolation space크기 감소에 따라 isolation전압의 증가폭이 증가하여 소자 특성이 향상된다.

3. 면저항 및 접촉저항 변화

Flow온도에 따른 면저항(sheet resistance)

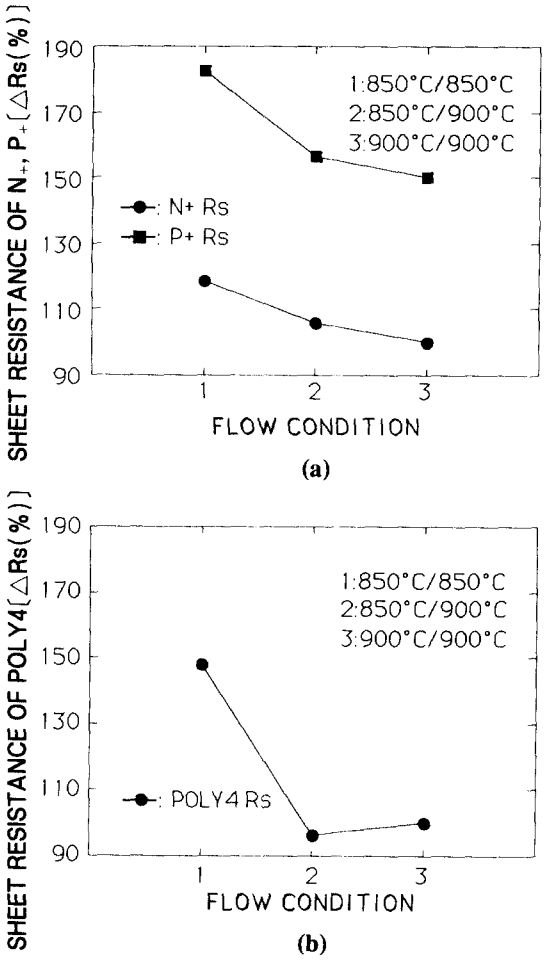


Fig. 4. Sheet resistance of (a) N^+, P^+ and (b) poly 4 at Vander Pauw resistor with different combinations of BPSG flow temperatures.

의 값을 Vander Pauw resistor에서 측정한 결과와 contact chain에서 측정한 접촉 저항값을 나타낸 것이 Fig. 4와 Fig. 5이다. 여기서 각 조건의 저항 증가분은 900℃/900℃ 조합의 경우를 기준으로 한 증가분이다. 먼저 flow온도에 따른 면저항 변화를 살펴보면 flow온도 감소에 따라 저항이 증가하는 것을 알 수 있다. N^+면저항보다 P^+면저항의 증가폭이 크고, 특히 poly 4 면저항의 증가폭이 다른 것에 비해 컸다. N^+ 면저항은 BPSG flow공정중 한 공정은 850℃로 진행했을 경우 5.5%증가하고 두 공정 모두 850℃로 했을 경우에는 18.5%가 증가하였으나 P^+면저항은 각각 6.5%와 32.7%증가하였다. 또한 poly 4면저항은

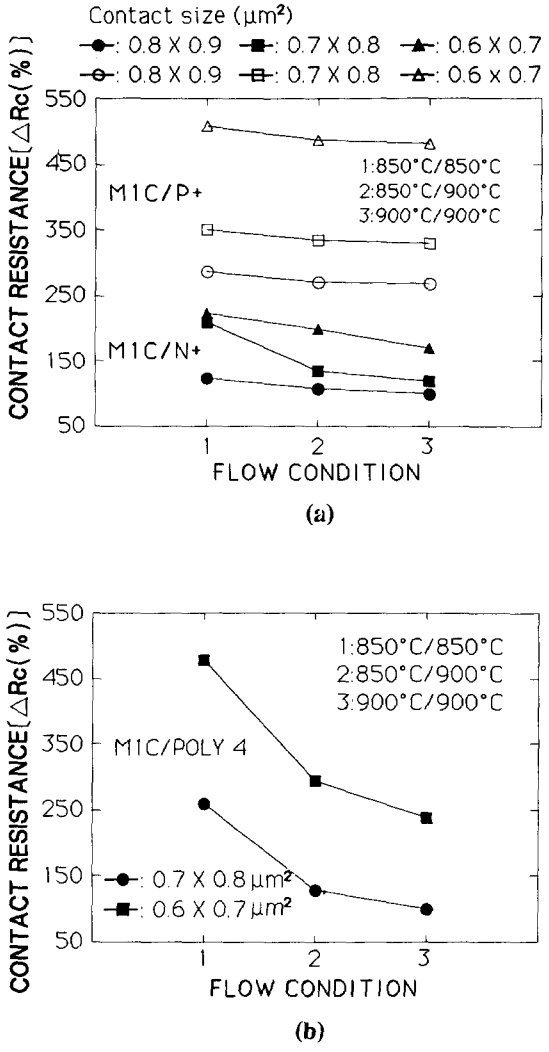


Fig. 5. Contact resistance of (a) metal 1 contact/ N^+, metal 1 contact/P^+ and (b) metal 1 contact/poly 4 at contact chain with different combinations of BPSG flow temperatures as a function of contact size.

두 공정 모두 850℃로 했을 경우 47.9%나 증가하였다. 이와 같은 결과는 동일한 flow온도 감소에서도 arsenic으로 doping된 N^+보다 boron으로 doping한 P^+쪽이 활성화정도 및 확산속도가 온동 변화에 더 큰 영향을 받는 것을 나타낸다. 특히 poly 4의 면저항의 급격한 증가는 poly cide구조를 갖고 있기 때문이다. Tungsten silicide의 면저항 변화를 열처리 온도에 따라서 살펴보면 600℃까지는 저항이 증가하나 이후 800℃까지는 급격히 감소하는데 이것은 tungsten silicide가 hexagonal에서 tetragonal구조로 격자 구조의 변화가 일어나기 때문이다[8]. 이후 더욱 열처리 온도가 증가하면 면저항은 계속 증가하게 되는데 이것은 입자크기 감소에 따른 입계증가로 dopant trap site증가와 dopant용해도 감소에 따른 carrier농도 감소에 기인한 것이다[9, 10]. 이와 같이 polycide형성후 열처리 온도에 따라 면저항이 증가하게 된다. 여기서 다결정 Si저항 증가보다 silicide저항증가의 영향이 훨씬 크게 작용한다.

접촉저항 변화를 살펴보면 면저항의 변화와 동일하게 flow온도감소에 따라 contact저항 증가를 보인다(Fig. 5). 상대적으로 크기가 작은 접촉의 저항이 크기가 큰 접촉의 저항보다 증가폭이 크며 특히 metal 1 contact/poly 4 contact저항의 증가가 크다. Metal 1 contact과 N^+ 및 P^+사이의 접촉 저항을 보면 contant size가 $0.8\times0.9\mu m^2$, $0.7\times0.8\mu m^2$, $0.6\times0.7\mu m^2$으로 감소함에 따라 flow온도가 모두 900℃일때 보다 한 공정만 850℃로 실시한 경우 각각 6.6%, 15.7%, 29.0%, P^+의 경우 1.8%, 3.5%, 5.2%정도 접촉 저항이 증가하고 두 공정 모두 850℃로 진행한 경우 N^+의 경우 22.6%, 41.5%, 53.6%, P^+의 경우 18.4%, 20.2%, 28.4%정도 접촉저항이 증가하였다. 특히 metal 1 contact과 poly 4사이의 접촉 저항은 contact size가 $0.7\times0.8\mu m^2$, $0.6\times0.7\mu m^2$으로 감소함에 따라 flow온도가 모두 900℃일때 보다 한 공정만 850℃로 진행한 경우 각각 28.8%, 57.0%증가하였고 flow 두 공정 모두 850℃으로 한 경우 각각 161%, 242%로 크게 증가하였다.

Ⅳ. 고 찰

16M와 64M DRAM과 같은 고집적 소자는 기존 소자보다는 더 얕은 0.2μm이하의 접합이 요구되고 채널 길이도 서브마이크론 이하로 감소하여 이와 같은 조건에서 기존 소자에 비해 트랜지스터 특성이 떨어지지 않아야 한다. 즉, NMOS에서 문턱전압은 0.5V이상, 파괴전압은 9V 이상, PMOS에서는 문턱전압은 −0.2V이하, 파괴전압은 −9V이하이어야 한

다. 이와 같은 수준을 유지하기 위해서는 이온주입 조건을 수정해 주어야 하며, 열처리 온도도 낮출 필요가 있다. 따라서 BPSG공정이 2step들어간 공정에서 flow온도를 모두 900℃로 진행하면 위의 조건을 만족시킬 수 없어 flow온도를 낮출 경우 트랜지스터 특성 개선을 위한 V_T이온주입 등의 조건 수정 없이도 NMOS에서 채널 길이가 0.6μm 이상, PMOS에서는 0.8μm이상의 크기에서 양호한 트랜지스터 특성을 얻을 수 있다. 그러나 이와 같이 flow온도를 낮춤에 따라서 트랜지스터 특성은 작은 크기의 채널에서 개선되지만, 반대로 저항의 증가가 크며 특히 크기가 작은 contact에서 저항 증가가 크다. 이러한 저항 증가를 극복하기 위해서는 source-drain이온주입농도 조절 또는 접촉 이온주입등의 추가가 필요하다고 생각된다. 예를 들어, BPSG flow두 공정중 한 공정의 온도를 900℃에서 850℃로 낮출 경우에 N^-contact이온주입을 phosphorus로 이온주입농도 4E15/cm^2, 에너지 70KeV로 실시했을 때 flow두 공정 모두 900℃한 경우보다 더 낮은 접촉 저항을 얻을 수 있었다(Fig. 6). 또한 접촉 저항을 낮추는 방법으로 barrier height가 낮은 물질을 사용하는 방법으로 폴리 실리콘 plug하는 방법[11~13] 및 최근에는 금속배선층과 source-drain사이의 접촉 면적을 확대하기 위하여 3차원적인 접촉 방법[14]등이 제시되고 있다.

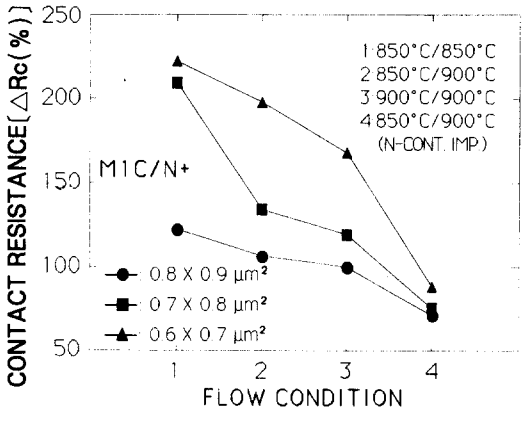


Fig. 6. Contact resistance of metal 1 contact/N^+ after N-contact implant(4E15cm^{-2}, phosphorus)as a function of contact size.

이상과 같이 소자의 고집적화에 따른 shallow junction요구에 맞추어 전반적인 열처리 온도 감소에 따라서 앞서와 같은 저항 증가의 문제가 생기기 때문에 적절한 대책이 요구된다.

V. 결 론

BPSG flow온도에 따른 전기적 특성을 조사한 결과 다음과 같은 결론을 얻을 수 있었다.

1. 트랜지스터 특성중 NMOS에서는 문턱전압이 채널 길이가 0.8μm미만에서, 파괴전압은 0.7μm이하에서, PMOS에서 파괴전압은 0.8μm이하에서 900℃ flow시 급격히 그 값이 감소하나 850℃에서는 소폭 감소 및 동일한 수준을 유지한다.
2. Isolation전압은 flow온도 감소에 따라 0.5 μm space의 N^+와 N^+사이와 0.8μm space 이하의 P^+와 P^+사이에서는 증가한다.
3. 면저항은 flow온도를 900℃에서 850℃로 감소에 따라 증가하며 특히 poly 4 면저항은 45%이상 크게 증가한다.
4. 접촉저항은 flow온도를 900℃에서 850℃로 감소에 따라 증가하며 특히 poly 4 contact저항이 가장 크게 증가하여 0.6×0.7μm^2 크기의 metal 1 contact/poly 4저항은 2배 이상 증가한다.
5. BPSG flow온도를 낮출 경우 작은 크기의 채널에서 트랜지스터 특성은 개선되나 저항의 증가를 보이기 때문에 이에 대한 적절한 대책이 필요하다.

참 고 문 헌

1. F. S. Becket, D. Pawlik, H. Schäfer, and G. Staudgl, J. Vac. Sci. Technol., B4(3), 732(1986)
2. V. V. S. Rana, A. S. Manocha, E. P. Martin, G. J. Felton, A. S. Harrus and A. K. Shina, The Electrochemical Society Extended Abstracts, 90-2, pp. 475(1990)
3. F. S. Beacker and S. Rohl, J. Electrochem. Soc., 134(11), 2923(1987)
4. 魚落泰雄, 月刊 Semiconductor World, 9 (10), 88(1990)
5. D. S. Williams and E. A. Dein, J.

Electrochem. Soc., 134(3), 657(1987)
6. R. A. Levy, P. K. Galogher, and F. Schrey, J. Electrochem. Soc., 134(2), 430(1987)
7. K. Fujion, Y. Nishimoto, N. Tokumasu, and K. Maeda, J. Electroche,. Soc., 137(9), 2883(1990)
8. S. P. Murarka, "Silicides for VLSI Applications", pp. 39, Academic Press, Orlando, Florida, U.S.A(1983)
9. Ted Kamins, "Polycrystalline Silicon for Integrated Circuit Application", pp. 191, Kluwar Academic Publishers. Norwell. Massachusetts, U. S. A(1987)
10. S. Solmi, M. Severi, and L. Balchi, J Electrochem. Soc., 129(9), 1811(1982)
11. T. Hamajima and Y. Sugano, VMIC, pp. 144(1989)
12. Farhad K. Moghadam and Kwang Sub, VMIC, pp. 345(1988)
13. J. M. Dryanan, E. Ikawa, and T. Kikkawa, VMIC pp. 441(1990)
14. S. Saito, K. Nakamura, K. Matsuda, and K. Sakiyama, VMIC, pp. 206(1991)