[논 문] 한국재료학회지
Korean Journal of Materials Research
Vol. 1, No. 4 (1991)

DRAM 커패시터용 Ta_2O_5 박막의 전기적 특성에 미치는 전극의존성

김영욱, 권기원, 하정민, 강창석, 선용빈, 김영남
삼성전자(주) 반도체부문 기반기술센타

The Effects of Electrode Materials on the Electrical Properties of Ta_2O_5 Thin Film for DRAM Capacitor

Y.W.Kim, K.W.Kwon, J.M.Ha, C.S.Kang, Y.B.Sun, Y.N.Kim
Kihung R&D Center, Semiconductor Business, Samsung Electronics, P.O.Box 107 Suwon

초 록 Ta_2O_5 박막은 실리콘산화막, 실리콘질화막 박막에 비해 유전율은 높으나 누설전류밀도가 높고, 절연파괴강도가 낮아 DRAM의 커패시터용 재료로서 실용화가 되지 못하고 있다. 본 연구에서는 LPCVD법으로 형성시킨 300Å 두께의 Ta_2O_5 유전체박막에 대해 후속열처리 또는 전극재료를 변화시켜 열악한 전기적 특성의 원인을 규명하고자 하였다. 그 결과 다결정실리콘 전극의 경우 성막상태의 Ta_2O_5 박막은 전극에 의한 환원반응에 의해 전기적 특성이 열화됨을 알 수 있었고, 이를 TiN 전극의 사용으로 억제시킬 수 있었다. 다결정실리콘 전극의 경우 성막상태의 Ta_2O_5 유전체는 누설정류밀도가 $10^{-1}A/cm^2$, 절연파괴강도가 1.5MV/cm 정도였으며, 800℃에서 O_2열처리를 하면 전기적 특성은 개선되나, 유전율이 낮아진다. TiN 전극을 채용할 경우 누설전류밀도 $10^{-6}\sim10^{-7}A/cm^2$, 절연파괴강도 7~12MV/cm 로 ONO(Oxide-Nitride-Oxide) 박막과 비슷한 Ta_2O_5 고유전막을 얻을 수 있었다.

Abstract A new electrode material for Ta_2O_5 capacitor was developed to obtain both high dielectric constant and improved electrical properties for use in DRAM. High leakage current and low breakdown field of as-deposited Ta_2O_5 film on Si is due to the reduction of Ta_2O_5 by silicon at Ta_2O_5/electrode interface. Dry-O_2 anneal improves the electrical properties of Ta_2O_5 capacitor with Si electrode, but it thickens the interfacial oxide and lowers the dielectric constant, subsequently. Ta_2O_5 capacitor with TiN electrode shows better electrical properties and higher dielectric constant than post heat treated Ta_2O_5 film on Si. No interfacial oxide layer at Ta_2O_5/TiN interface suggests that there's no interaction between Ta_2O_5 and electrode. TiN is a adequate electrode material for Ta_2O_5 capacitor.

I. 서 론

반도체소자의 고집적화에 따라 셀 면적의 감소 및 동작전압의 저전압화가 진행되고 있다. 이에 DRAM구성소자의 하나인 커패시터(Capacitor)는 투영면적축소에도 불구하고 기억소자의 동작에 필요한 전하, 즉, Cs, 확보가 요구되고 있다. Cs 값이 충분하지 못할 경우 기억소자의 소프트 에러(Soft error) 발생 및 리프레쉬 시간(refresh time)이 짧아지는 등 많은 문제점이 발생된다[1]. 커패시터에 있어서 충분한 유전용량 확보를 위한 연구는 유전막의 박막화, 유효표면적의 증대 등의 구조적인 연구와, 기존의 실리콘 산화막 유전막을 Oxide-Nitride-Oxide(ONO) 3층막이나 Ta_2O_5 등 고유전막으로 교체하려는 재료적인 연구 등 크게 두가지 방향으로 진행되어 왔다.[2]

실리콘 반도체소자에 적용하기 위한 고유전막으로서 Ta_2O_5[3], Y_2O_3[4], HfO_2[5] 등의 산화물이 보고되어 왔으나, 유전상수와 재료자체의

역학적 안정성 등에서 Ta_2O_5가 현재 가장 유망한 재료로 보고되어지고 있다[6].

Ta_2O_5는 박막에서도 22~25정도의 유전율을 나타내고, CVD에 의한 성막도 가능하다. CVD 성막법 중 열 CVD(LPCVD),[7] 플라즈마-CVD[8], 광-CVD[9] 등 다양한 성막법이 제안되고 있다. 플라즈마 CVD 법에 의해 형성된 Ta_2O_5 박막은 이온의 충돌에 의해 막이 치밀하고 carbon-free 한 막이 얻어져 성막상태에서 전기적 특성이 LPCVD Ta_2O_5 박막보다 우수하다[8]. 그러나 LPCVD Ta_2O_5 박막은 누설전류밀도가 크고, 절연파괴강도가 약하다는 단점을 가지고 있음에도 불구하고 액체 유기 source취급의 용이성, 저온형성, 우수한 단차피복성, 양산성 때문에 기대되는 성막법으로 알려져 있다.

LPCVD Ta_2O_5박막의 전기적 특성의 열화의 주원인은 전극과의 반응에 기인한 화학양론적 조성의 불안정으로 알려져 있어 실리콘산화막, Si_3N_4 등의 유전체와 복합구조, 전극의 적절한 조합등으로 개선될 수 있다[10]. 또한 Ta_2O_5 막은 증착후에 UV 조사하의 O_3 분위기에서 열처리[13] 등의 후처리방법에 의해 누설전류밀도와 절연파괴강도 등이 개선된다.

그러나 지금까지의 연구에서는 Ta_2O_5 증착막의 열처리조건에 의한 커패시터의 전기적특성의 개선효과를 보고하고 있으나, 전극재료와 커패시터 절연막인 Ta_2O_5박막의 계면거동에 관한 연구보고는 적었다. 본 연구에서는 Ta_2O_5막의 증착후 후속열처리에 의한 전기적 특성의 개선을 Ta_2O_5와 전극과의 반응의 관점에서 살펴보고, Ta_2O_5박막의 전기적특성을 향상시킬 수 있는 Ta_2O_5 커패시터의 전극물질을 제시하고자 한다.

Ⅱ. 실 험

Ta_2O_5 유전막을 적용한 커패시터 특성을 조사하기 위해 비저항 5~25Ω·cm인 p-형(100) 실리콘기판을 사용하여 그림 1과 같은 적층형의 커패시터를 제작하였다. 본 연구에서의 전극구조로는 WSi(상부전극, plate node)/Ta_2O_5/다결정실리콘(하부전극, storage node) 구조와 TiN/Ta_2O_5/TiN 구조를 사용하였다.

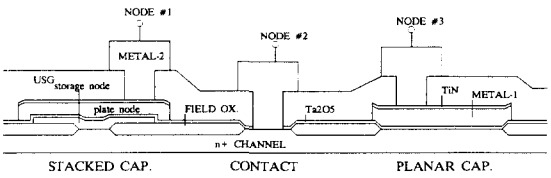

Fig. 1. Schematic diagram of Ta_2O_5 stacked capacitor used in this experiment.

먼저 실리콘기판에 As을 5 E15cm^{-2}, 100KeV 조건으로 이온 주입하여 n^+ 채널을 만들어 주어, DRAM에서의 커패시터와 같은 source영역을 형성하였다. 그 다음, field 산화를 하여 storage node와 source와의 접촉부위를 형성하였으며, CVD 다결정실리콘 및 스퍼터된 TiN으로 storage node를 형성하여 커패시터의 면적을 정의하였다. 이때, 적층형 커패시터의 면적은 100×100μm^2이었다.

Ta_2O_5막은 $Ta(OC_2H_5)_5$의 유기물과 O_2를 원료로 하여 LPCVD법으로 증착하였다. 막의 증착조건은 기판온도 및 압력이 각각 470℃ 및 500mTorr이며, N_2, O_2, $Ta(OC_2H_5)$의 유량은 각각 1.5slpm, 3.0slpm, 0.25ml/min이었다. 증착된 막의 두께는 약 300Å이며, 두께는 투과전자현미경(TEM)에 의해 보정된 상태의 ellipsometer로 측정되었다. Ta_2O_5막의 증착후 열처리의 영향을 조사하기 위한 시료는, 800℃로 유지된 O_2분위기에서 30분간 열처리를 한후 plate node를 형성하였다.

이렇게 제작된 커패시터의 유전율과 유전막의 실리콘산화막 환산두께(Tox_{eq})는 C-V미터를 이용하여 측정했고, 누설전류밀도와 절연파괴강도와의 관계는 I-V미터를 사용하여 측정하였다. 이때, 누설전류밀도는 4MV/cm를 인가했을 때의 전류밀도값으로 정의하였으며, 절연파괴강도는 누설전류밀도가 $10^{-3}A/cm^2$에 달했을 때의 전계값으로 정의하였다. Ta_2O_5와 전극과의 계면반응은 TEM과 XPS분석을 이용하여 관찰하였다.

Ⅲ. 결과 및 토의

증착된 Ta_2O_5막의 유전막특성을 알아보기 위하여 유전율-전압(C-V) 특성을 조사한 것을 그림 2에 나타내었다. 그림 2에서 보듯이,

LPCVD로 증착한 Ta_2O_5막은 전형적인 유전막 특성을 보이고 있다. 커패시터 면적 10000μm^2에서 약 300Å의 Ta_2O_5막은 Cmax값이 약 62pF으로서 6.2fF/μm^2의 유전량을 나타냄을 알 수 있다. 이 값은 실리콘산화막 막의 환산 두께로 55.6Å이며, 이는 유전상수 21.1에 해당한다.

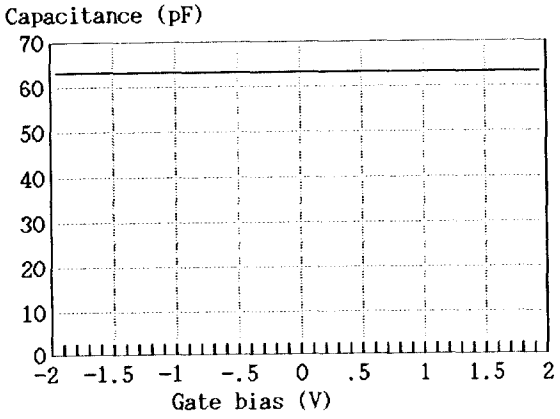

Fig. 2. A typical C-V curve of WSi/Ta_2O_5(as-deposited)/poly-Si capacitor.

Ⅲ-1 WSi/Ta_2O_5/다결정실리콘 커패시터

그림 3에 Ta_2O_5 증착후 후속열처리 없이 커패시터를 형성한 적층형 커패시터의 전류밀도-전계(J-E) 곡선을 나타냈다. 1MV/cm 전계에서의 누설전류밀도는 0.1A/cm^2로 큰 값이며, 10^{-3}A/cm^2에서 정의한 절연파괴강도는 1.5MV/cm로 낮았다.

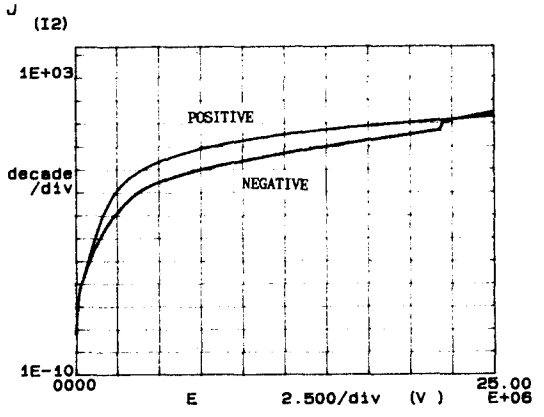

Fig. 3. A typical J-E curve of WSi/Ta_2O_5(as-deposited)/poly-Si capacitor.

기존의 보고에 따르면, 성막상태의 Ta_2O_5의 나쁜 전기적 특성은 Ta_2O_5 막내에 산소공공(결정구조상 산소가 차지해야 할 자리가 빈자리로 남아 있어 Ta로부터 2개의 전자를 얻어 음성전하를 띠고 있다[11])가 누설전류의 근원으로 작용하기 때문이라고 알려져 있다. 본 연구에서도 XPS분석을 통해 Ta_2O_5막이 Ta-rich산화막임을 확인하였다. 그림 3에서 Ta_2O_5 유전막의 J-E곡선은 3MV/cm 이내의 낮은 전계하에서 전류특성은 옴 법칙의 I=V/R 관계를 만족하는 전류특성을 보이고 있어서 절연막이라기 보다는 저항체에 가까운 물질임을 알 수 있다. 따라서 막내의 큰 누설전류의 기구를 이온성전도 즉, 산소공공만으로 설명하기는 불충분 할 것으로 생각된다.

그림 4는 Ta_2O_5를 증착하고 난 다음 800℃에서 30분간 산소분위기에서 어닐처리한 막으로 형성한 적층형 커패시터에서의 J-E곡선이다. 건식 O_2(Dry-O_2) 처리를 한 막은 성막

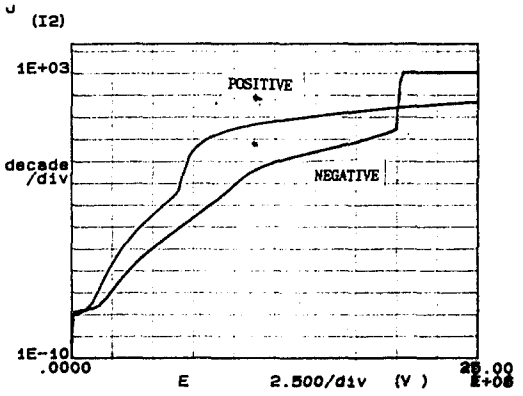

Fig. 4. A typical J-E curve of WSi/Ta_2O_5(dry-O_2 annealed)/poly-Si capacitor.

상태의 막에 비해 누설전류밀도는 약 10^{-2}~10^{-3}A/cm^2까지 감소하였으며, 절연파괴강도는 약 5~8MV/cm로 증가하였다. 또한 J-E 특성곡선의 모양도 저항체 곡선에서 유전체 곡선으로 변화하였음을 알 수 있다. 그러나 표 1에 나타낸것처럼 후속 어닐처리한 Ta_2O_5 커패시터에서는 유전량이 작아지고, 실리콘산화막 환산두께가 증가하였다. 이는 O_2 어닐처리로 storage node인 다결정실리콘과 Ta_2O_5의 계면에서 실리콘산화막이 성장했음을 간접적

Table 1. Comparison of electrical properties of Ta_2O_5 dielectric film before and after dry-O_2 anneal for WSi/Ta_2O_5/poly-Si capacitor.

	as deposited	O_2-annealed
J(A/cm^2)	10^{-1}	$10^{-3}\sim10^{-4}$
BF(MV/cm)	1.5	5~8
$To_{(eq)}$(Å)	55.6	66.7
Cmax(fF/cm^2)	6.2	5.3
ε	21	17.5

J : leakage current density
BF : breakdown field
$Tox_{(eq)}$: SiO_2환산두께
ε : 유전상수
Cmax : C-V curve에서 최대유전용량

로 보여주는 것으로 생각된다. 그림 5는 실리콘기판 위에 형성된 성막 상태의 Ta_2O_5과 그 계면주위의 TEM사진이다. 다결정 실리콘전극과 Ta_2O_5의 계면에 실리콘 산화막(SiO_2)이 약 10Å정도 성장하였음을 볼 수 있다.

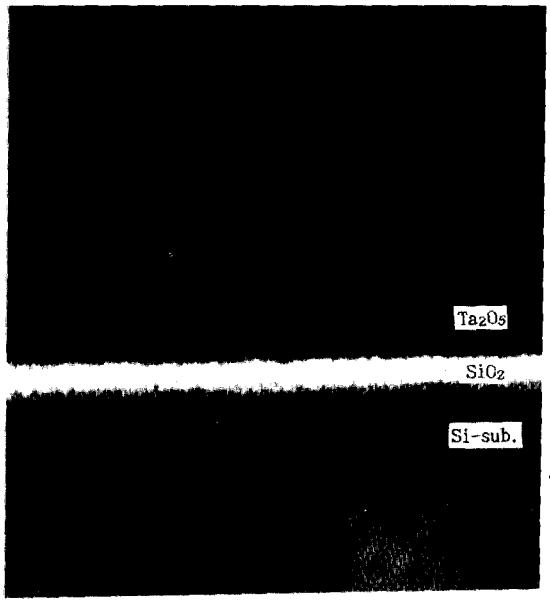

Fig. 5. Cross-sectional TEM photograph of Ta_2O_5 (as-deposited)/poly-Si interface.

그림 6에서는 성막상태의 Ta_2O_5막과 실리콘기판과의 계면주위에서 깊이에 따른 XPS분석결과를 나타내었다. 계면에서의 Ta 4f피크를 살펴보면 Ta-O 결합의 피크와 함께 Ta-Ta결합의 피크가 크게 나타나고 있으므로 계면에서 산소결핍층이 존재함을 알 수 있다. O 1s피크에서는 계면에서 Si-O상태의 O 2s피크가 나타나고 있어 막의 증착중 산소가 Ta_2O_5 쪽에서 Si쪽으로 이동한 것처럼 보인다.

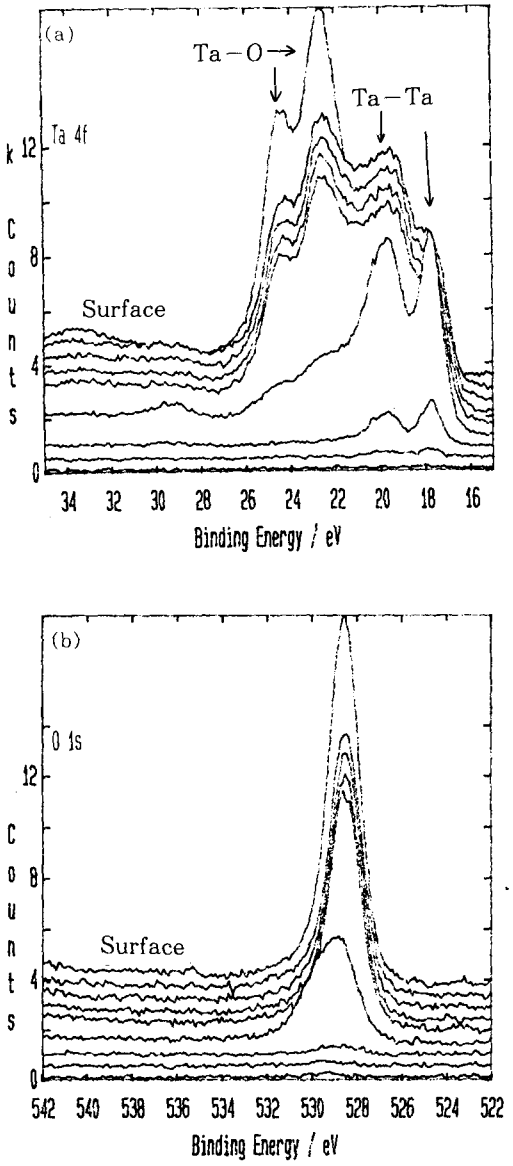

Fig. 6. XPS depth profiles of Ta_2O_5(as-deposited)/poly-Si structure.

건식-O_2 어닐한 Ta_2O_5막의 깊이에 따른 XPS 분석결과를 그림 7에 나타내었다. 그림 6과 그림 7을 비교하면 건식-O_2 처리로 Ta_2O_5막내 및 계면에서 Ta-과잉 현상은 어느 정도

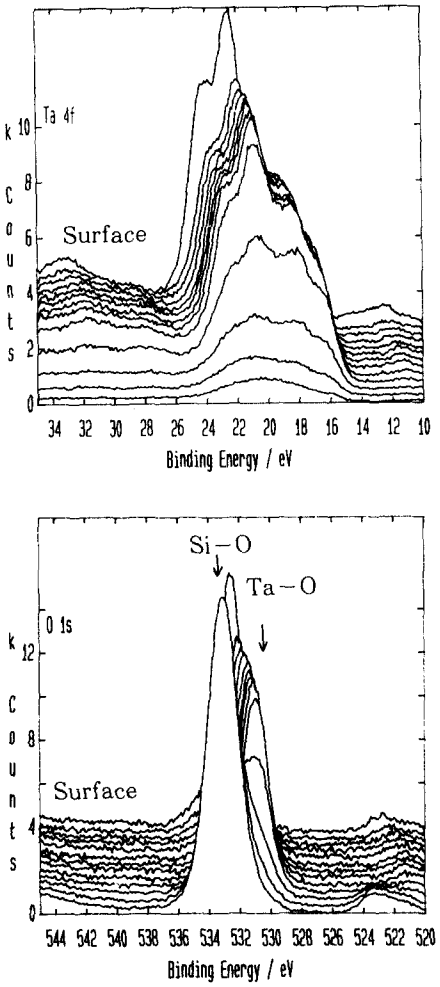

Fig. 7. XPS depth profiles of TiO_2(dry-O_2 annealed)/poly-Si structure.

개선되지만 계면에서 실리콘 산화막의 두께가 크게 증가하는 것을 알 수 있다. 따라서 Ta_2O_5막내의 산소원자가 Ta_2O_5막이 증착되는 과정 또는 고온에서 O_2 어닐하는 과정에서 전극인 Si 쪽으로 이동하여 Ta-과잉층 두께를 감소시키고 하부의 자연산화막을 증가시켰다. 계면에서의 반응은 아래의 식과 같이 열역학적으로 표현할 수 있다.

$$2Ta_2O_5 + 5Si \rightarrow 4Ta + 5SiO_2$$
$$\Delta G^o = -418000 - 28T \ (Joule/mole\text{-}O_2)$$

여기서 ΔG^o는 위의 반응에 대한 Gibbs 자유에너지의 변화이고, T는 절대온도이다. Ta_2O_5의 증착온도인 470℃에서의 ΔG^o는 -438KJ/mole, 열처리온도인 800℃에서는 -448KJ/mole로서, 위의 반응이 반응속도론을 고려하지 않고 평형론만 고려할 때 충분히 일어날 수 있는 반응이므로, 증착 및 열처리과정에서 Ta_2O_5막은 Si에 의해 계속 환원되고 자연산화막은 계속 성장될 것으로 사료된다. 누설전류 특성은 Ta_2O_5 막내의 산소공공이 감소하는 것과 하부 실리콘산화막의 성장하기 때문에 개선되었으나 중간산화막의 증가로 인해 유전율이 감소된다. 따라서 Ta_2O_5커패시터의 전극이 실리콘인 경우는 누설전류특성을 개선하기 위한 건식-O_2 처리는 Ta_2O_5유전체의 박막화의 한계가 있을 것으로 생각된다.

Ⅲ−2 TiN/Ta_2O_5/TiN 커패시터

앞에서 언급한 실리콘 전극의 단점을 개선하기 위하여 실리콘을 함유하지 않고 Ta_2O_5와 반응하지 않는 열역학적으로 안정한 전극물질로 TiN을 사용했다. TiN이 Ta_2O_5과의 계면에서 반응할 것인지를 열역학적으로 검토해 보았다. TiN에 의한 Ta_2O_5의 환원반응은 아래의 예상반응관계식들 중의 하나, 또는 복합반응으로 생각할 수 있다.

$$5TiN + 2Ta_2O_5 \rightarrow 5TiO_2 + 2Ta + 5/2N_2$$
$$\Delta G^o = 1230500 - 796T (Joule/mole)$$

$$5TiN + 2Ta_2O_5 \rightarrow 5TiO_2 + 2TaN$$
$$\Delta G^o = 728500 - 605T (Joule/mole)$$

그러나 위 식들의 ΔG^o 값들이 증착온도인 470℃에서나, 후속열처리 온도인 800℃에서 모두 양의 값을 나타내므로 위의 반응이 일어날 확률은 매우 적다.

TiN/Ta_2O_5계면에서 전극과 유전막이 반응하지 않는다는 것은 그림 8에 나타낸 단면 TEM사진에서 계면에서 계면산화막이 존재하지 않는데서도 알 수 있다. TiN/Ta_2O_5계면에서는 아무런 중간산화막이 존재하지 않기 때문에 본 연구에서는 capacitance값도 Ta_2O_5고유의 값인 25에 가까운 21.2의 값을 얻었다.

그림 9에서는 TiN전극을 이용한 Ta_2O_5 적층형 커패시터의 성막 상태의 전형적인 J-E 곡선이다. 여기서는 누설전류밀도가 1MV/cm에서 10^{-6}~10^{-7}A/cm_2로 낮았으며, 10^{-3}A/cm^2에선 정의한 절연파괴강도는 7~12MV/cm로

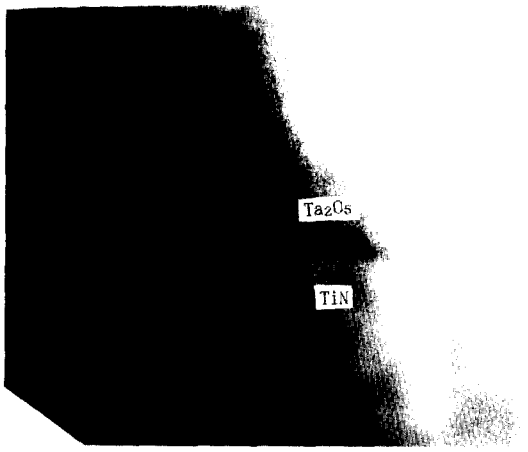

Fig. 8. Cross-sectional TEM photograph of TiN /Ta_2O_5(as-deposited) interface.

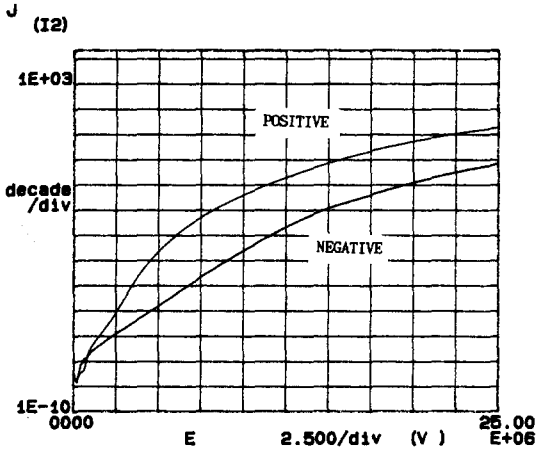

Fig. 9. A typical J-E curve of TiN/Ta_2O_5(as-deposited)/TiN capacitor.

매우 높은 수준을 나타내었다. 특히 절연파괴강도는 기존 DRAM소자에서 사용되고 있는 ONO(Oxide-Nitride-Oxide) 유전막의 10MV/cm와 비슷한 수준이었다. 이 결과는 실리콘 전극을 사용하고 후속열처리를 행한 경우와 비슷한 전기적 특성이다.

표 2에서는 본 연구에서 얻어진 TiN 전극을 사용한 Ta_2O_5커패시터와 기존의 DRAM에 사용되고 있는 ONO 유전막을 사용한 기존의 커패시터의 전기적 특성을 비교하였다. TiN전극사용으로 ONO와 유사한 누설전류 특성과 큰 유전용량을 얻을 수 있는 것을 알 수 있다.

Table 2. Comparison of electrical properties of Ta_2O_5 dielectrics with TiN electrode and ONO dielectrics

	Ta_2O_5 cap.	ONO cap.
J(A/cm²)	10^{-6}~10^{-7}	10^{-7}
BF(MV/cm)	7~12	10~12
Phys.두께(Å)	300	82.5
$Tox_{(eq)}$(Å)	55	55
Cmax(fF/cm²)	6.2	6.2
ε	21.2	5.86

J : leakage current density
BF : breakdown field
$Tox_{(eq)}$: SiO_2환산두께
ε : 유전상수
Cmax : C-V curve에서 최대유전용량

Ⅳ. 결 론

반도체 DRAM소자의 커패시터용 Ta_2O_5 고유전막을 LPCVD법을 이용하여 형성하고, 커패시터 전극물질의 종류에 따른 커패시터의 전기적인 특성을 조사하였다.

실리콘 전극을 사용한 Ta_2O_5커패시터에서, 증착상태의 Ta_2O_5박막의 경우 누설전류밀도는 0.1A/cm²로 매우 컸으며, 절연파괴강도는 1.5MV/cm로 매우 약하였다. 이는 Ta_2O_5증착과정에서 산소가 Ta_2O_5에서 실리콘산화막 쪽으로 이동하여 실리콘산화막과 접하고 있는 Ta_2O_5막에 Ta-rich한 층이 형성되기 때문이다. 즉, Si에 의해 Ta_2O_5가 환원되기 때문이다.

실리콘 전극을 사용하고 Ta_2O_5증착후 O_2 어닐 공정에 의해 누설전류밀도는 약 100~1000배 감소하고, 절연파괴강도는 약 5~6배 증가하는데, 이는 Ta_2O_5/Si사이에서 실리콘산화막 막이 성장했고, Ta_2O_5막과 실리콘과의 계면에서의 Ta-과잉 현상이 어느정도 개선되었기 때문인 것이며, 이로 인해 커패시터막의 유전율은 감소한다.

Ta_2O_5와 반응하지 않고 열역학적으로 안정한 TiN을 전극으로 사용한 경우 누설전류밀도는 10^{-6}~10^{-7}A/cm², 절연파괴강도는 7~

12MV/cm로 기존의 ONO박막과 유사한 특성을 보였으며, TiN/Ta_2O_5 사이의 중간산화막은 없었다. 이때 Ta_2O_5막의 유전율은 21.1이 얻어졌다.

이상과 같은 결과로부터 TiN과 같은 Ta_2O_5와 반응하지 않는 전극을 사용하면, 고유전율을 유지하면서 전기적 특성이 우수한 Ta_2O_5커패시터의 제조가 가능함을 알 수 있었다.

참 고 문 헌

1. S.Abe, M.Taguchi, and T.Nakamura, Tech. Dig. on VLSI Technology, p.90, 1985
2. T.Watababe, T.Mochizuki, S.Shinozuki, A. Menjoh, and O.Ogawa, 23th Annual Proc. Reliability Phys. Conf., p.18. 1985
3. K.Ohta, K.Yamada, K.Shimizu, and Y. Tarui, IEEE Trans. Electron Devices, Vol. ED-29 no 3. pp.368-376, 1982
4. L.Manchanda, and M.Gurvitch, IEEE Electron Device Letters, vol.9, no.4, pp.180-182, 1988
5. K.Yamada, SSDM, Tokyo, pp.257-260, 1986
6. S.Kimura, Y.Mishioka, A.Shinriki, and K. Mukai, J.Electrochem. Soc. vol.130, p.2414, 1983
7. H.Shinriki, M.Nakata, Y.Nishioka, and K. Mukai, Tech. Dig. Symp. VLSI Tech., p.25, 1989
8. Y.Numasawa, S.Kamiyama, M.Zenke, and Sakamoto, IEDM Tech. Dig., p.43, 1989
9. M.Matui, S.Oka, K.Yamagishi, K.Kuroiwa, and Y.Tarui, Jpn. J. Appl. Phys., vol.27. no.4, pp.506-511, 1988
10. H.Shinriki, Y.Nishioka, Y.Ohji, and K. Mukai, IEDM, p.684, 1986
11. H.Shinriki, and M.Nakata, IEEE Trans. Electron Devices, vol.38, no.3, pp.455-462, 1991
12. Y.Nishioka, N.Homma, H.Shinriki, K. Mukai, K.Yamaguchi, A.Uchida, K.Higeta, and K.Ogiue, IEEE Tran. Electron Devices, vol.34, no.9, pp.1957-1962, 1987
13. C.Isobe, and M.Saitoh, Appl. Phys. Lett., vol.56, no.10, pp.907-909, 1990
14. D.A.Porter, and K.E.Eastering, Phase Transformations in Metals and Alloys, Van Nostrand Reinhold Press, 1981
15. K.Yamada, SSDM, Tokyo, pp.257-260, 1986