Journal of the Korean Ceramic Society
Vol. 29, No. 4, PP. 273~282, 1992.

Czochralski 법으로 성장시킨 실리콘 단결정 Wafer에서의 Gettering에 관한 연구

양두영 · 김창은 · 한수갑* · 이희국**
연세대학교 공과대학 요업공학과
*Stanford University
**금성일렉트론연구소
(1992년 3월 12일 접수)

A Study on the Gettering in Czochralski-grown Single Crystal Silicon Wafer

Doo Young Yang, Chang Eun Kim, Soo Kap Hahn* and Hee Gook Lee**
Department of Ceramic Engineering, Yonsei University
*Stanford University
**GoldStar Electron R & D Center
(Received March 12, 1992)

요 약

초기 산소농도가 다른 세 종류의 Czochralski 실리콘 단결정 wafer에 Low+High, High+Low, High 세 종류의 초기 열처리를 추가해 준 intrinsic gettering과 wafer 뒷면을 통해서 P(인)이 확산되어 들어가도록 한 extrinsic gettering이 단결정 wafer 내부에서의 결함생성과 wafer 표면 근처에서의 전기적 특성에 미치는 영향을 조사하였다. 초기 산소농도가 10.9 ppma 이하의 wafer들은 본 연구의 어떤 초기 열처리에서도 단결정 내부에 결함들로 이루어진 gettering zone을 생성시키지 않았으나 초기 산소농도가 14.1 ppma 이상인 시편들 중 Low+High 초기 열처리를 가해준 결정내에서는 산소 석출물, 적층결함(stacking fault), dislocation loop 등으로 이루어진 gettering zone이 형성되었다. 인(P)에 의한 extrinsic gettering 효과는 모든 wafer들에 나타나서 전자(electron)의 수명(lifetime)을 증가시켰고, 접합누설전류(junction leakage current)를 감소시켰다. 그러나 인(P)에 의한 extrinsic gettering이 없는 wafer들 중에서 각종 초기 열처리에 의한 intrinsic gettering 효과는 경향성을 보이지는 않았다. Synchrotron radiation section topograph 상에서 gettering structure를 갖고 있는 wafer에서 인(P)에 의한 extrinsic gettering 효과가 가장 크게 나타나 실험 중 가장 작은 접합누설전류 값을 나타내었다.

ABSTRACT

The effects of intrinsic and extrinsic gettering on the formation of microdefects in the wafer and on the electrical performance at near-surfaces of three different oxygen-bearing Czochralski silicon single crystal wafers were investigated by varying the combinations of the pre-heat treatments and the phosphorus diffusion through the back-surface of the wafers. The wafers which had less than 10.9 ppma of oxygen formed no gettering zones irrespective of any pre-heat treatments, while the wafers which had more than 14.1 ppma of oxygen and were treated by Low+High pre-heat treatments generated the gettering zone comprising oxygen precipitates, staking faults, and dislocation loops. The effects of extrinsic gettering by phosphorus diffusion were evident in all samples such that the minority carrier lifetimes were increased and junction leakage currents were decreased. However, the total gettering effects among the different pre-heat treatments did not necessarily correspond to the gettering structure revealed by synchrotron radiation section topograph.

1. 서 론

'Gettering'이라는 말은 대부분 Czochralski법으로 성장시킨 실리콘 단결정 wafer를 가공하여 반도체 IC를 제조하는 분야에서 널리 통용되는 말로서 Fe, Cu 등과 같이 미량 존재하더라도, 반도체 특성에 치명적인 금속 오염원을, 반도체 IC가 제작되는 wafer의 표면쪽으로부터 멀리 떨어진 wafer의 중심이나 뒷면쪽으로 끌어 당겨 부동화 시키는 기술을 총체적으로 의미한다. Gettering 기술은 gettering zone이 wafer 내부의 원인에 의해서 생기는가 외부로부터의 원인에 의해서 생기는가에 따라서 intrinsic과 extrinsic으로 나누어진다. IG(Intrinsic gettering)에서는 Czochralski 법으로 실리콘 단결정을 성장시킬 때 석영도가니(quartz crusible)에서부터 불가피하게 포함되는 산소 원자의 석출물을 이용하며[1,2] EG (Extrinsic Gettering)에서는 주로 wafer 뒷면의 실리콘 격자와 stress mismatch를 야기시키는 Si_3N_4 증착[3,4]이나, 다결정 실리콘 증착[5], 금속막 증착[6,7]층 등을 형성시키는 것 이외에도 diamond scribe나 quartz bead 등에 의한 인위적인 기계적 손상[8,9] 등을 이용한다. 본 실험에서는 뒷면에 모두 기계적 손상이 가해져 있는 wafer를 출발물질로 하여서 반도체 IC 제조공정을 수행할 때, IG를 위해서 초기 산소농도가 다른 세 종류의 wafer에 네 종류의 다른 초기 열처리를 가해주고 나서 반도체 제조공정을 시작한 효과와 더불어 반도체 제조공정 진행 중에 추가적으로 EG를 위해서 원자 반경이 더 큰 인(P)이 wafer 뒷면을 통해서 확산되면서 결정결함을 야기시키도록 한 효과를 파악하고자 하였다. 즉, wafer 표면 근처에서의 전자(electron)의 수명(lifetime)과 접합누설전류(junction leakage current) 등 gettering 관련 전기적 특성이 어떻게 변화하며 그 이유는 결정내에서 생성되는 결함들과 어떠한 상관관계를 갖는가를 조사하고자 하였다.

2. 실 험

본 실험의 출발물질인 실리콘 단결정 기판은 일본 S사 제품으로서 *Czochralski* 법으로 (100) 방향으로 성장시킨 직경 125 mm, 두께 0.625 mm의 boron-doped(6~9 Ω·cm) p-type wafer들이었으며 뒷면은 모두 quartz bead의 충격에 의한 기계적 손상이 soft damage급으로 주어져 있었다. 실험 wafer들은 ASTM F121-80 방법에 따라 FT-IR 분광분석기(BIORAD, QS-300, U.S.A.)로 측정한 산소농도와 사전 열처리 추가에 따라서 세

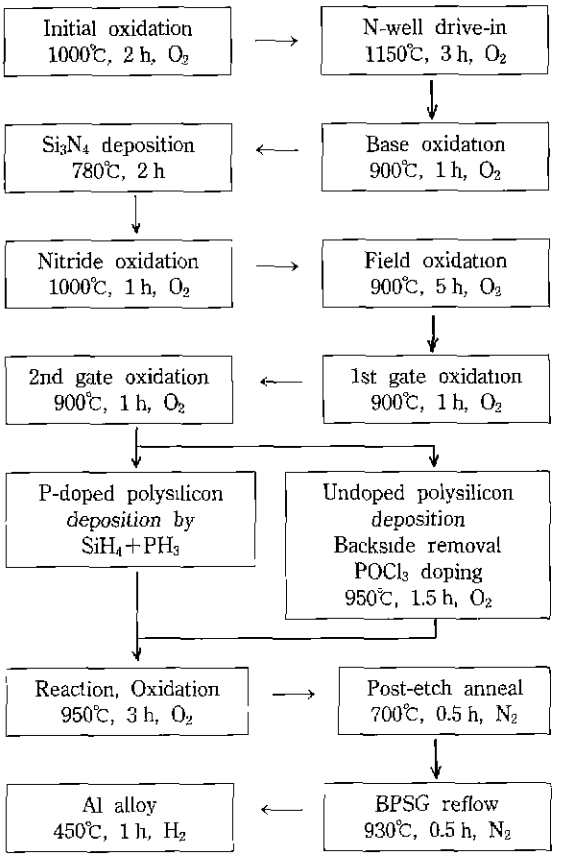


Fig. 1. *Thermal processes used during IC fabrication.*

group으로 나뉘었다. 즉 Group A는 초기 산소농도가 10.2~10.9 ppma, Group B는 14.1~14.4 ppma이고, Group C는 14.2~14.5 ppma로서 앞의 group B와 거의 유사한 산소농도를 가지고 있으나 vendor에서 고유한 사양으로 사전 열처리가 추가되어 있는 wafer들이었다. 각 group마다 8장씩 취하고 이들 24장의 wafer들의 한변에 1번부터 24번까지 laser로 marking한 후 각 group마다 2장씩을 취한 6장의 wafer를 한 조로 하고 각 조를 다음과 같은 4가지 초기 열처리에 할당하였다.

1. Low(775℃, N_2, 6시간)+High(1150℃, O_2, 7시간) 처리
2. High(1150℃, O_2, 7시간)+Low(775℃, N_2, 6시간) 처리
3. High(1150℃, O_2, 7시간) 처리
4. 비교 목적으로 초기 열처리 없이 진행

초기 열처리 후 위의 24장의 wafer들은 산소농도 측정용 monitor wafer와 함께 모아서 Fig. 1에 나타나 있는

Table 1. Various combinations of pre-intrinsic and phosphorous gettering treatments for the wafers 1~24 studied in this work

Oxygen concentration	Low (A)		Medium (B)		Med. with ppt. (C)	
Pre-heat treatment	IG	+EG	IG	+EG	IG	+EG
775℃+1150℃	1	2	3	4	5	6
1150℃+ 775℃	7	8	9	10	11	12
1150℃ only	13	14	15	16	17	18
no pre-heat treatment	19	20	21	22	23	24

IG : Intrinsic gettering, +EG : Extrinsic gettering addition (IG plus phosphorous diffusion).

것처럼 1000℃, 2시간의 'Initial oxidation' 공정부터 시작되는 반도체 IC 제조공정에 투입하였다. 그리고 1150℃, 3시간의 'N-well drive-in' 공정 후 산소농도를 다시 측정하여 초기 산소농도로부터 그 감소량을 구하였다. 또 '2nd gate oxidation' 후 홀수 wafer는 SiH_4+PH_3 gas의 CVD 반응을 이용하여 인(P)이 doping된 polysilicon을 증착하였고 짝수 wafer는 SiH_4 gas만으로 undoped polysilicon을 증착한 다음 뒷면에 증착된 polysilicon과 그 밑의 산화막을 제거하고 950℃에서 $POCl_3$ gas를 흘려줌으로써 wafer 앞면의 polysilicon을 doping 시킴과 동시에 wafer 뒷면을 통해서 인(P)이 확산되어 들어가게 함으로써 extrinsic gettering 효과를 꾀하였다. 여기에서 모든 출발물질 변수, 초기 열처리 변수 및 extrinsic gettering 유무 변수를 한데 모아 wafer 번호로 정리하면 Table 1과 같다. IC 제조공정이 끝난 다음에는 wafer 위에 만들어진 소자(device)를 이용하여 p-type wafer의 소수 전송자(minority carrier)인 전자의 수명 및 접합누설전류 등 기판표면 가까운 곳의 결정의 quality와 밀접하게 관련된다고 보고되어 있는[10] 항목들을 전기적으로 측정하였다. 그리고 나서 결정 내부의 결함 상태, 결함밀도(defect density), gettering zone의 위치 등과의 상관관계를 조사하기 위하여 X-ray section topography 분석을 행하였다. Section topography 측정은 독일 Hamburg에 있는 방사광(synchrotron radiation) 발생 장치를 이용한 set-up[11]을 써서 수행하였다. Fig. 2는 minority carrier lifetime 측정을 위해 사용한 MOS(Metal Oxide Semiconductor) capacitor test pattern 구조를 나타낸다. 측정 장비로는 MDC사의 C-V meter를 사용하였으며 time(t)=0에서 −5 V에서 +10 V로 바뀌는 step bias를 걸었을 때 나타나는 deep depletion의 capacitance(C)가 평형상태로 회복되는 시간(t), 즉, C-t curve로부터 minority carrier lifetime을 구하였다. Fig. 3은 n^+p 접합누설전류(junction leakage current) 측정에 사용한 test pattern 구조를 보여준다. 측정장비는 HP

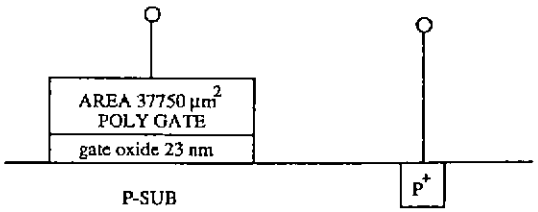


Fig. 2. MOS (Metal Oxide Semiconductor) capacitor test pattern for minority carrier lifetime measurement.

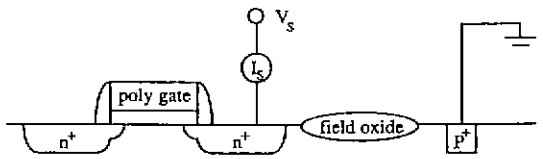


Fig. 3. MOS (Metal Oxide Semiconductor) transistor test pattern for n+p junction leakage current measurement.

4145 DC parameter analyzer를 사용하였고 25℃에서 역 bias 15 V까지 sweep하였다.

3. 결과 및 고찰

3.1 초기 산소농도 및 초기 열처리가 wafer의 내부 결함에 미치는 영향

Fig. 1과 같은 IC 제조공정을 시작하기 전의 초기 산소농도와 'N-well drive-in'까지 진행한 후의 산소농도와의 차이, 즉 감소량을 4가지 초기 열처리 영향에 대하여 도표화하면 Fig. 4와 같다. Group A는 4가지 초기 열처리에 따라 산소의 농도가 크게 줄어들지 않음을 볼 수 있다. Group B, C는 Fig. 4(a)의 Low+High 초기 열처리에서만 산소 감소량의 현저한 차이를 보이며 그 절대치도 다른 초기 열처리 경우들에 비해 각각 약 4배,

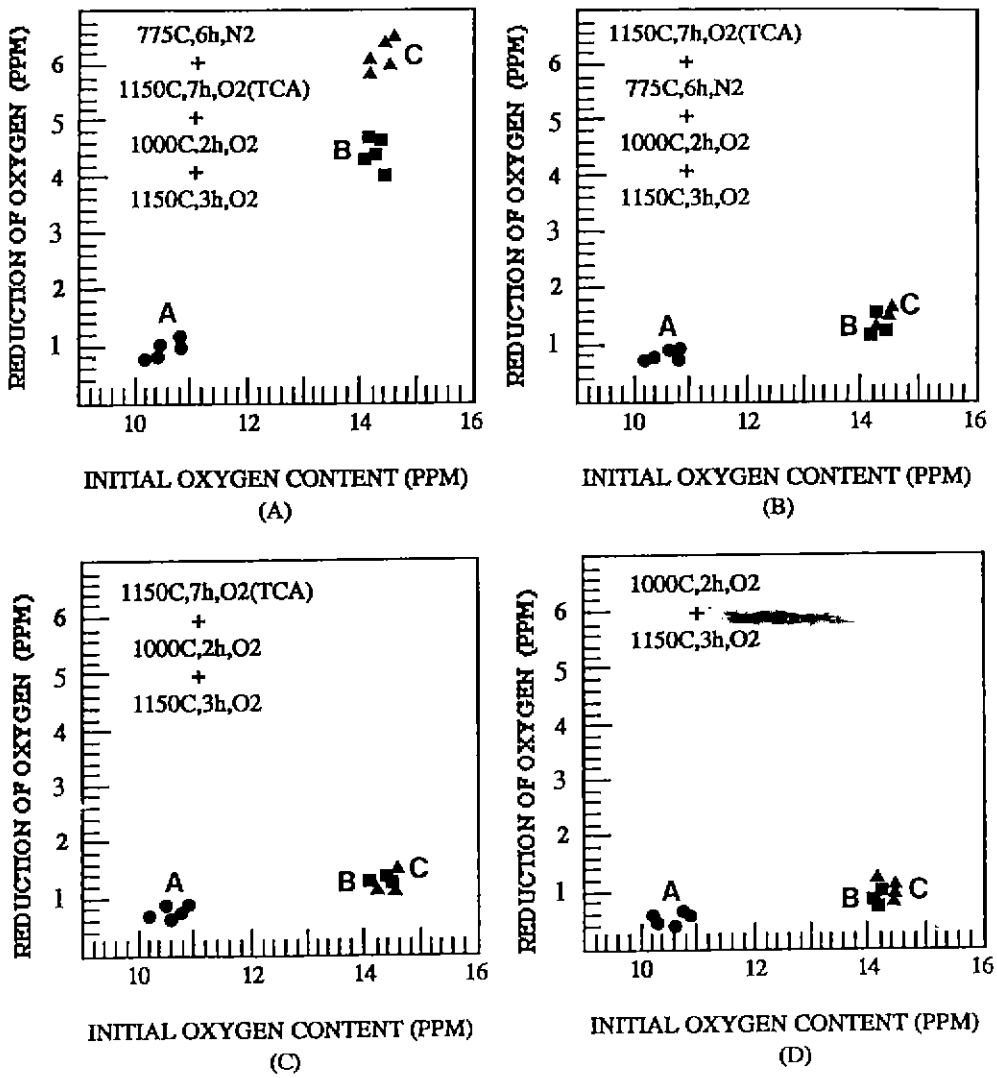
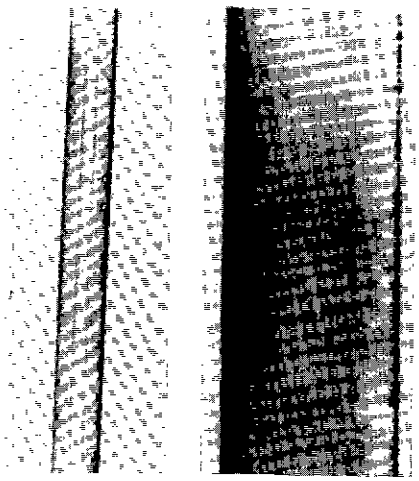


Fig. 4. Reduction of oxygen concentration measured after N-well drive-in (1150℃, 3 h, O_2) in the 4 different (specified in (a), (b), (c), (d)) pre-heat treated wafers.

6배 정도 큰 것을 볼 수 있다. Fig. 4(a)를 보면 실리콘 격자의 틈새에 존재하던 산소 원자 중 Group A의 경우는 약 9%, Group B의 경우는 약 32%, Group C의 경우는 약 43%가 다른 형태로 바뀌었음을 알 수 있다. 초기 농도가 거의 같았음에도 불구하고 Group B와 C가 이렇게 차이가 생기는 원인은, 사전 열처리 동안에 Group C wafer들 내부에 있던 틈새형 산소 원자들 중의 많은 부분이 775℃, N_2, 6시간 열처리 동안 핵으로의 형성되기 용이하도록 되어 있었기 때문인 것으로 생각된다. Fig. 4에서 Group B들의 경우를 보면 본 실험의 775℃, N_2, 6시간 열처리 만으로도 핵형성에 큰 역할을 함을 알 수 있으며, 그 열처리의 시간적 위치는 제일 앞에 있어야 의미가 있다는 것도 알 수 있다. 즉 High+Low와 같이 순서를 바꾸면 Fig. 4(b)와 같이 산소는 다른 형태로 바뀌지 않았다.

초기 열처리 공정에 의한 산소 감소량은 실리콘 단결정 내부에서 어떤 형태로 결정결함과 관련되는가를 조사하기 위하여, IC 제조공정을 다 끝내고 전기적 특성 측정까지 마친 후 비파괴 검사법 중의 하나인 X-ray section topography 장치를 이용하여 실리콘 wafer 전체두께범위(약 625 μm)에 대하여 관찰, 촬영하였는데, 그 결과는 Fig. 4의 결과와 거의 일치하였다. 즉 Group A는 4가지의



(a) (004) reflection (b) (111) reflection

Fig. 5. Synchrotron section topographs of Group A (low oxygen content) wafers, which had been subjected to a low (at 775℃, 6 h)+high (at 1150 ℃, 7 h) pre-heat treatment (Backsurface of the wafer is on the right, and the same in the following topographs).

(a) Group B (022) (b) Group C (022)

Fig. 6. Synchrotron section topographs of Group B and Group C wafers, which had been subjected to a low (at 775℃, 6 h)+high (at 1150℃, 7 h) pre-heat treatment.

초기 열처리에 관계없이 모두 결정 내부에 석출물 등의 결함을 야기시키지 않았으며, 다른 초기 열처리의 경우보다 산소 감소량이 0.2~0.5 ppma 정도 더 높았던 Low+High의 경우조차 Fig. 5와 같은 topograph를 나타내었다. 4종류의 초기 열처리 경우 모두 (004) feflection에서는 Fig. 5(a)에서와 같이 일반적으로 결정성이 좋은 시편들의 특징인 Pendellosung fringe를 볼 수 있었는데 이것으로 초기 산소농도가 10.9 ppma보다 작으면 기판 중심부에 산소 석출물로 이루어진 gettering zone을 형성시키기 어렵다는 것을 알 수 있다. Group B, C의 Low+High 초기 열처리 경우에는 앞의 Fig. 4(a)에서 현저하게 감소된 틈새형 산소 원자들이 기판 중심부에서 밀집된 석출물 형태의 결함(Fig. 6)으로 나타났으며, 나머지 초기 열처리의 경우는 뚜렷한 결정결함을 보이지 않았다. 이것은 초기 산소농도가 14.1 ppma보다 크더라도 초기 열처리에 의해 결정 내부에서 핵 형성이 되어 있지 않으면 Fig. 1과 같은 IC 제조공정 중 많은 열처리를 받더라도 다른 형태로 성장하지 않는다는 사실을 말해 준다. Low+High 초기 열처리의 경우 Fig. 6에 나타나 있는 Group B, C의 section topograph를 비교해 보면 사전 열처리가 되어 있는 Group C의 경우가 Group B의 경우보다 defect 크기가 작고 결함밀도가 큰 것을 알 수 있다. 또한 Fig. 6의 topograph를 자세히 보면 wafer의 표면쪽으로 갈수록 결함밀도가 작아지다가 표면 가까이에서는 무결함 영역(denuded zone)이 존재함을 알 수 있다. Low+High 초기 열처리 경우, 775℃, N_2, 6시간의 열처리 동안 Group B wafer 내부에서는 산소 석출물의 핵형성이 이루어지고, Group C wafer 내부에서는 핵의 숫자가 더 많아진 후 뒤이은 1150℃, O_2, 7시간의 열처리 동안에 석출물로 성장한다. 반면 High+Low의 초기 열처리 경우는 Group C wafer 내부에 존재하였던 것으로 추정되는 산소 cluster가 1150℃, O_2, 7시간의 열처리 동안 분해되고 분산되어 다시 775℃, N_2, 6시간의 열처리를 받더라도 이후 석출물로서 성장할 수 있는 핵이 형성되지 않는 것으로 생각된다.

3.2. Wafer의 뒷면을 통한 인(P)의 확산에 의한 extrinsic gettering 효과

앞의 A에서 설명한 section topography 결과는 크게 두 가지 즉, intrinsic gettering 구조를 가지고 있는 경우(Low+High 중 Group B, C의 경우)와 그 밖의 경우(Pendellösung fringe를 가지고 있는 경우)로 분류할 수 있었는데, 인(P)의 확산에 의한 extrinsic gettering의 효과를 위의 분류와 관련지어 설명하면 다음과 같다. Low+High 중 Group B, C의 경우에 인(P)에 의한 gettering을 추가한 section topography 결과는 Table 2에

Table 2. The number of defects in the (022) section topographs and the width of the denuded zone in the wafers, which were subjected to the low (at 775℃)-high (at 1150℃) two step anneal cycle before actual device processing

	Group B $O_i \approx 14.1 \sim 14.4$ ppm		Group C $O_i \approx 14.2 \sim 14.5$ ppm pre-annealed by vendor	
	number of defects	width of the denuded zone	number of defects	width of the denuded zone
without phosphorous gettering	260 1/mm	6 μm	600 1/mm	7 μm
with phosphorous gettering	290 1/mm	8 μm	600 1/mm	10 μm

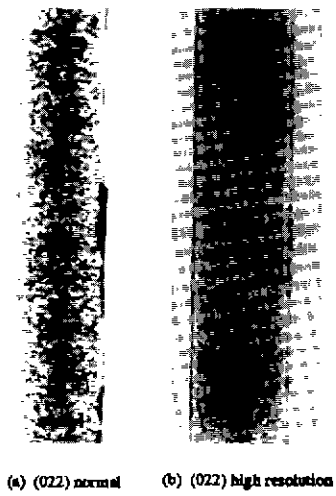


Fig. 7. Synchrotron section topographs of Group C wafers, which had been subjected to a low (at 775℃, 6 h)+high (at 1150℃, 7 h) pre-heat treatment plus phosphorous gettering (a) at a bottom site of the wafer, and normal (022) reflection (b) at a top site of the wafer, and high resolution (022) reflection.

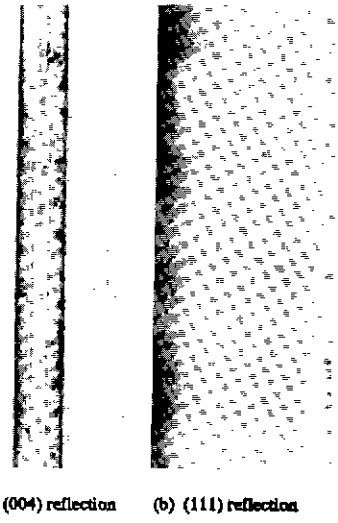


Fig. 8. Synchrotron section topographs of Group A (low oxygen content) wafers, which had been subjected to a low (at 775℃, 6 h)+high (at 1150 ℃, 7 h) pre-heat treatment plus phosphorous gettering.

정리되어 있다. 인(P) gettering이 추가됨에 따라 denuded zone의 폭은 Group B의 경우는 약 2 μm, Group C의 경우는 약 3 μm 증가된 것으로 나타났다. 결함의 선밀도는 Group B의 경우 약 30개 정도 증가한 반면 Group C의 경우는 증가하지 않았다. 그러나 Fig. 7에 나타난 Group C의 topograph를 보면 인(P) gettering이 추가되지 않은 Fig. 6(b)에서 보다 dislocation loop가 더 많이 생성되어 있는 것을 볼 수 있다. 그 밖의 경우 즉, Pendellösung fringe가 나타났던 경우에 인(P) gettering을 추가하면, 원자 크기가 Si보다 큰 인(P)의 확산에 기인하여 모두 wafer 뒷면 가까이에 결함이 생기는 것을 볼 수 있었다. 대표적인 예는 Fig. 8(Low+High 중 Group A의 경우)과 같다. Fig. 5에도 처음부터 wafer 뒷면에 주어졌던 damage에 기인한 결함 흔적이 보이지만 Fig. 8에는 결함들이 뒷면으로부터 bulk쪽으로 꽤 깊숙히 들어와 더 많이 생성되어 있고 Pendellösung fringe도 왜곡되어 있는 것을 볼 수 있다.

3.3. Gettering이 wafer 표면 근처의 전자 수명에 미치는 영향

Fig. 9는 4종류의 초기 열처리 공정 후 Fig. 1의 반도체 IC 제조공정을 모두 마친 후 Fig. 2와 같은 test pattern을 이용하여 전자의 수명을 측정한 결과이다. 예외없이 extrinic gettering을 추가한 wafer에서 더 긴 전자의 수명이

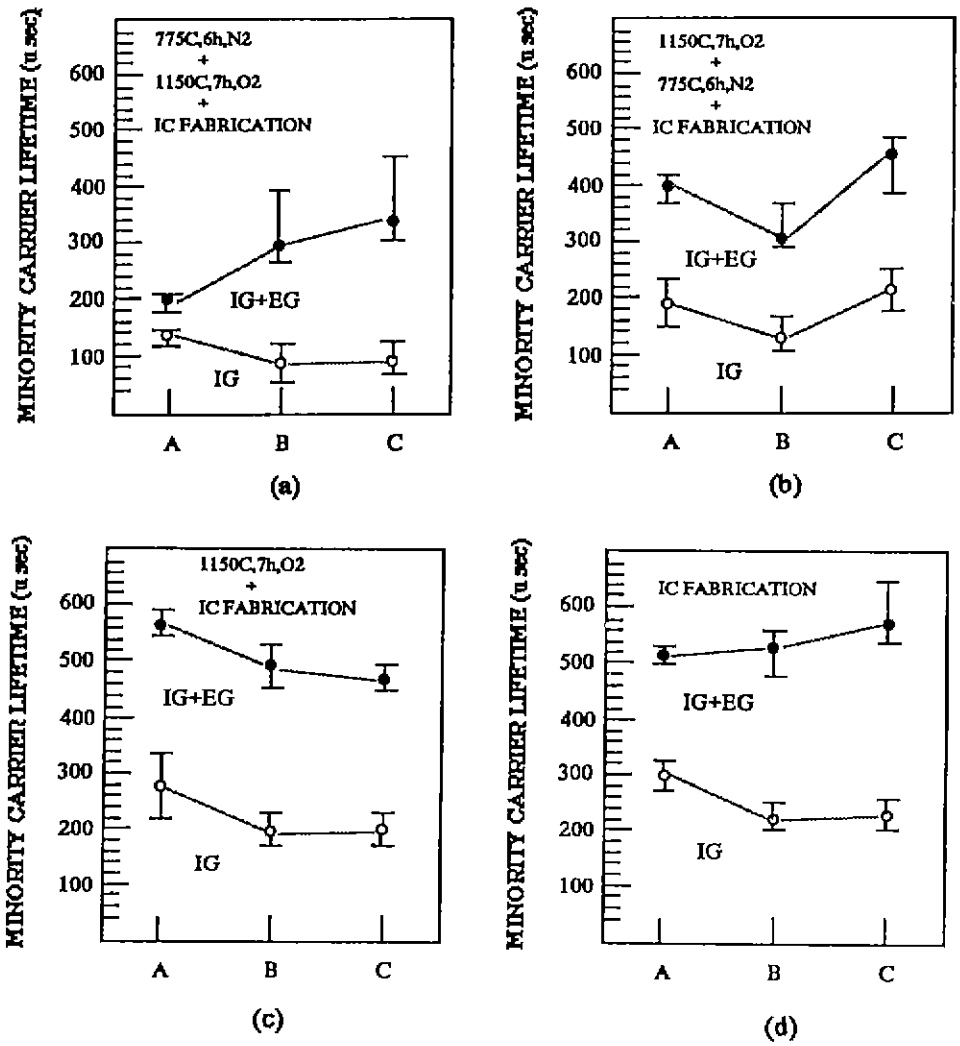


Fig. 9. Minority carrier lifetime measured in the samples which had been subjected to the 4 different (specified in (a), (b), (c), (d)) heat treatments.

측정되었는데 이것을 앞에서 설명한 물리적인 결과와 연관지어 설명하면, 950℃에서 $POCl_3$ 가스를 흘려주는 동안의 열에너지와 인(P)의 확산에 의해 wafer 뒷면쪽에 야기되는 strain 에너지가 wafer 표면쪽의 Fe, Cu 등의 midgap 불순물들의 확산에 필요한 구동력이 되었고, 그 불순물들은 움직이던 도중에 에너지적으로 안정하게 될 수 있는 gettering site에 trap되어 부동화되었기 때문으로 생각된다. Low+High 초기 열처리에 의해서 gettering zone이 형성되었던 Fig. 9(a)의 경우, gettering site가 많을 수록 extrinsic gettering 효과가 커지는 경향을 볼 수 있으나 그 절대값이 4가지 초기 열처리 중 가장 큰 값이 아닌 이유는 775℃, N_2, 6시간 동안 wafer 표면에 형성되었던 산소를 포함하는 핵이 1150℃, O_2, 7시간 동안 wafer 밖으로 다 빠져 나가지 못하고 denuded zone 내에 남아서[12] 전자의 생성과 재결합 site로 작용하면서 전자의 수명을 감소시켰기 때문으로 생각된다.

3.4. 접합누설전류(Junction leakage current)에 미치는 gettering 효과

Fig. 10, 11은 각각 Group A와 Group B wafer상의 Fig. 3과 같은 test pattern에서 n^+p 접합을 통해서 흐르는 누설전류 측정결과를 보여준다. Fig. 10을 보면 Group A에서의 extrinsic gettering 효과는 Fig. 9의 전

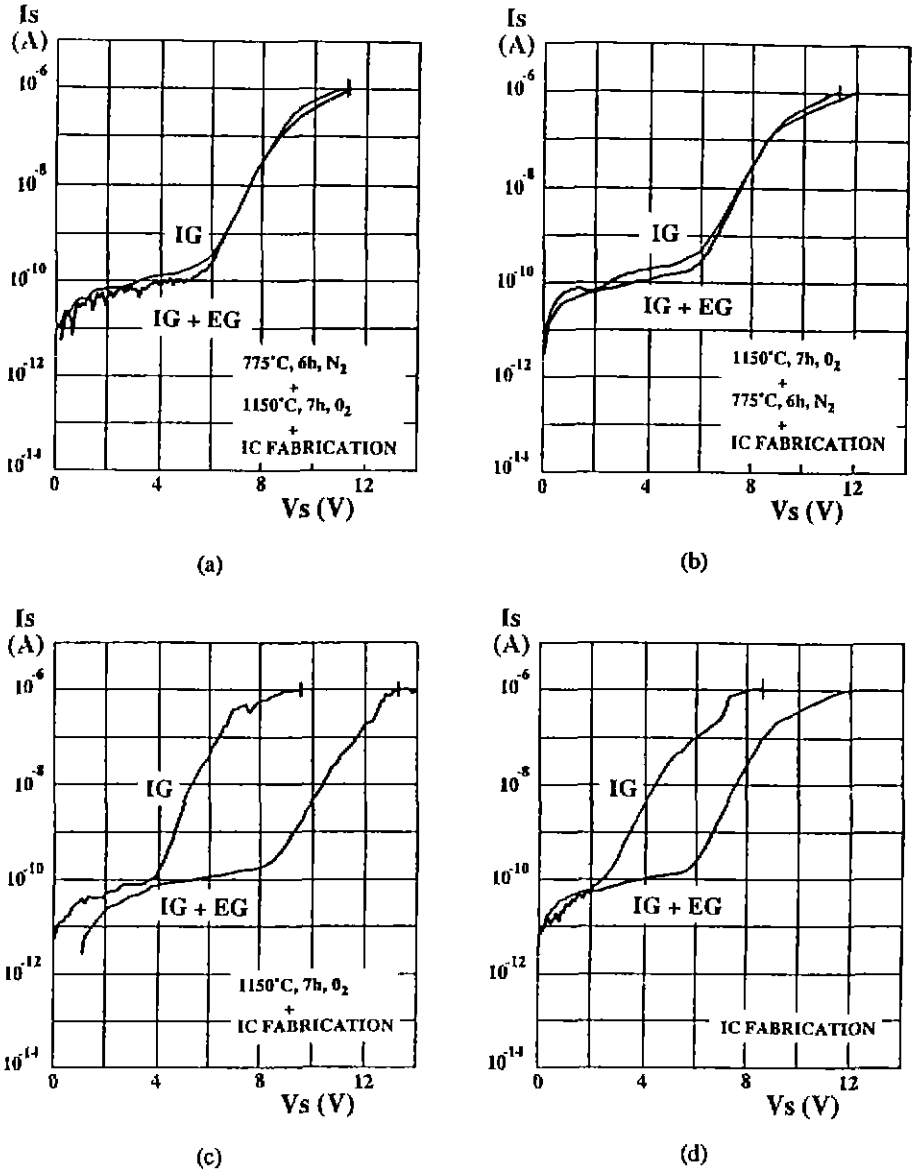


Fig. 10. Reverse bias current-voltage characteristics of Group A wafers with various pre-heat treatment : (a) Low+High, (b) High+Low, (c) High only, (d) no pre-heat treatment.

자수명 측정 결과와 대체적으로 일치한다. 즉 775℃, N_2, 6시간의 초기 열처리 과정을 거치지 않은 (c)와 (d)의 경우에 extrinsic gettering 효과가 더 크게 나타나서 누설전류가 현저하게 줄어드는 것을 볼 수 있다. Fig. 11에 나타낸 Group B(Group C도 같은 경향을 보였으므로 도표화 하지 않았음)의 경우를 보면 우선 Low+High 초기 열처리에서는 gettering site의 역할이 크게 나타나 Group A의 Low+High 경우(Fig. 10(a)) 보다는 누설전류가 현저하게 감소되는 것을 볼 수 있다.

4. 결 론

본 실험을 통해서 알아낸 결과를 요약하면 다음과 같다.

1) 본 실험에서 Low 열처리, 즉 775℃, N_2, 6시간의 열처리를 1150℃ 이상 높은 온도의 열처리에 앞서서 14.1

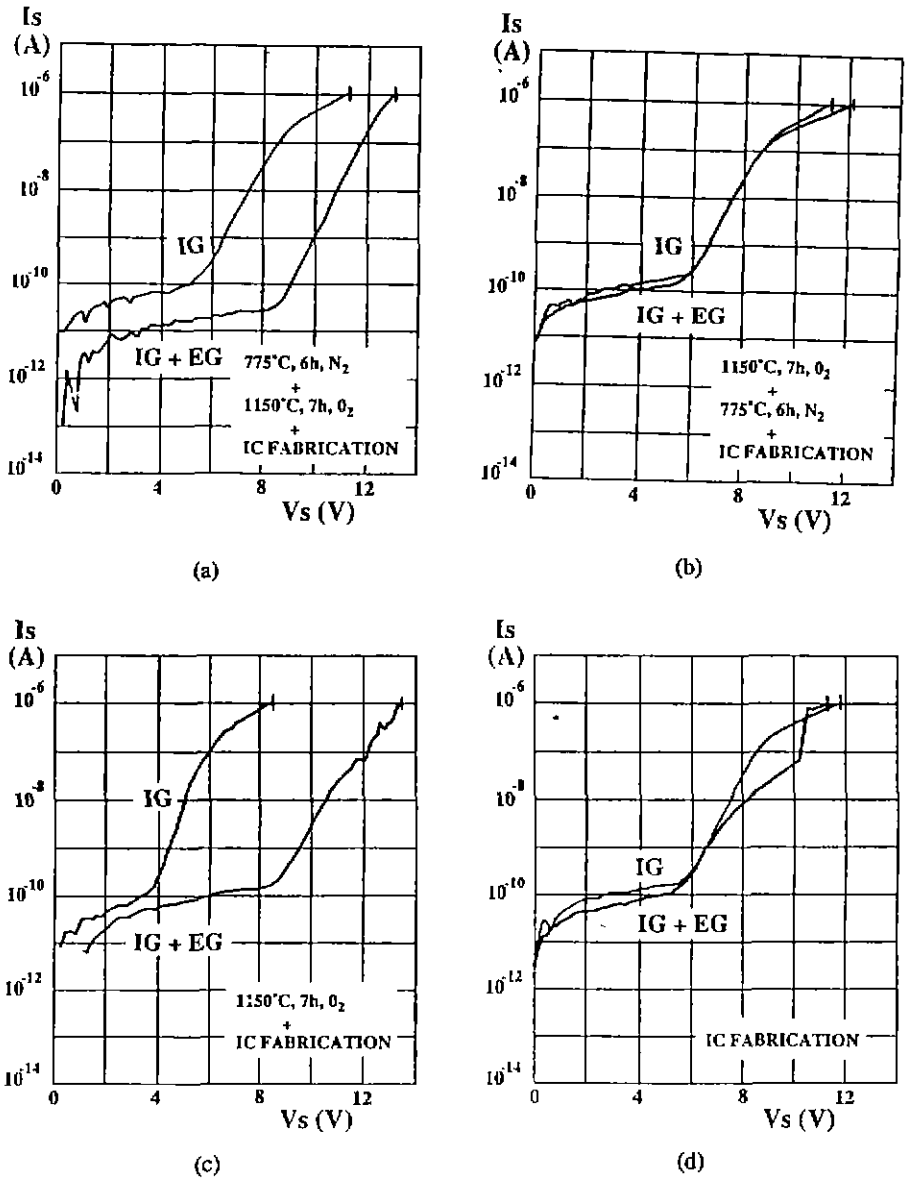


Fig. 11. Reverse bias current-valtage characteristics of Group B wafers with various pre-heat treatment : (a) Low+High, (b) High+Low, (c) High only, (d) no pre-heat treatment.

ppma 이상의 초기 산소농도를 갖는 실리콘 wafer에 행해주면 실리콘 wafer 내부에 많은 결함들로 이루어진 gettering zone을 생성시킬 수 있다.

2) 실리콘 wafer내의 초기 산소농도가 10.9 ppma 이하이면 어떠한 열처리를 하더라도 wafer 내부에 gettering zone을 생성시키기 어렵다.

3) 인(P)이 wafer 뒷면을 통해서 확산되어 들어가게 하면, wafer 내부의 intrinsic gettering structure에 관계없이 전자(electron)의 수명과 관련된 전기적 특성이 향상된다.

4) 인(P)에 의한 extrinsic gettering 효과가 gettering structure를 갖는 시편에서 가장 크기 않다는 사실 때문에 denuded zone 내부에 X-ray section topography의 resolution 보다 작은 산소 관련 결함의 존재를 가정하게 되었는데 이것은 향후 계속되는 실험에서 밝히고자 한다.

REFERENCES

1. G.A. Rozgonyi and C.W. Pearce, "Interstitial oxygen gettering in Czochralski silicon wafers," *Appl. Phys. Lett.*, **31**, 343 (1977).
2. M. Itsumi and F. Kiyosumi, "Origin and Elimination of Defects in SiO_2 Thermally Grown on Czochrals ki Silicon Substrate," *App. Phys. Lett.*, **40**, 496 (1982).
3. M.C. Chen and V.J. Silverstri, *J. Electrochem. Soc.*, **128**, 389 (1981).
4. M.C. Chen and V.J. Silverstri, *J. Electrochem. Soc.*, **129**, 1294 (1982).
5. W.M. Stacey, M.C. Arst, K.N. Ritz, J.G. deGroot and M.H. Norcott, in Defects in Silicon. edited by W.M. Bullis and L.C. Kimerling (The Electrochemical Society, Pennington, NJ, 1983), p. 423.
6. R.A. Logan and M. Schwartz, "Restoration of Resistivity and Lifetime in Heat Treated Germanium," *J. Appl. Phys.*, **26**, 1287 (1955).
7. R.D. Thompson and K.N. Tu, "Low Temperature Gettering Effects of Cu, Ag and Au across a Wafer of Si by Al," *App. Phys Lett.*, **41**, 440 (1982).
8. E.J. Mets, "Poisoning and Gettering Effects in Silicon Junctions," *J. Electrochem. Soc.*, **112**, 420 (1965).
9. R. Sawada, T. Karaki and J. Watanabe, "Mechanical Damage Gettering Effect in Si," *Japanese J. Appl. Phys.*, **20**(11), 2097 (1981).
10. T.M. Brown, "Effects of Oxygen in Silicon on Device Processing," *Semiconductor International*, **223**, May (1987).
11. J. Partanen, T. Tuomi, M. Tilli, S. Hahn, C.C.D. Wong and F.A. Ponce, *J. Mat. Res.*, **4**, 623 (1989).
12. 김승현, 양두영, 김창은, 이홍림, "Czochralski 법으로 성장시킨 단결정 Silicon Wafer에서의 표면 무결함층 (Denuded Zone) 형성에 관한 연구(I)," 요업학회지 **28** (6), 499 (1991).