

다결정 실리콘의 미세구조와 전기적 특성에 관한 연구

(A Study on Microstructure and Electrical Properties of LPCVD Polysilicon)

이은구* 문대규** 정호영***
(Eun-Gu Lee, Dae-Gyu Moon, Ho-Young Jeong)

요 약

LPCVD 방법으로 625°C와 560°C에서 증착한 다결정 실리콘에 As이온주입량을 $1 \times 10^{13} - 1 \times 10^{16}/\text{cm}^2$ 로 변화시키면서 열처리 전, 후의 미세구조와 전기적 특성 변화를 조사하였다. 625°C에서 증착한 시편은 columnar구조를 하고 있어 표면이 매우 거칠었으며 900°C, 30분 열처리 후에는 As doping 농도에 관계없이 결정립 크기는 200~300Å 정도였다. 560°C에서 증착한 시편은 비정질 상태로 열처리 후에는 1000Å 이상의 큰 결정립을 갖는 타원형의 결정립으로 성장하였으며 표면이 매우 smooth하였다. 같은 doping 농도에서 전기 전도도와 Hall mobility는 비정질 상태로 증착한 시편이 큰 결정립으로 인하여 다결정 상태로 증착한 시편에 비해 크게 되었다. Grain boundary trapping model에 의해 계산한 potential barrier height는 As doping 농도가 증가함에 따라 감소하였으며 grain boundary trap density는 증착 온도, As doping 농도 및 결정립 크기에 크게 관계없이 $3.6 \sim 5 \times 10^{12}/\text{cm}^2$ 로 측정되었다.

Abstract

The microstructure and electrical properties of polysilicon films deposited by low pressure chemical vapor deposition were investigated as a function of deposition temperature and As doping concentration. The deposition temperature was 560°C and 625°C and the As ion implantation dose was varied from 1×10^{13} to $1 \times 10^{16}/\text{cm}^2$. The polysilicon films deposited at 625°C and annealed at 900°C have an average grain size of 200–300Å and a rough surface with columnar grain structure, while the films deposited at 560°C followed by the 900°C anneal have elliptical grain growth with more than 1000Å grains and smooth surfaces. For the same As doping concentration, the conductivity and Hall mobility of polysilicon films deposited in amorphous state were found to be larger than those of polysilicon films deposited in polycrystalline state due to the larger grain size. With increasing doping concentration, the grain boundary potential barrier height of electrical conduction decreased. However, grain boundary trap density of polysilicon is independent of deposition condition and the value of the trap density is determined to be $3.6 - 5 \times 10^{12}/\text{cm}^2$.

* : 조선대학교 재료공학과

** : 한국과학기술원 전자재료공학과

*** : 금성일렉트론 주식회사

I. 서 론

다결정 실리콘은 semiconductor technology에 매우 광범위하게 사용되고 있다. 고농도 다결정 실리콘은 gate 전극과 interconnection에 사용되며 저농도 다결정 실리콘은 static memory 회로에서의 저항으로 사용되어 왔으며 큰 결정립 다결정 실리콘은 태양 전지의 대량 생산에 매우 중요한 재료로 응용되고 있다. 또한, liquid crystal display(LCD)소자에 사용되는 thin film transistor(TFT)의 active소자로 사용됨에 따라 다결정 실리콘은 물성 및 전기적 특성에 대한 연구가 매우 활발히 진행되었다(1-3).

다결정 실리콘은 전기 저항은 negative temperature coefficient 특성을 갖고 있으며 단결정 실리콘에 비해 중간 doping 농도($1 \times 10^{18}/\text{cm}^3$ 정도)의 경우는 5-order 이상 높으며 doping 농도가 증가함에 따라 그 차이는 점점 줄어들게 된다. 이러한 다결정 실리콘은 conduction model은 두가지로 구분된다. M.E.Cowher 등(4)과 A.L.Fripp(5)에 의해 연구 발표된 dopant segregation model은 단결정 실리콘에 비해 다결정 실리콘은 높은 저항 특성을 설명할 수 있으나 저항의 온도 특성과 중간 doping 농도에서 나타나는 mobility 최소화 현상은 설명하기 어렵다. 이러한 현상은 grain boundary에 carrier가 되는 현상(carrier trapping model)(6,7)으로 설명될 수 있다.

이러한 다결정 실리콘의 전기 저항은 결정립 크기에 큰 영향을 받으며 결정립크기는 열처리 온도는 물론 증착 온도(8), 불순물 농도(9) 및 두께(10)등에 의해 변하는 것으로 연구되었다. 또한 다결정 실리콘의 증착 온도, 열처리 온도 및 두께는 X-ray 조직에 영향을 주는 것으로 연구되었으며 580°C 이하에서는 비정질 상태로 증착되고 그 이상의 온도에서 증착하면 다결정으로 성장하는 것으로 보고되었다(11). 따라서 본 연구에서는 SiH_4 를 열분해 방법으로 제작하는 종래의 low pressure chemical vapor deposition(LPCVD)방법으로 증착온도를 각각 625°C와 560°C에서 증착한 실리콘 막의 열처리 전, 후의 미세구조를 관찰하고 각각의 시편에 As이온주입 농도를 변화시키면서 증착온도와 As doping 농도 변화에 따른 전기적 특성의 차이와 이에 영향을

주는 grain boundary potential barrier 크기와 trap 밀도의 변화를 연구하고자 한다.

II. 실험방법

본 실험에서 사용한 단결정 실리콘 기판은 Czochralski방법으로 성장시킨 p(100)방향성을 갖고 비저항은 6~9ohm cm이었다. 이 기판 위에 900°C에서 H_2/O_2 분위기로 1000Å의 산화막을 성장시킨 후 실리콘의 증착 온도에 따른 전기적 특성을 관찰하기 위하여 0.25Torr의 감압에서 mono-silane(SiH_4)gas를 150sccm(standard cc/min)으로 흘리면서 증착온도를 각각 625와 560°C로 변화시켰다. 위와 같은 조건으로 2500Å 두께의 실리콘 막을 증착한 후 As이온주입량을 $2.5 \times 10^{12} \sim 1 \times 10^{16}/\text{cm}^2$ 까지 변화시키면서 80keV로 이온주입하였다. 그 이후의 열처리 과정 중에서 As 이온이 out-diffusion 되는 것을 방지하기 위해 430°C에서 CVD방법으로 300Å 두께의 산화막을 증착하였다.

전기저항 Hall 전압을 측정하기 위하여 van der pauw pattern을 제작하였으며 시편과 전극의 ohmic contact을 위하여 사진식각 방법으로 van der Pauw pattern의 contact부위의 산화막을 식각한 후 As을 80keV로 $5 \times 10^{15}/\text{cm}^2$ 이온 주입하였다. 그 후 As 이온을 전기적으로 활성화시키고 이온주입에 의한 결함을 제거하기 위하여 900°C에서 30분간 질소 분위기에서 열처리하였다. 그 후 $10 \times 10 \text{mm}^2$ 의 정방향으로 시편을 잘라서 van der pauw pattern을 제작하였다. 위와 같이 제작한 시편의 공정 흐름도는 그림1과 같다.

시편의 두께는 굴절율을 3.0으로 하여 Nanometric사(model명: 210)의 nanospec을 이용하여 측정하였다. 증착온도에 따른 표면 상태는 Hitachi사(model명: S 800)의 Scanning Electron Microscope(SEM) 장비로 관찰하였다. 한편 Philips사(model명: CM 20)의 Transmission Electron Microscope(TEM) 장비로 가속 전압을 200keV로 하여 결정크기와 미세구조를 관찰하였다. 또한 Cs^+ primary ion을 이용하여 Secondary Ion Mass Spectroscopy(SIMS) 장비로 As depth profile을 분석하였다. 전기 저항과 Hall mobility의 측정은 van der Pauw법에 의하여 측정하였다. Hall 전압은 Walker/Magnion Electromagnet HV-4H를 이용하여 8kG의 자

장을 시편에 가하여 측정하였다. 또한 온도에 따른 전기 저항을 측정하기 위하여 액체 질소 온도(78K)에서 상온(300K)까지 온도를 올려가며 비저항 값을 측정하였다.

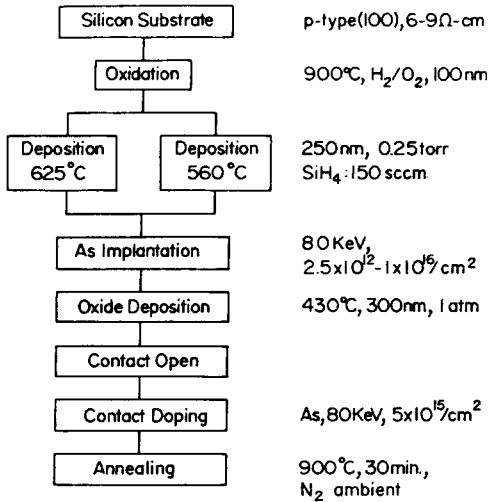


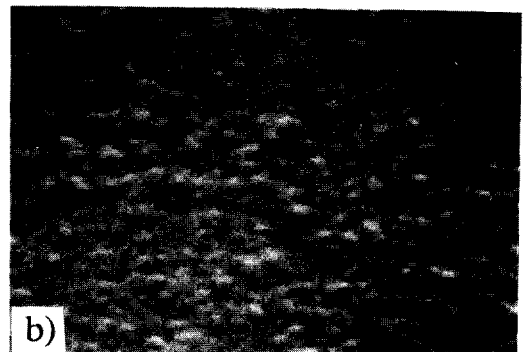
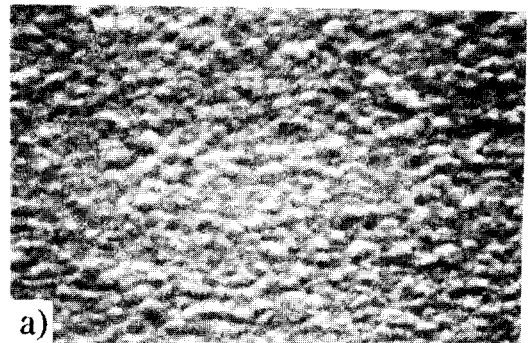
그림 1. 시편 제작 공정흐름도.
Fig. 1. Process flow chart for sample preparation.

III. 결과 및 고찰

다결정 실리콘의 증착 온도에 따른 surface morphology를 그림 2에 나타내었다. 그림 2-a)는 다결정 실리콘 상태인 625°C에서 증착한 시편의 표면 미세구조이며, 그림 2-b)는 이 시편에 As를 5×10¹⁵/cm²로 이온주입하고 900°C에서 30분 동안 질소 분위기로 열처리한 시편의 미세구조이다. 625°C에서 증착한 다결정 실리콘에서는 표면이 매끄럽지 않은 것을 알 수 있다. 또한 900°C에서 열처리하는 동안 표면이 약간 더 거칠게 된 것을 볼 수 있다. 그림 2-c)는 비정질 상태인 560°C에서 증착한 시편의 표면 미세구조이며 그림 2-d)는 As를 5×10¹⁵/cm²로 이온주입 한 후 900°C에서 열처리한 시편의 미세구조이다. 560°C에서 증착한 시편의 표면은 매우 smooth하며 열처리한 후에도 변화가 없는 것을 알 수 있다. 위와 같이 증착 온도가 다른 두 종류의 시편을 1000°C에서 4시간 열처리한 시편도 열처리 전과 차이가 없었다. 즉, 다결정 실리콘의

surface morphology는 열처리 온도에 관계없이 증착 온도에 의해 영향을 받는다는 것을 알 수 있다.

다결정 상태로 증착한 시편이 비정질 상태로 증착한 시편에 비해 열처리 전후 표면이 거친 이유를 관찰하기 위하여 단면 TEM을 관찰하였으며 그 결과를 그림 3에 나타내었다. 그림 3을 보면 625°C에서 증착한 후 열처리한 시편(a)는 columnar 구조를 하고 있는 것을 알 수 있으며 As-ion을 1×10¹⁵/cm²로 이온주입한 후 열처리한 시편(b)는 구조가 다른 2개의 층으로 이루어져 있는 것을 알 수 있다. 표면층은 As 이온주입에 의해 비정질 상태로 변한 부분이 열처리하는 동안 고상 결정 성장을 하여 결정이 크게 성장하였으며 아래 부분은 시편(a)와 같은 columnar 구조를 하고 있다. 560°C에서 증착한 후 열처리한 시편(c)는 시편 두께와 비슷한 크기의 결정구조를 하고 있으며 As 이온주입을 한 시편(d)와 거의 같은 형상을 보이고 있다. 이와 같이 다결정 실리콘 상태로 증착한 시편은 산화막과의 경계면에서부터 많은 핵들이 성장하여 lateral growth는 억제되며 두께방향으로 빠른 성장



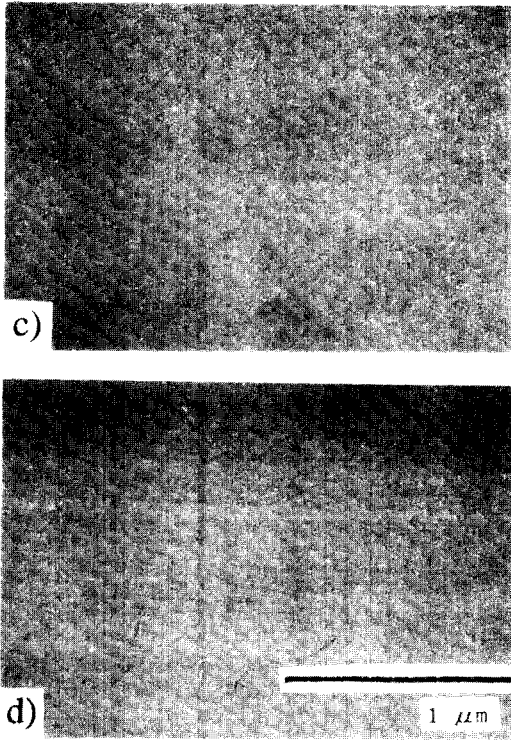


그림 2. 증착온도에 따른 시편의 SEM 사진.
시편(a, b)는 625°C에서, 시편(c, d)는 560°C에서 증착한 것이며 시편(b, d)는 As를 $5 \times 10^{15}/\text{cm}^2$ 로 이온주입 후 900°C 30분간 열처리한 시편.

Fig. 2. SEM photographs of films deposited at 625°C (a, b) and 560°C (c, d). Sample (b, d) were annealed at 900°C for 30 min after As doping with $5 \times 10^{15}/\text{cm}^2$ does at 80keV.

을 하여 columnar 구조를 하게 되므로 표면이 거칠게 되나 비정질 상태로부터의 결정 성장은 비교적 random한 방향으로 결정 성장을 하며 증착시의 표면 형태를 그대로 유지하여 표면이 매끄러운 것으로 사료된다.

다결정 실리콘의 증착 온도에 따른 열처리 후의 결정크기를 TEM으로 관찰하였으며 그 결과를 그림 4에 나타내었다. 그림 4-a), c), 와 e)는 625°C에서 증착한 시편에 평균 As 이온 주입량을 각각 0, 1×10^{14} 및 $5 \times 10^{15}/\text{cm}^2$ 로 한 후 900°C에서 질소 분위기에서 열처리

한 시편이며 시편 b), d),와 f)는 560°C에서 증착한 시편에 평균 As doping 농도를 각각 0, 1×10^{14} 및 $5 \times 10^{15}/\text{cm}^2$ 로 이온주입 후 열처리한 시편의 표면 TEM사진이다. 625°C에서 증착한 시편의 결정립은 매우 작았으며 평균 결정크기는 As 농도와 크게 관계없이 200~300Å이었다. 560°C에서 증착한 시편은 타원 모양으로 결정 성장을 하였으며 결정립 크기는 1000Å이상이었다.

다결정 실리콘의 미세구조차이에 의한 900°C 열처리 전후의 As 분포의 변화를 관찰하기 위해 SIMS profile을 하였으며 그 결과를 그림 5에 나타내었다. 그림 5를 보면 열처리 후 모든 시편에서 As이 산화막까지 확산된 것을 알 수 있다. 그러나 625°C에서 증착한 시편은 560°C에서 증착한 시편과는 달리 As 농도가 산화막 방향으로 갈수록 증가되는 것을 알 수 있는데 이는 많은 결정립계에 의한 확산 촉진 현상과 결정립계에서의 불순물 segregation 때문으로 판단된다.

위와 같이 증착상태에 따라 열처리 후의 미세구조가 다른 다결정 실리콘의 전기적 특성 차이를 관찰하기 위하여 전기저항과 Hall측정을 하였다. 그림 6은 As doping 농도에 따른 900°C, 30분간 열처리한 후의 비저항 값의 변화이다. Doping concentration은 As 이온 주입량을 시편 두께로 나눈 값으로 하였다. 그림 6을 보면 625°C에서 증착한 시편은 doping농도가 $10^{18} \sim 10^{19}/\text{cm}^3$ 에서 비저항 값이 4-order이상 급격히 감소하였으나 560°C에서 증착한 시편은 doping농도가 $10^{18}/\text{cm}^3$ 이하에서부터 비저항 값이 3-order정도 감소하였다. 또한 560°C에서 증착한 시편의 비저항값은 625°C에서 증착한 시편의 그것에 비해 항상 낮은 값을 나타내며 특히 doping 농도가 $10^{18}/\text{cm}^3$ 정도에서는 3-order이상 낮은 비저항 값을 보이고 있다. 또한 doping 농도가 $5 \times 10^{20}/\text{cm}^3$ 이상 되면 비저항 값은 더 이상 감소하지 않았다.

이와 같은 비저항값의 차이점을 관찰하기 위하여 Hall 측정을 하여 doping 농도에 따른 carrier 농도의 변화를 관찰하였으며 그 결과를 그림 7에 나타내었다. 그림 7을 보면 증착 온도가 다른 두 종류의 시편에서 As doping 농도가 $10^{20}/\text{cm}^3$ 이상에서도 carrier 농도가 doping 농도의 20% 밖에 안되는 것으로 보아 900°C에서 열처리 하는 동안 많은 양의

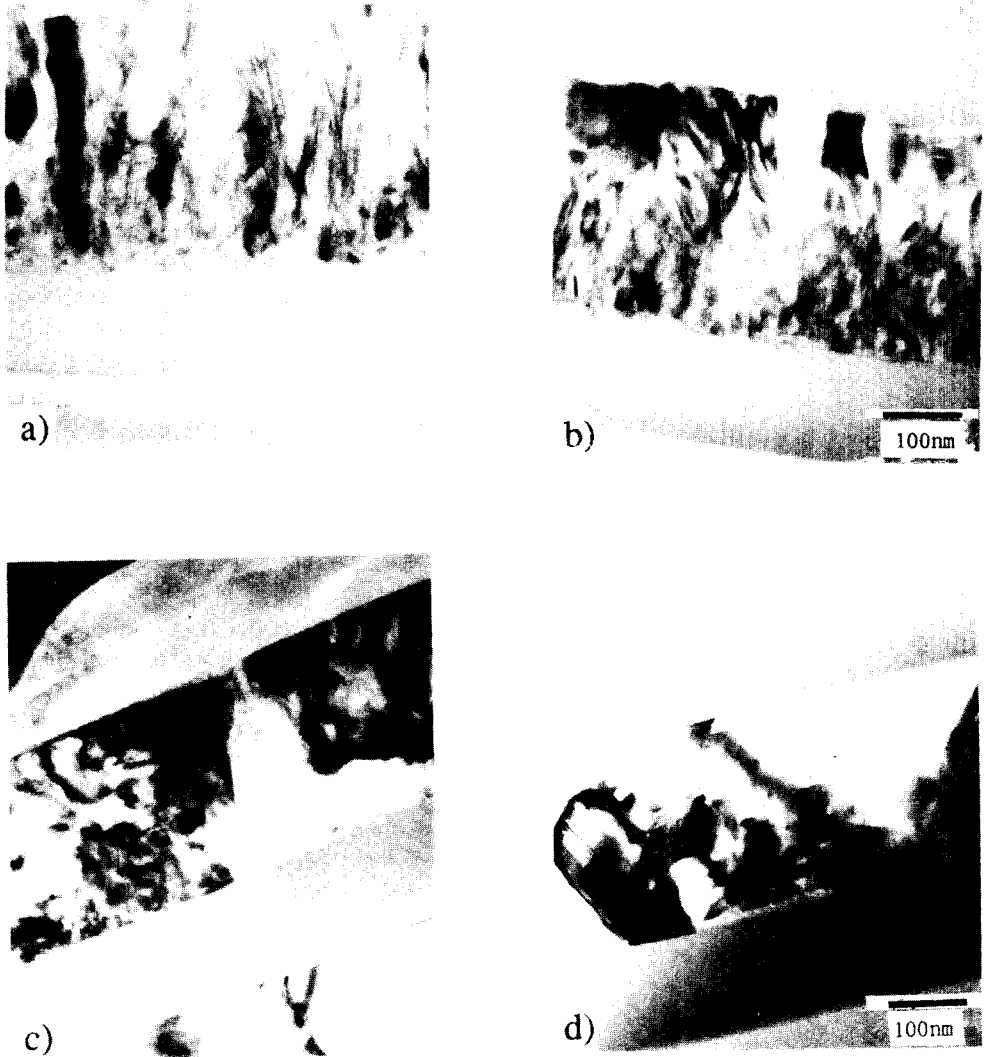


그림 3. 증착온도에 따른 시편의 단면 TEM 사진. 시편(a, b)는 625°C에서, 시편(c, d)는 560°C에서 증착한 것이며 시편(b, d)는 As를 $5 \times 10^{15}/\text{cm}^2$ 로 이온주입 후 900°C, 30분간 열처리한 시편.

Fig. 3. X-TEM micrographs of films deposited at 625°C(a, b) and 560°C(c, d). Sample(b, d) were annealed at 900°C for 30min after As-ion implantation with $5 \times 10^{15}/\text{cm}^2$ dose.

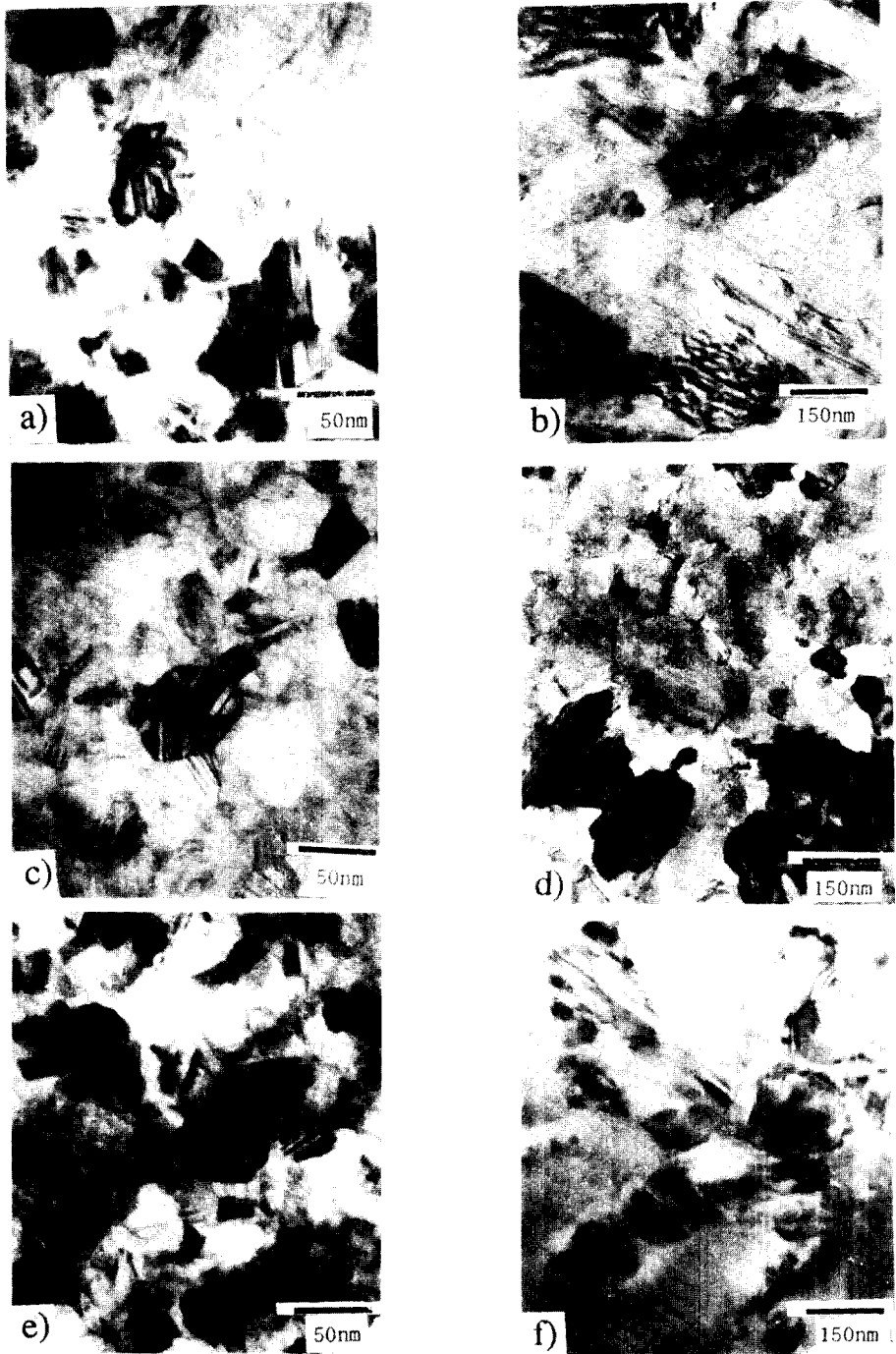


그림 4. 증착온도에 따른 시편의 TEM 사진. 시편 a), c), e)는 625°C에서, 시편 b), d), f)는 560°C에서 증착하였으며 As Doping 농도는 각각 0 (a, b), 1×10^{14} (c, d), 및 $5 \times 10^{15} / \text{cm}^2$ (e, f) 이다.

Fig. 4. TEM photographs of films deposited at 625°C(a, c, e) and 560°C(b, d, f) with As implantation dose of 0(a, b), 1×10^{14} (c, d), and $5 \times 10^{15} / \text{cm}^2$ (e, f).

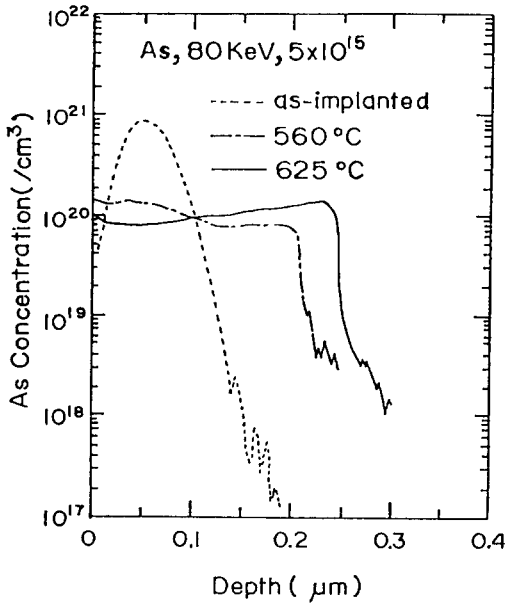


그림 5. As 이온의 SIMS 깊이 분포.
Fig. 5. SIMS Depth Profiles for As.

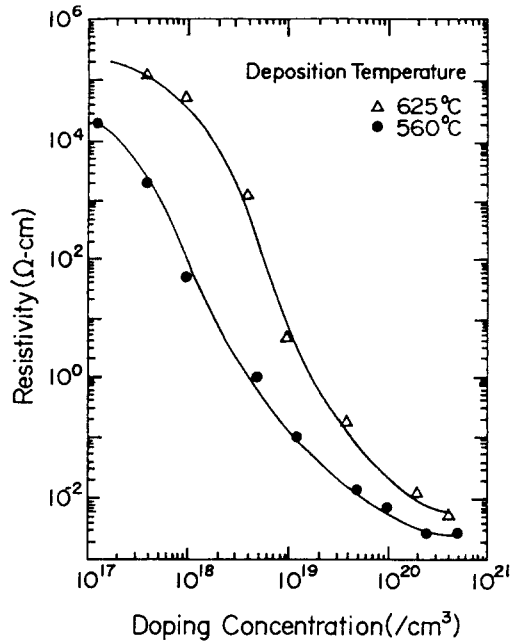


그림 6. As Doping 농도에 따른 시편의 비저항 변화. (△): 625°C 증착, (●): 560°C 증착

Fig. 6. Resistivity of As implanted polysilicon films with different deposition temperature as a function of doping concentration. (△): deposition at 625°C, (●): deposition at 560°C.

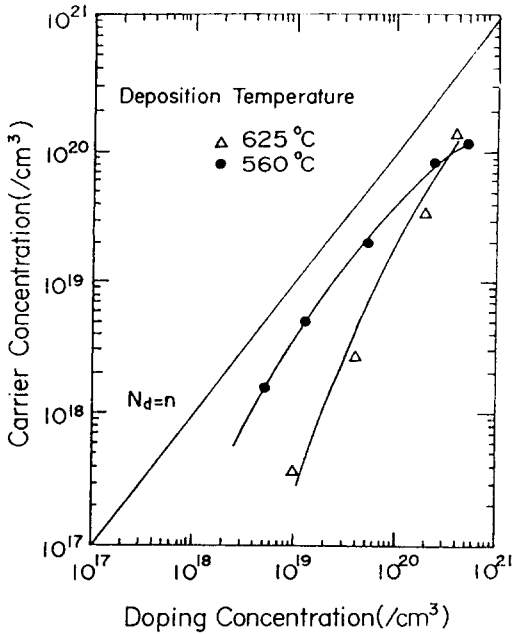


그림 7. As Doping 농도에 따른 시편의 carrier 농도 변화. (△): 625°C 증착, (●): 560°C 증착

Fig. 7. Carrier concentration of As implanted polysilicon films with different deposition temperature as a function of doping concentration.

dopant가 결정립계에 segregation되는 것을 알 수 있다. Doping 농도가 낮을 수록 carrier 농도(n)와 doping농도 (Nd)의 차이가 크며 625°C에서 증착한 시편에서는 그 차이가 더욱 크게 되는 것을 알 수 있다. 이와같은 현상은 grain boundary segregation model로는 설명할 수 없다. 또한 Hall mobility값의 변화(그림 8)을 보면 doping 농도가 감소할수록 Hall mobility값은 감소하였으며 비정질 상태로 증착된 시편은 다결정 상태로 증착된 시편에 비해 Hall mobility 값이 2배 정도로 큰 값을 보이고 있다. 또한 Doping농도가 $2 \times 10^{20}/\text{cm}^3$ 정도가 되면 mobility값이 최대가 되고 그 이상의 doping 농도에서는 오히려 감소하였다. 이는 degenerated semiconductor에서 나타나는 impurity scattering에 의해 mobility가 감소하는 것으로 판단된다.

J.Y.W.Seto(7), G.Baccarani 등 (12)이 제

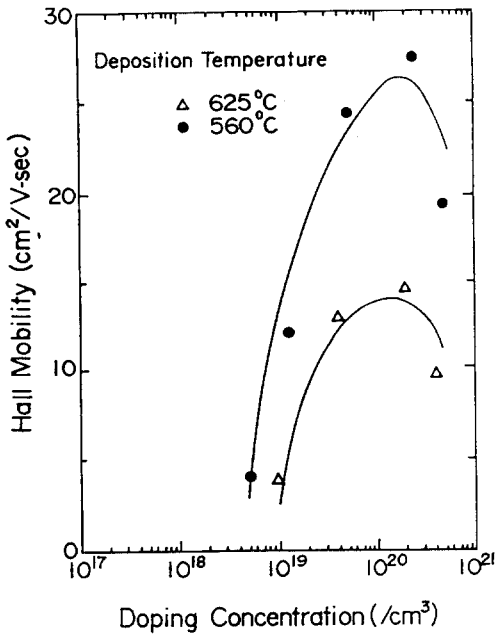


그림 8. As Doping 농도에 따른 시편의 Hall mobility 변화 (△): 625°C 증착, (●): 560°C 증착
 Fig. 8. Hall mobility of As implanted polysilicon films with different deposition temperature as a function of doping concentration.

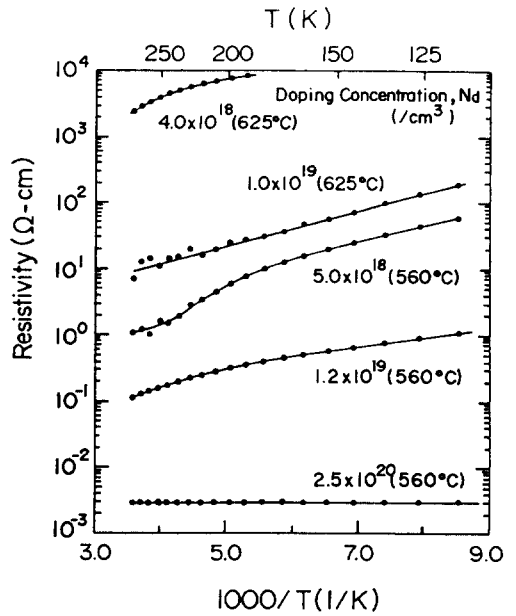


그림 9. 측정 온도변화에 따른 시편의 비저항 변화. 기울기는 grain boundary potential barrier height(E_b)이다.
 Fig. 9. Measured resistivity of polysilicon films deposited at 625°C and 560°C, respectively as a function of doping concentration over a temperature range from 80K to 300K. The slope is grain boundary potential barrier height(E_b).

시한 carrier tapping model에 의하면 다결정 실리콘의 carrier conduction은 grain boundary potential barrier를 thermionic emission에 의하여 이루어지며 비저항은 다음과 같이 표시될 수 있다.

$$\rho = \frac{k \cdot T \cdot \exp(E_b/kT)}{q^2 \cdot L \cdot N_d \cdot V_c} \dots\dots\dots(1)$$

여기서 L은 평균결정립크기, N_d 은 carrier 농도, V_c 는 collective velocity, E_b 는 grain boundary potential barrier height이다. Grain boundary potential barrier height(E_b)는 doping 농도에 따라 결정이 완전히 depletion되는 경우 ($N \cdot L < Q_t$)와 부분적으로 depletion 되는 경우 ($N \cdot L < Q_t$)에 따라 다음과 같은 관계식이 성립한다.

$$E_b = q^2 L^2 N_d / 8 \epsilon \quad N \cdot L < Q_t \text{ 경우} \dots (2-1)$$

$$E_b = q^2 Q_t^2 / 8 \epsilon N_d \quad N \cdot L > Q_t \text{ 경우} \dots (2-2)$$

여기서 Q_t 는 grain boundary trap density이며 ϵ 는 실리콘의 유전상수이고 N_d 은 doping 농도이다. 다결정 실리콘의 증착온도와 doping 농도에 따른 grain boundary barrier height의 변화를 그림 9에 나타내었다. 그림 9를 보면 비저항은 $1/T$ 에 거의 직선적으로 변화하는 것을 알 수 있으며 doping 농도가 감소할수록 기울기가 증가하는 것을 알 수 있다. 이러한 현상으로 보아 다결정 실리콘의 conduction은 termionic emission에 의하여 지배되며 doping 농도가 증가할수록 식(2-2)와 같이 potential barrier height가 감소하는 것을 알 수 있다. 그림 9의 기울기는 (E_b)값과 식(2-2)에서 부터 구한 grain boundary trap density(Q_t) 및 결정립 크기의 변화는 표 1과 같다. 표 1을 보면 같은 이온주입량에서

E_b 값이 약간 차이가 있는데 이는 560°C와 625°C에서 증착한 시편의 두께 차이(2000Å과 2500Å)로 인한 평균 doping농도의 차이이다. 즉, 같은 doping농도에서 E_b 및 Q_t 는 같은 것으로 판단된다. 이와같이 같은 doping농도의 경우 560°C에서 증착한 시편의 비저항 값이 625°C에서 증착한 시편에 비해 작은 이유는 그림 4의 TEM 사진에서 보는 바와 같이 큰 결정립으로 인한 결정립계의 밀도가 작아서 결정립계에 trap되는 carrier의 수가 적어 이동 carrier 농도가 많기 때문으로 판단된다.

IV. 결 론

SiH_4 gas로 LPCVD 방법으로 625°C와 560°C에서 증착시킨 시편에 As 이온주입농도를 $2.5 \times 10^{15} \sim 1 \times 10^{16}/cm^2$ 로 변화시킨 시편의 미세구조와 전기적 특성을 측정된 결과로부터 다음과 같은 결론을 얻을 수 있다.

1. 비정질 상태로 증착한 시편은 900°C, 30분간 질소 분위기에서 열처리하면 doping농도에 관계없이 1000Å 정도 크기의 타원형 결정성장을 하였으며 표면이 매끄러운 반면 다결정 상태로 증착한 시편은 200~300Å 크기의 columnar grain 구조를 하여 표면이 거칠었다.
2. 같은 doping 농도의 경우 560°C에서 증착한 시편이 625°C에서 증착한 시편에 비해 열처리 후 결정립 크기가 커서 비저항 값은 낮았으며 carrier 농도 및 Hall mobility 값은 크게 나타났다.
3. 결정립계의 potential barrier height(E_b)는 doping 농도가 증가함에 따라 감소하였으며 grain boundary trap density(Q_t)는 증착 조건에 거의 관계없이 $3.6 \sim 5 \times 10^{12}/cm^2$ 로 측정되었다.

V. 참고문헌

1. T. Aoyama, G. Kawachi, N. Konishi, T. Suzuki, Y. Okajima, and K. Miyata, "Cystallization" of LPCVD Silicon Film by Low Temperature Annealing" J. Electrochem Soc. Vol. 136. p1169(1989)
2. Ueda, H. Komiya, T. Ashida, and R. Miyake, "A 5nm Thick Ultra-Thin Double-Gate Poly-Si TFT Using Si_2H_6

- as a Source Gas", Ext. Abs. the 22nd Conf. SSDM p.1195(1990)
3. P. A. Breddels, H. Kanoh, O. Sugiura, and M. Matsumura, "Chemical Vapor Deposition of Amorphous Silicon with for Thin Film Transistors", Jpn. J. Appl. Phys. Vol.30 p.233(1991)
4. M. E. Cowher and T. O. Sedgwick, "Chemical Vapor-Deposited Polycrystalline Silicon", J. Electrochem. Soc., Vol.119, p.1565~p.1570(1973)
5. A. L. Fripp, "Dependence of Resistivity on the doping Level of Polycrystalline Silicon", J. Appl. Phys., Vol.42, p.4357~4365(1971)
7. J. Y. W. Seto, "The Electrical Properties of Polycrystalline Silicon Films", J. Appl. Phys., Vol.46, p.5247~5254(1975)
8. G. Harbeke, L. Krausbauer, E. F. Steigmeier, A. E. Widmer, H. F. Kappert and G. Neugebauer, "Growth and Physical Properties of LPCVD Polycrystalline Silicon Films", J. Electrochem. Soc., Vol.131, p.675~682(1984)
9. Y. Wada and S. Nishimatsu, "Grain Growth Mechanism of Heavily Phosphorus Implanted Polycrystalline Silicon", J. Electrochem. Soc., Vol.125 p.1499~1504(1978)
10. T. I. Kamins, J. Electrochem. Soc., Vol.127, p.686(1980)
11. M. T. Duffy and G. Harbeke, "LPCVD Polycrystalline Silicon: Properties of Doped and Undoped Films Prepared via the Amorphous Phase", Proc. 9th Int 1 conf. on CVD p.400~419(1984)
12. G. Baccarani, B. Ricco and G. Spadini, "Transport Properties of Polycrystalline Silicon Films", J. Appl. Phys. Vol.49, p.5565~5570(1978)

(1992년 5월 8일 접수)



정호영

1959년 9월 17일생. 1983년 2월 건대 전자공학과 졸업. 1985년 7월. 1988년 3월 현대전자 반도체 사업부 APCVD & PECVD 단위 공정 담당. 1988년 4월. 현재 금성 일렉트론 연구소 LPCVD 단위 공정 개발담당.



이은구

1957년 1월 1일생. 1979년 서울대 공대 요업공학과 졸업. 1981년 한국과학기술원 재료공학과 졸업(석사). 1991년 한국과학기술원 재료공학과 졸업(박사). 1981년. 84년 한국전자통신연구소 근무. 1984년. 89년 금성사 중앙연구소 근무. 1989. 92년 금성 일렉트론 책임연구원. 현재 조선대학 공대 재료공학과 전임강사.