

GSM 移動通信을 爲한 FH 周波數 合成器 設計 및 具現에 關한 研究

正會員 李 彰 浩* 正會員 朴 瑛 哲* 正會員 車 均 鉉*

A Study on the Design and Implementation of FH Frequency Synthesizer for GSM Mobile Communication

Chang Ho LEE*, Young Chull PARK*, Kyun Hyon TCHAH* *Regular Members*

要 約

사회가 복잡 다변화 되어 감에 따라 정보전송의 거리 및 시간의 제약을 극복하기 위하여 통신기술은 끊임없이 발달해 왔다. 최근에 대부분 군·경용으로 사용되고 있는 무선 이동통신은 오늘날 기업과 개인의 요구에 따라 널리 사용되고 있으며 이동통신의 국내 수요도 점차 대중화 되어가고 있다.

이동통신에 사용되고 있는 변조기술은 AM과 FM같은 아날로그 방식이 디지털 방식으로 대체되고 있으며 이의 큰 단점은 전송대역폭의 증가이다. 그러므로 제한된 주파수 대역을 효과적으로 사용하는 것이 매우 중요하나 이에 대한 국내의 연구 및 개발은 매우 한정되어 있으나 디지털 통신의 정착을 위해 필요하다.

본 논문에서는 채널 간격 200KHz의 124개 채널을 갖는 주파수 도약 합성기의 설계를 다룬다. 합성기에 사용되는 VCO는 고순도인 신호 스펙트럼을 위해 semi-rigid 케이블을 사용했으며 하이브리드 위상검출기는 샘플-홀드검출기와 3-상태 위상 검출기를 함께 사용했다.

ABSTRACT

Communication technology has been continuously developed to overcome the distance and time for the transmission of information to the human society. Wireless mobile communication, which had been used mostly in the military and police, is widely used these days for enterprise and individuals. Therefore the domestic usage of the advanced mobile phone service are progressively gaining wide popularity.

The modulation techniques used usually in mobile communications were the analog techniques such as AM and FM, but they are getting replaced by the digital techniques. However, the major disadvantage of the digital communications is the increase of the transmission bandwidth.

Therefore, it is very important to use efficiently the limited frequency bandwidth. The domestic research and development on the subject seems quite limited and desired in order to establish the

*高麗大學校 電子工學科
Dept. of Electronic Eng., Korea University.
論文番號 : 92 - 18 (接受 1991. 10. 17)

technology of the digital mobile communications.

This thesis presents the design of the frequency hopping synthesizer providing 124 channels with a channel spacing of 200KHz. VCO used in the synthesizer employs a semi-rigid cable for higher purity of signal spectrum, and a hybrid phase detector is realized with a sample hold phase detector in conjunction with a tri-state phase detector.

I. 서 론

전자 기술의 급격한 진보와 전기 통신의 발전에 힘입어 사회 경제 활동에 큰 영향을 주는 전기 통신은 급격한 수요의 증가를 가져왔으며, 종전의 고정통신으로 부터 이동 통신으로의 이용 전이 현상이 현저하게 나타나고 있다. 전자파를 이용하는 이동 통신은 전파를 어떻게 효율적으로 이용하는가에 따라 발전 방향이 좌우될 수 있으며 앞으로 해결되어야 할 중요한 기술 요소라고 생각한다. 현재까지 이동 통신에 사용되는 주파수는 중단파대에서 극초 단파대까지 이르고 있으며, 그 용도를 보면 자동화 전화, 열차 전화, 선박 전화, 항공기 전화, 무선 호출, 코드리스 전화 등 공중 이동 통신으로서 사회 경제 활동에 크나큰 역할을 담당하고 있다. 이동 통신의 서비스로서 대표적인 전화 서비스는 각종 이동 통신 기술의 진보를 배경으로 언제 어디서든 사용할 수 있는 전화의 꿈을 실현하는 휴대용 전화와 기능의 편리성의 향상 및 확대, 가격의 저렴화 등을 위한 설비의 공용 규격의 통일을 가능하게 하는 각종 이동 통신의 통합화로 발전이 진행될 것이다.

지금까지는 이동 통신 수단으로 아날로그 방식이 주종을 이루어 왔으나 앞으로는 디지털 방식 이동 통신으로 전환될 것으로 예상된다. 디지털 방식은 기존의 아날로그 방식보다 여러가지 장점이 있으나 가장 큰 단점은 전송 대역폭의 증가이다. 따라서 한정된 주파수 대역의 효율적인 사용을 위해서는 확산 대역 통신 방식의 사용이 필수적이다. 따라서 본 논문에서는 확산 대역 통신 방식중의 하나인 주파수 도약 방식의 주파수 합성기에 관하여 연구를 하였다. 본 논문에서 연구한 주파수 합성기는 유럽형 이동 통신인 GSM(Group Special Mobile) 시스템에 적용될 수 있도록 124개의 도약 채널과 200KHz의 채널 간격을 가지고 있다. 주파수대는 885MHz에서 910MHz이고, 초당 200 도약을 하도록 설계하였다. 본 논문에서는 PLL(Phase Locked Loop)의 획득 시간과 주파수 해상도 문제를 해결하기 위하여 두가지의 기준 주

파수를 사용하였고, 높은 순도의 스펙트럼을 얻기 위하여 Semi-rigid Cable을 이용하여 VCO(Voltage Controlled Oscillator)를 구현하였다.

II. 이론적 고찰

2-1 GSM 시스템의 특징

유럽, 북미, 일본등 선진 각국에서는 기존 아날로그 차량 전화의 용량 포화에 따라 몇 년전부터 디지털 시스템 개발에 착수하여 최근에는 서비스 도입을 위한 시험 단계에 이르고 있다. 유럽의 경우 각국의 이동 통신 방식을 GSM(Group Special Mobile)이라는 통일 표준으로 일원화하여 역내 이동시 어디서나 통화가 가능하도록 하고 있다. 이와 같이 유럽 공동체는 디지털 시스템 개발을 위한 GSM 계획과 더불어 PCN(Personal Communication Network)등 진보된 이동 통신 개발에 선두적 역할을 하고 있다. 반면, 미국의 경우 AMPS(Advanced Mobile Phone Service) 방식과 호환성있는 디지털 방식을 개발하여 사용하고 있으며 일본은 아직 표준화가 되지 않은 상태이다. 유럽에서 추진하고 있는 GSM방식의 특징으로 볼 수 있는 것은 음성 부호화 방식의

표 2.1 GSM 시스템의 제원

Table 2.1 Specification of the GSM System.

TDMA 구조	8 time slots / radio carrier
주 파 수 대	송신 : 935 - 960 MHz
	수신 : 885 - 910 MHz
채 널 수	124개
채 널 간 격	200KHz
변 조 방 식	GMSK(Gaussian Minimum Shift Keying)
부 호 화 방 식	Block, Convolutional Coding
전 송 율	270 kbps
주파수도약방식	SFH(Slow Frequency Hopping)
셀 의 직 경	0.5-35Km

CCITT 표준인 ADPCM을 사용하지 않고 RPE-LPC(Regular Pulse Excitation-Linear Predictive Code)로 대역 압축을 했으며 반송파당 8CH이라는 많은 수를 넣어 송신 비트율을 높게 취한 점이다. 앞의 표 2.1은 GSM 시스템의 제원을 나타내고 있다.

다음 그림 2.1은 GSM 시스템의 RF단 블록도이다.

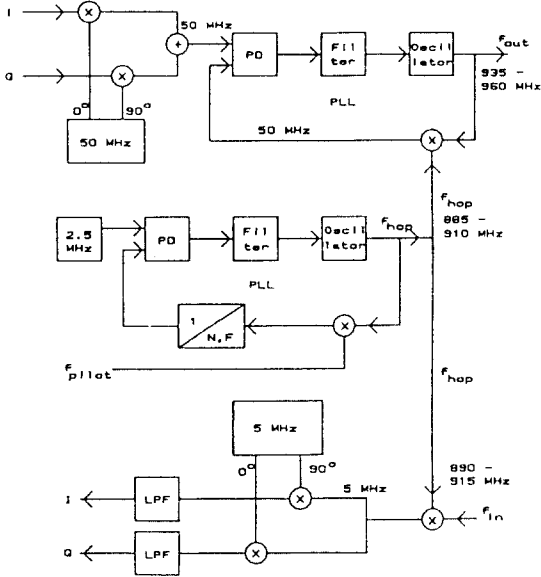


Fig. 2.1. Block Diagram of RF Stage of GSM System.
 f_{in} : 수신 주파수, f_{out} : 송신 주파수, f_{hop} : 도약주파수
 f_{hop} : 파일럿 주파수, I : Inphase 성분,
 Q : Quadrature 성분

그림 2.1. GSM 시스템의 RF단 블록도
 Fig. 2.1. Block Diagram of RF Stage of GSM System.

2-2 주파수 확산 통신 방식의 이론과 방법⁵⁾

대역 확산 통신(Spread Spectrum Communication)은 보내려는 메시지의 대역폭보다 더 넓은 전송 대역폭을 가지고 통신하는 방식을 말한다. 즉 전송할 신호의 대역을 미리 충분히 넓혀서 전력 스펙트럼 밀도를 낮춘 후 전송하여 수신단에서는 거의 백색잡음(White Noise) 레벨 혹은 그 이하의 레벨로 수신하게 된다. 수신된 신호는 송신시 대역을 넓힐 때 사용한 방법을 역으로 사용하여 수신된 신호의 대역폭을 좁힐 후 전력 스펙트럼 밀도가 충분히 커지면 일반적인 통신 방식으로 부호를 행하여 원하

는 정보를 검출해 내는 방식이다. 보내려는 메시지의 신호를 확산 신호를 이용하여 주파수 대역을 확산시킨 다음 수신측에서 같은 확산 신호를 이용하여 주파수 대역을 확산시킨 다음 수신측에서 같은 확산 신호를 이용하여 역확산시키면 본래 메시지의 신호가 나오나 도중에 잡음이나 간섭이 전송되는 확산 대역에 들어가 수신기에 들어올 경우 이러한 잡음이나 간섭은 수신측에서 사용하는 확산 신호와 합하여 대역이 확산된다. 다시 말하면 수신 신호 중 메시지의 신호는 역확산되나 잡음이나 간섭 신호는 도리어 확산되므로 메시지의 대역폭을 가진 여과기를 통하여 메시지 신호는 뽑아내고 잡음과 간섭은 확산된 대역에서 여과기의 대역폭에 해당하는 주파수분만 통과하므로 잡음과 간섭의 영향이 감소된다. 이러한 대역 확산 통신 방법¹²⁾에는

- 1) 주파수 도약(Frequency Hopping : FH)
- 2) 직접확산(Direct Sequence)
- 3) 시간 도약(Time Hopping : TH)
- 4) FH/DS방식

등이 있으며 대역 확산 통신을 이용하면 다음과 같은 장점을 얻을 수 있다.¹²⁾

1) 낮은 전력 스펙트럼 밀도로 인하여 상대방으로 하여금 현재 신호가 존재하고 있다는 사실조차 감지할 수 없도록 할 수 있다.

2) 대역을 넓혔다 좁힐때 서로 꼭 같은 방법을 특정한 절차에 의해서 사용해야만 신호를 검출해낼 수 있으므로 그 방법과 절차를 모를때는 신호가 검출되지 않으므로 상대방 도청에 대한 수 있는 통신 보안 능력이 있다.

3) 음성 대역폭 정도의 좁은 대역의 채널에서도 전송되는 데이터 전송율을 아주 느린 속도로 하여 대역 확산 기법을 사용하면 채널 특성이 매우 나쁜 경우에도 최소한의 필수통신을 행하고 있다.

4) 서로 다른 부호에 의해 확산된 신호를 함께 전송한 경우에도 각각의 신호를 다시 분리할 수 있으므로 부호 분할 다중 전송(CDMA)이 가능하다.

5) 사용한 의사 잡음(Pseudo Noise)부호의 자기 상관 특성에 의해 매우 길이가 긴 부호일지라도 한 비트내의 날카로운 펄스와 같이 재구성될 수 있으므로 원거리 고정밀 측정 레이더에 적합한 기술이다.

6) 사용한 PN부호의 특성 중 자기 상관 특성이 우수하다면 장거리 통신에서 가장 문제가 되는 다중 경로(Multipath) 현상을 극복할 수 있다.

2-3 주파수 합성기³⁾

대역 확산 시스템은 그 구조에 있어서 다른 일반 통신 시스템과 다른 부분이 많이 있으며, 특히 대역을 확산시키는 변조 부분과 확산된 신호를 다시 좁히기 위한 복조 부분, 그리고 복조시 필수적인 동기 부분들이 대표적인 요소이며 그 외에도 광대역 RF 증폭기, 광대역 안테나등이 관련되어 있다.

이에 본 논문에서는 주파수 도약을 위한 주파수 합성기의 설계 및 구현에 관하여 연구하였다.

하나의 기준 주파수로부터 여러개의 정확한 주파수를 만들어내는 장치로서 방식으로는 직접 주파수 합성(Direct Frequency Synthesis)방식과 간접 주파수 합성(Indirect Frequency Synthesis)방식, 그리고 직접 디지털 주파수 합성(Direct Digital Frequency Synthesis)방식 등이 있다. 직접 방식은 하나 또는 2개 이상의 기준 주파수로부터 요구되는 주파수를 합성하는 방식으로 Harmonic Generator, 여파기(Filters), 체배기(Multiplier), 분주기(Divider), 믹서(Mixer) 등으로 구성되어 있다. 이 방식은 빠른 주파수 스위칭, 좋은 주파수 해상도, 낮은 위상 잡음, 높은 동작 주파수 등의 잇점이 있으나, 하드웨어 구현이 용이하지 않고 가격이 높을뿐 아니라 원하지 않는(Spurious) 주파수(주파수 범위가 넓을수록 심해짐)가 발생하는 단점이 있다. 따라서 이러한 단점을 보완하기 위하여 위상 고정 루프(Phase Locked Loop)를 이용한 간접 주파수 합성 방식을 사용하고 있다. 이 방식의 기본 블록도는 그림 2.2와 같다.

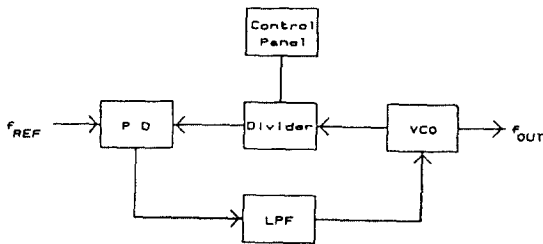


그림 2.2 PLL 주파수 합성기의 블록도

Fig. 2.2 Block Diagram of the PLL Frequency Synthesizer.

VCO의 출력은 분주기에 의해 나누어져 안정한 기준 주파수와 비교된다. 비교된 주파수는 오차 전압(Error Voltage)으로 나타나서 이에 의해 VCO에서

주파수를 발생한다. 이 루프는 제어에 의해 분주기의 계수를 변화하여 여러 가지 주파수를 얻게 된다. Lock되었을 때의 출력 주파수는 식(2-1)로 나타난다.

$$f_{out} = N \cdot f_{REF} \quad (2-1)$$

위상 검출기에서는 기준 주파수와 VCO에서 나온 주파수를 N으로 나눈 주파수와 비교하여 위상의 차가 일정하도록 유지하여 주며, 이 위상차가 일정하면 VCO가 일정한 주파수를 내게 되는데 이 현상을 위상이 고정(Lock)되었다고 한다. 위상 검출기에서의 전압을 수식으로 표현하면 다음과 같으며 전압은 위상 차이에 의해 선형적이다.

$$V_p = K_d(\phi_{REF} - \phi) \quad (2-2)$$

제어 전압은 VCO의 주파수를 조절하므로 제어 전압에 어떤 변화량이 있으면 이는 VCO의 위상 변조를 야기한다. 그러므로 기준 주파수 성분이 여파기를 통과하지 못하도록 설계하는 것이 중요하다. 그러나 PLL의 Lock Time은 루프 대역폭의 함수이므로 더 빠른 Lock Time을 얻기 위해서는 기준 주파수가 높아야 하거나 루프 대역폭이 넓어야 한다. 즉 루프 대역폭에 따른 Lock Time과 Noise 억압과는 서로 상반되므로 설계시 유의하여야 한다. 이러한 디지털 PLL 주파수 합성기의 특징은 크기가 매우 작으며 전력 소비가 매우 작다는 것이다. 반면 VCO의 출력 주파수가 매우 높다면 이 주파수를 분주할 만한 소자가 없다는 것이 단점이다. 기준 주파수를 높일 경우 이를 해결하기 위해서는 Single-Loop가 부적당하므로 Double-Loop로 구성할 수 있다. 디지털 PLL에서 Lock Time은 기준 주파수에 따라 많은 차이가 있다. 즉 기준 주파수가 높으면 Lock Time은 빨라지고 기준 주파수가 낮으면 Lock Time은 길어진다. 즉, 이 방식에서는 출력 주파수가 기준 주파수의 정수배가 된다.

만약 분주율 N이 Programmable Divider에 의해 구현된다면 출력 주파수를 기준 주파수의 증분으로 쉽게 바꿀 수 있다. 따라서 출력 주파수는 기준 주파수와 같이 작은 양의 증분으로 변한다. 그러나, 이는 요구되는 짧은 스위칭 시간과 상반되게 된다. 즉 주파수 해상도 문제와 스위칭 시간 문제를 동시에 만족

시킬 수가 없다. 응답 시간을 줄이는 방법 중의 하나는 Coarse Steering Signal을 인가하는 것이다.¹⁾ 주파수가 분주율 N에 따라 변할 때 Steering Signal이 발생하여 VCO에 직접 인가된다. 그리하여 새로운 주파수를 만든다. 또 다른 방법은 Multiple Phase Locked Loop를 사용하는 것이다. 이 기술의 문제는 루프 주파수가 상당히 커야 한다. Multi-loop 주파수 합성기는 좋은 주파수 해상도를 얻기 위하여 하나 이상의 루프를 사용하고 하나의 루프의 출력을 다른 루프에 인가함으로써 원하는 출력 주파수의 고주파 성분을 얻는다.

루프의 응답 시간을 줄이는 또 하나의 방법은 N이 fractional value를 갖도록 하면 가능하다.²⁾ 출력 주파수는 기준 주파수의 fractional한 증분에 의해 바뀐다. 비록 다지달 분주기가 fractional한 분주율을 제공하지 못하지만 Digiphase라 불리는 기술에 의해 이를 구현할 수 있다. 가장 많이 사용되는 방법은 M 사이클 동안은 N+1로 분주하고 나머지 시간에는 N으로 분주하는 것이다. 그러면 실효 분주율은 $N + M^{-1}$ 이 되고 평균 출력 주파수는 $f_0 = (N + M^{-1})f_c$ 이 된다. f_0 는 M을 변화시킴으로써 기준 주파수의 fractional한 증분만큼 변하게 할 수 있다.

또 다른 방법은 기준 주파수를 두가지로 분주하여 사용하는 것이다. Lock하는 과정에서는 기준 주파수가 크게 되도록 분주하여 획득 시간을 빠르게 하고 Lock이 된 후에는 기준 주파수가 작게 되도록 분주하여 주파수 해상도를 좋게 하는 방법이다. 본 논문에서는 이와 같이 기준 주파수를 두가지로 분주하여 획득 시간과 주파수 해상도 문제를 해결하는 방법을 택하였다.

III. 시스템의 설계 및 구현

3-1 VCO의 설계 및 구현

3-1.1 VCO의 이론

VCO는 입력 제어 전압에 따라 출력 주파수가 변하는 소자이다. 따라서 VCO는 Voltage-to-Frequency Converter라고 한다. VCO의 출력 주파수는

$$f_0 = K_0 / 2\pi V_c \quad (3-1)$$

이며 여기서 f_0 : VCO의 출력 주파수

V_c : 루프 필터로부터의 입력 제어 전압

K_0 : VCO의 변환이득 이다.

VCO의 일반적인 조건은 다음과 같다.

- 1) 발진 주파수가 제어 전압 V_c 에 대하여 직선적으로 변해야 한다. 즉, 불연속점이 없어야 한다.
- 2) 발진 출력의 변화는 가급적 작은 것이 좋다.
- 3) 가주파수성분이 적은 것이 좋다.
- 4) 공급 전압(Supply Voltage)의 변화가 $5V \pm 10\%$ 즉 4.5V-5.5V가 될 것을 고려하여 주파수 가변 범위에 여유가 있어야 한다.
- 5) 변조 대역폭이 넓어야 한다.
- 6) 중심 주파수가 안정되어야 한다.

3-1.2 VCO의 설계

VCO 공진 회로에서는 인덕터의 불량한 Q(Quality factor)에 의해 위상 잡음 스펙트럼의 상태가 나빠진다. 따라서 80MHz 이상 주파수에서의 공진은 인덕턴스를 발생하는 Quarter-wave 전송 선로 기술을 이용한다. 이러한 전송 선로 VCO는 LC 공진에 비해 온도 특성과 위상 잡음 특성이 우수하다.³⁾

본 논문에서는 FILOTEX사의 TW.A165 Semi-rigid cable을 이용하여 공진기를 구성함으로써 일반 LC 소자보다 높은 Q특성으로 인해 높은 순도의 스펙트럼을 얻을 수 있었다. Semi-rigid cable을 이용하여 공진기를 구성함으로써 일반 LC소자보다 높은 순도의 스펙트럼을 얻을 수 있었다. Semi-rigid

표 3.1 Semi rigid cable RW.A165의 특성
Table 3.1 The Characteristic of Semi rigid cable TW.A165

FILO TEX TYPE	도체		절연체		튜브		최대무게 Kg / km	임피던스 (200MHz) Ω	최대정전용량 pF / m	최대동작 주파수 GHz	최대감쇄량 (1GHz) dBm / m
	재질	φ(mm)	φ(mm)	재질	φ(mm)						
Tw.A165	Cw.Ag	0.51	1.68 ±0.05	Cu.R	2.20 ±0.025	22.8	50±1.5	105	20	0.72	

cable TW.A165의 특성은 표 3.1과 같다.

그림 3.1은 cable을 이용한 직렬공진회로이다.¹⁶⁾

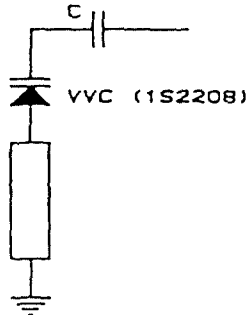


그림 3.1 직렬 공진회로
Fig. 3.1. Serial Resonant Circuit.

공진을 하려면 $\lambda/4$ (885MHz에서 8.5cm)의 cable이 필요하나 실제 기판의 크기 문제로 인하여 cable을 2cm로 줄이고 줄인 길이의 보상은 2pF의 직렬 캐패시터를 이용하여 해결하였다.

3-1.3 주파수 안정도¹⁷⁾

발진기가 일정한 주파수로 발진하는 경우 발진 주파수의 안정도를 말하며 일반적으로 f/f_0 와 같이 표현하고 f 는 변화 주파수, f_0 는 발진 주파수를 나타낸다.

발진기의 주파수 변동 원인은 주위 온도등의 영향과 전원 전압의 변동 및 부하 변동에 의한 영향으로 분수 있다. 주위 온도등의 영향은 발진 회로의 주위 온도 변화가 공진 회로의 L,C값의 변화를 초래하므로 주파수 변동을 일으킨다. 코일의 온도 계수는 대략 일정하지만 캐패시터의 온도 계수는 재료와 구조 등에 의해서 달라지기 때문에 캐패시터의 온도 보상에 의하여 L,C값을 일정하게 유지하는 방법도 있다. 그러나, 이상적인 온도 보상은 곤란하며, 극단적인 온도 상승이 있을때는 온도 특성은 현저하게 나빠지기 때문에 LC회로를 열차폐하는 것이 무엇보다도 효과적이다.

또한 전원 전압의 변동으로 인한 영향은 발진기의 전원 전압이 변하면 트랜지스터의 동작점이 변하여 각 계수가 변하고 이것이 변하면 주파수가 변한다. 따라서 효과적인 대책으로는 정전압 회로등을 사용하는 것으로 전원 전압의 변동으로 동작점 Q가 불안

정하게 되는 것을 효과적으로 방지할 수 있다. 또한, 위상 고정 루프에 사용되는 VCO는 기준 주파수의 주파수 안정도와 같아지므로 기준 주파수 발생기로서 온도 보상 수정 발진기(TCXO)를 사용하면 아주 좋은 출력 주파수 안정도를 얻을 수 있다.

3-2 위상 검출기의 설계 및 구현

위상/주파수 비교기는 크게 두 종류로 나눌 수 있다. 하나는 두 신호의 위상 차이만 비교하는 것인데 이러한 경우에는 VCO가 항상 고정 범위(Locking Range) 안에 있어야 한다. 이러한 것을 위상 검출기라고 하며 Diode Ring, Exclusive-OR, Sample/ Hold 비교기 등이 있다. 다른 하나는 3상(Tri-Stage) 또는 Sequential 위상/주파수 비교기인데 디지털 주파수 합성기에 주로 쓰인다.

3-2.1 Charge-Pump 위상 검출기⁸⁾

최근 디지털 PLL에서 가장 많이 사용되는 위상 검출기로는 PFD(Phase Frequency Detector)를 들 수 있다. PFD를 사용한 PLL을 Charge-pump PLL이라고도 하는데 이는 주파수와 위상을 동시에 비교하기 때문에 넓은 추적 범위(tracking range)와 빠른 추적 속도(tracking speed)를 갖는다.¹¹⁾

Charge Pump는 PFD의 로직 상태의 출력력을 VCO를 제어하기 위한 아날로그 신호로 바꾸는 역할을 한다. 다음은 Charge-Pump PLL의 기본 블럭도이다.

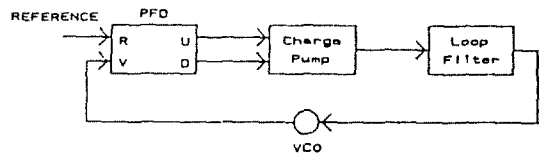


그림 3.2 Charge-pump PLL의 기본 블럭도
Fig. 3.2 Basic Block Diagram of Charge Pump PLL.

위상 오차에 따른 PFD 출력과 Charge-pump의 전류는 표 3.1과 같다.

VCO의 위상이 앞서는 경우는 D의 출력이 "1"이 되어 Charge-pump 전류 $-I_p$ 가 흐르고, VCO의 위상이 뒤지는 경우는 U의 출력이 "1"이 되어 Charge-pump 전류 I_p 가 흐르게 된다. 또 위상이 고정된 경우

표 3.1 PFD 출력과 Charge-pump 전류

Table 3.1 Output of PFD and Charge pump

PFD 위상 상태	출력		Charge pump 전류
	U	D	
VCO가 앞질때	0	1	$-I_p$
VCO가 뒤질때	1	0	I_p
위상 고정시	0	0	0

는 U, D의 출력이 "0"이 되어 전류가 흐르지 않게 된다. 즉 Charge-Pump는 PFD의 논리상태의 출력을 아날로그로 변환하여 VCO를 제어하게 된다.

3-2.2 Sample-Hold 위상 검출기^{41, 48)}

기준 신호는 주기적으로 스위치를 단락하여 충전 캐패시터(C_{ch})를 충전, 방전시킴으로써 기준 신호와 같은 주기의 톱니 파형을 만든다. 또 VCO 신호는 톱니파를 샘플링하고 홀드 캐패시터를 샘플링 전압으로 충전시켜 오차 전압을 발생시킨다. 위상이 고정된 경우는 샘플 전압이 톱니파의 중앙에 오게된다. 만약 VCO 주파수가 기준치보다 빠른 경우는 샘플 펄스의 위상이 뒤지게 되어 샘플링이 낮은 전압에서 일어나게 되어 오차 전압이 낮아지게 된다. 오차 전압이 낮아지게 되면 VCO 공진 회로의 캐패시턴스값이 증가하여 VCO 주파수를 낮추어 기준 주파수와 위상 고정 되도록 한다. 마찬가지로 VCO 주파수가 기준치보다 낮은 경우 보다 높은 톱니파 전압에서 샘플되도록 샘플 펄스의 위상이 앞지게 된다. 따라서, 오차 전압이 증가하여 VCO 공진 회로로부터 캐패시턴스값을 감소시켜 VCO 주파수를 증가시킴으로써 위상 고정 되도록 한다. 즉 위상 차이에 비례하는 출력을 내게

된다.

이러한 Sample-Hold 위상 검출기는 기준 신호를 80dB 정도 억압하는 특성이 있다. 그림 3.3은 Sample-Hold 위상 검출기의 블럭도이다.

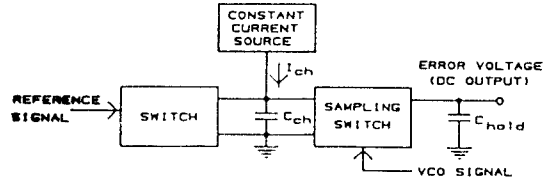


그림 3.3 Sample-Hold 위상 검출기의 블럭도

Fig. 3.3 Block Diagram of Sample-Hold Phase Detector

3-2.3 구현한 위상 검출기

본 논문에서는 위의 두가지 위상 검출기를 혼합한 위상 검출기를 사용하여 두가지의 장점을 모두 취하고 있다. 즉 Charge-Pump 위상 검출기를 사용하여 주파수와 위상을 동시에 비교함으로써 넓은 추적 범위와 빠른 추적 속도를 갖게 되고, Zero-Order Hold가 내재된 Sample-Hold 위상 검출기를 사용함으로써 기준 주파수를 억압하게 되어 높은 순도의 출력 스펙트럼을 얻게 된다. 그림 3.4는 본 논문에서 구현한 위상 검출기의 블럭도이다.

이러한 혼합 위상 검출기는 PFD와 Sample-Hold 위상 검출기가 내재된 PLL용 NJ8820(Plessey 제품) 칩을 이용하여 구현하였다.

3-3. 루프 필터의 설계 및 구현

본 논문에서는 3차 루프 필터를 구성하였다. C_1/C_2 가일 경우 3차 루프는 2차 루프로 근사화될 수 있으므로 다음과 같은 등가 회로로부터 루프 해석

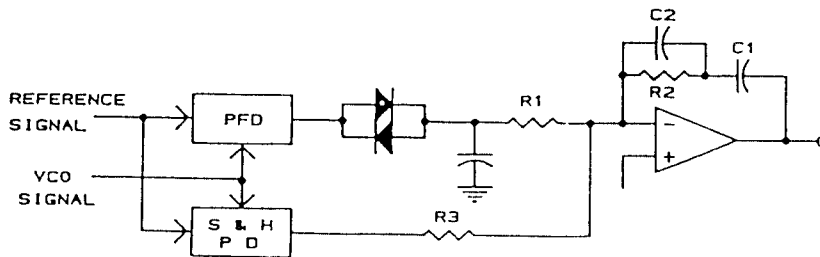


그림 3.4 혼합 위상 검출기

Fig. 3.4 Hybrid Phase Detector.

을 하였다.^[4]

2차 루프의 전달 함수

$$F(S) = \frac{1}{s} \frac{\tau_1 s + 1}{\tau_1} \quad (3-2)$$

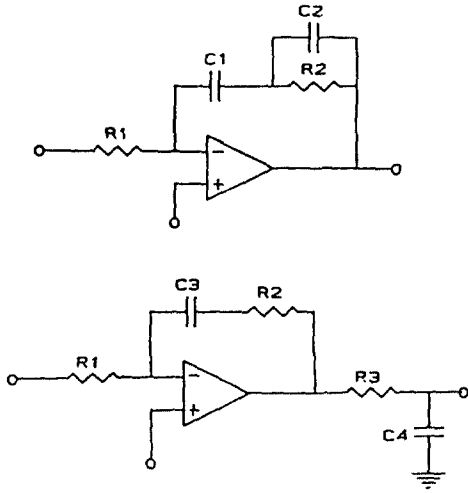


그림 3.5 (a)3차 루프 필터 (b)등가 회로
Fig. 3.5 (a)3rd Order Loop Filter
(b)Equivalent Circuit

에서 3차 루프 전달 함수는 다음 식(3.3)과 같다.^[4]

$$H(S) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3-3)$$

또한, 자연 주파수와 제동비(Damping factor) 그리고 3dB 대역폭은 다음과 같다.

$$\omega_n = \left(\frac{K \cdot R_2}{\tau_2 R_1} \right)^{1/2} \quad \text{rad / s} \quad (3-4)$$

$$\zeta = \frac{1}{2} \left(K \tau_2 \frac{R_1}{R_2} \right)^{1/2}, \quad K = K_o \cdot K_p \quad (3-5)$$

$$B_{3dB} = \frac{\omega_n}{2\pi} \left[2\zeta^2 + 1 + \sqrt{(2\zeta^2 + 1)^2 + 1} \right]^{1/2} \quad (3-6)$$

여기서 입력 주파수와 VCO 이득과 위상 검출기 이득은 다음과 같다.

$$\omega = 2\pi \cdot 200 \times 10^3 \text{ [rad / sec]}$$

$$K_o = \frac{2\pi \cdot 25 \times 10^6}{2.5 \times 4500}$$

$$I_p = 2.5 / R_1$$

$$K_p = 5 / 2\pi$$

위의 식들을 이용하여 안정 영역에서의 루프 파라미터를 구하면 다음과 같다.

$$\tau_1 = 2.96 \mu\text{sec}, \quad \tau_2 = 23.2 \mu\text{sec}$$

$$B_{3dB} = 200 \text{KHz}, \quad \zeta = 0.707$$

$$K = K_o \cdot K_p = 11 \times 10^3$$

각 위상 검출기의 상대 방정식을 이용하여 획득 시간을 계산하였다. $b=50$, $\omega\tau_2=30$, $K\tau_2=3$ 으로 하였을 경우 획득 시간은 $500[\mu\text{sec}]$ 가 된다.^[11] 도약 속도가 200hop/sec일 경우 전송 시간은 5msec가 된다. 즉 획득 시간이 전송 시간의 10%에 해당하므로 데이터 손실 없이 전송이 가능함을 알 수 있다. 이러한 루프 파라미터를 이용하여 소자값을 구한 결과는 다음과 같다.

$$R_1 = 550[\Omega] \quad R_2 = 4320[\Omega] \quad R_3 = 955[\Omega]$$

$$C_1 = 15[\text{nF}] \quad C_2 = 270[\text{pF}]$$

3-4. 분주기의 설계 및 구현^[4]

분주기는 VCO의 주파수를 기준 주파수와 비교하기 위하여 VCO의 출력을 분주하는데 쓰이며 또 기준 주파수 신호원으로부터 기준 주파수를 만들어 내는데 쓰인다. 기준 주파수 신호원으로부터 기준 주파수를 만들어 내는 데는 고정값을 갖는 분주기로 구성하지만 VCO의 출력을 기준 주파수와 비교하기 위해 나누는 데는 Programmable 분주기를 사용해야 한다.

또 VCO의 주파수가 매우 높을 경우(100MHz-1GHz)에는 ECL로 구성된 Prescaler를 이용하여 우선 주파수를 낮춘 다음 CMOS, TTL 분주기를 이용한다.

본 논문에서는 Two-Modulo Prescaler를 이용하였다.

초기 상태에서는 Modulo Control Signal이 "0"이 되고 Swallow Counter가 "zero" 상태가 될 때까지 N_0 로 분주하게 된다. 이때 Modulo Control Signal이 "1"이 되고 Program Counter가 "zero" 상태가 될 때까지 N_1 로 분주하게 된다. 따라서 전체 분주수는 $N = N_0 N_s + N_1 N_p$ 가 된다. 실제 회로에서는 고주파용

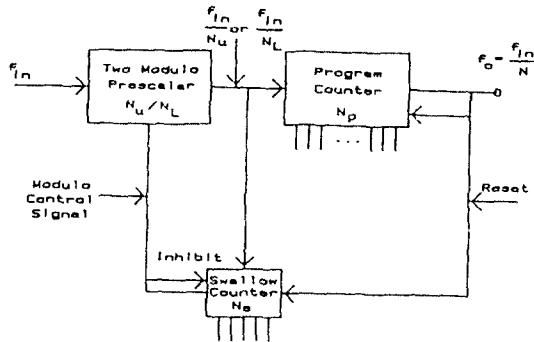


그림 3.6 Two-Modulus Prescaler의 블록도
Fig. 3.6 Block Diagram of the Two Modulus Prescaler

Prescaler인 MB501L을 사용하여 "64/65"로 분주하였다.

또한 제어기는 CMOS형 단일칩 마이크로 컴퓨터 MC803C1을 사용하여 구현하였으며 특정 주파수에 따른 분주기 제어 신호는 표 3.2와 같다.

예를 들면 주파수 합성기의 출력 주파수가 885.00MHz인 경우를 보자.

$$\begin{aligned} \text{전체 분주수는 } N &= N_U + N_S N_P \\ &= (N_U + 1) N_S + N_L N_P \\ &= N_U (N_P + N_S) + N_S \\ &= N_U M + A \end{aligned}$$

즉 $A = N_S$, $M = N_P + N_S$ 이다.

따라서 $f_0 = 885\text{MHz}$, $f_s = 200\text{kHz}$, $N_U = 64$ 이므로

$$N = \frac{885\text{MHz}}{200\text{kHz}} = 4425$$

$$M = 69 = 0001000101\text{H}$$

$$A = 9 = 0001001\text{H}$$

표 3.2 분주기 제어 신호
Table 3.2 Divider Control Signal

주파수 (MHz)	제어 신호(17bit)		주파수 (MHz)	제어 신호(17bit)	
	A(7bits)	M(10bits)		A(7bit)	M(10bits)
885.00	0001001	0001000101	900.00	0010100	0001000110
890.00	0100010	0001000101	905.00	0101101	0001000110
895.0	0111011	0001000101	910.00	0000110	0001000111

가 된다.

IV. 실험 및 결과

4.1. VCO의 측정 결과

4.1.1 VCO의 회로도

다음 그림 4.1은 Semi rigid Cable을 이용한 VCO의 회로도이다.

4.1.2 VCO의 출력 스펙트럼과 f/V 특성

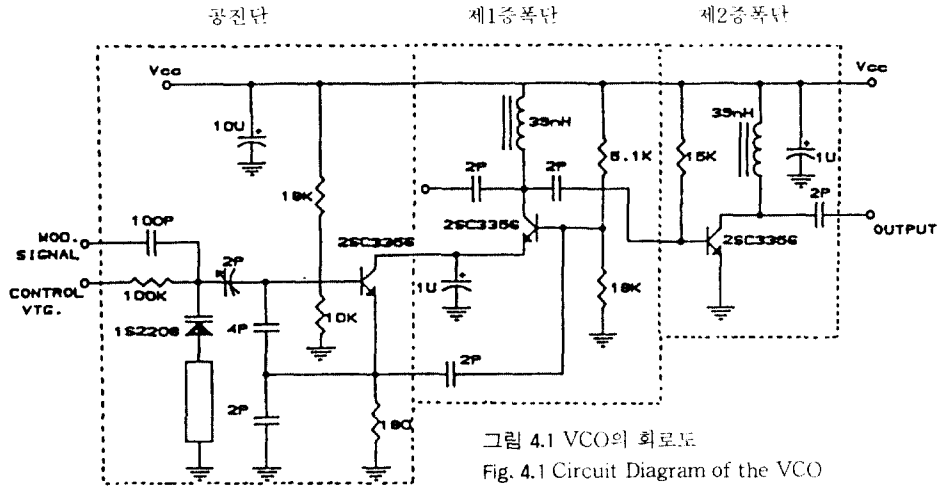
그림 4.2는 위상 고정된 885MHz에서 910MHz까지의 출력 스펙트럼이며 일정한 출력 파형이 나타남을 알 수 있다. VCO만의 출력은 스펙트럼 분석기 상에서의 흔들림으로 정확히 측정할 수 없으므로 위상 고정된 VCO의 출력은 -5dBm 정도로 원하는 수준인 0~2dBm에는 약간 못미치나 공동 에미터형 제2 증폭기형을 이용하여 보완할 수 있으며 이 경우 주파수의 변동을 예상할 수 있으나 제1 증폭단이 완충 역할을 하여 주파수의 변동은 거의 없게 된다.

그림 4.3은 VCO의 f/V 특성으로서 입력 전압에 대한 출력 주파수가 선형적인 관계를 가짐을 알 수 있다. 입력 전압이 1V에서 3.5V까지 변화함에 따라 출력 주파수가 885MHz에서 910MHz까지 변화하므로 VCO의 이득 K_v는 $10 \times 10^6 [\text{MHz/V}]$ 로 일정함을 알 수 있다.

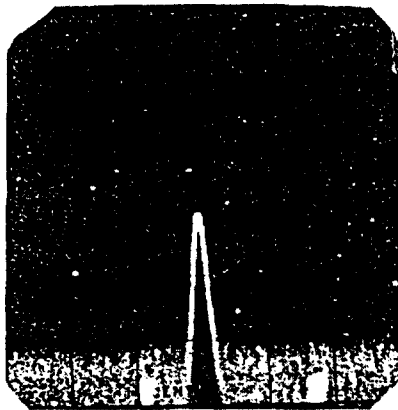
4.2. 주파수 합성기의 출력결과

4.2.1 주파수 합성기의 회로도

다음 그림 4.4는 Charge-Pump PLL을 이용한 주파수 합성기의 전체 회로도이며 그림 4.5는 시스템의 실재도이다.



885MHz의 출력 스펙트럼



910MHz의 출력 스펙트럼

$\Delta_{0.3dB} = 0.8\text{MHz}$

(X축: 5MHz/div, Y축: 10dB/div)

그림 4.2 VCO의 출력 스펙트럼

Fig. 4.2 Frequency Spectrum of the VCO

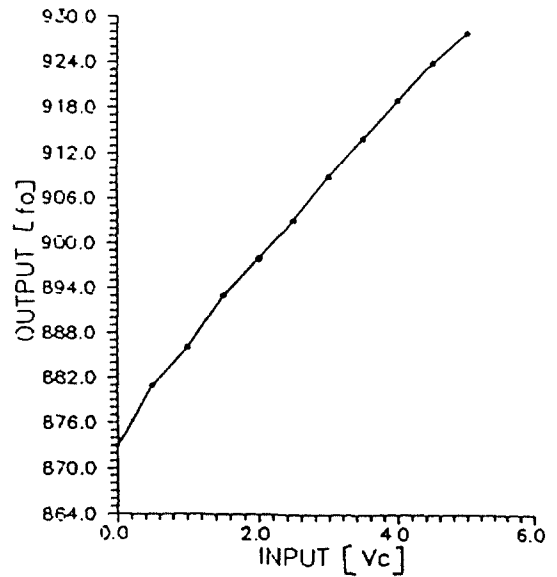


그림 4.3 VCO의 f/V 특성

Fig. 4.3 The f/V Characteristics of the VCO

본 주파수 합성기는 PLL 칩으로써 NJ8820을 사용하였고 LD(Lock Detector) 신호에 따라 멀티플렉서를 이용하여 기준 주파수를 2MHz에서 200KHz로 바꾸게 된다. 이때 루프의 대역폭 또한 2MHz에서 200KHz로 바뀌어야 하나, 기준주파수 억압을 위하여 200KHz로 구현하였다. 제어기로부터 나오는 제

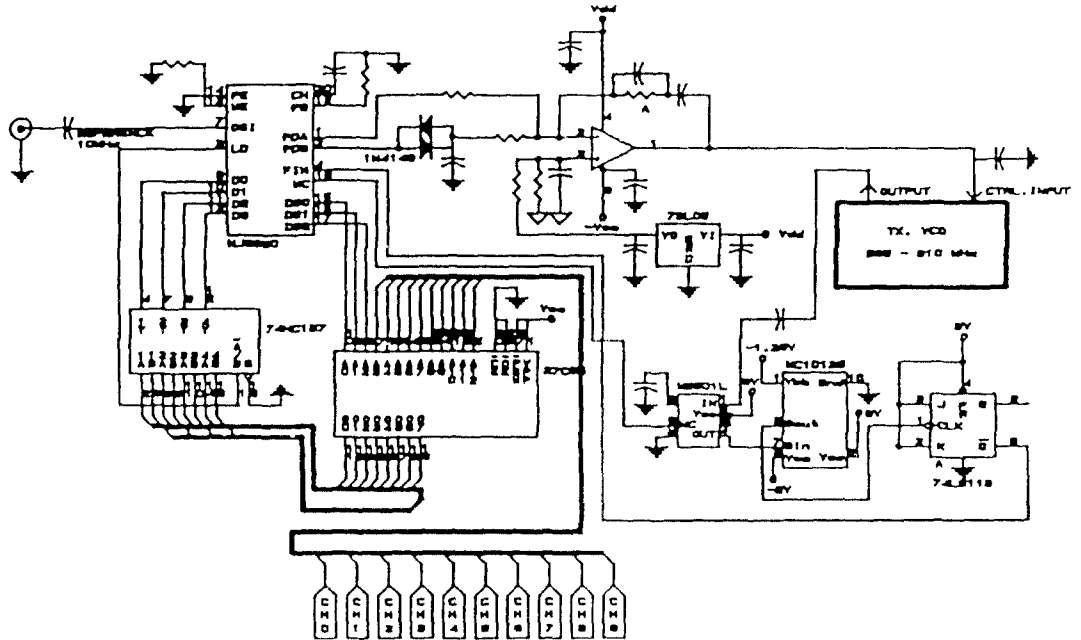


그림 4.4 주파수 합성기의 회로도
Fig. 4.4 Circuit Diagram of the Frequency Synthesizer

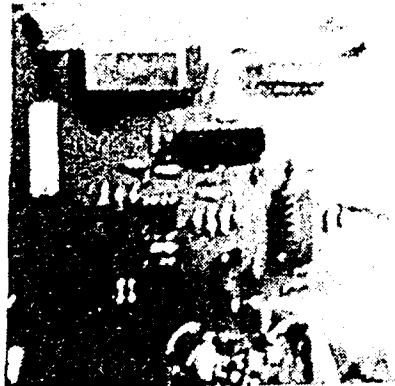
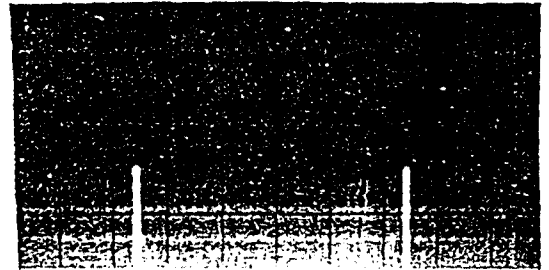


그림 4.5 시스템의 실제 사진
Fig. 4.5 Photo of the Implemented System

어신호에 따라 27C64 ROM Table의 분주 데이터를 읽어들이 주파수 도약하게 된다.

4.2.2 주파수 도약시의 출력 스펙트럼

그림 4.6은 885MHz와 910MHz의 두개의 주파수로 도약하는 경우의 도약 스펙트럼이다.



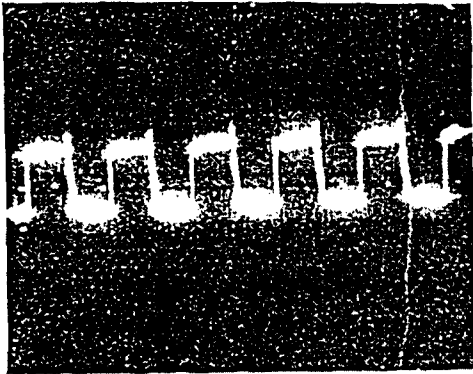
(X축 : 5MHz /div, Y축 : 10dB /div)
그림 4.6 주파수 도약시의 출력 스펙트럼
Fig. 4.6 Frequency Spectrum of Synthesizer with Frequency Hooping

4.2.3 제어 전압의 출력 파형

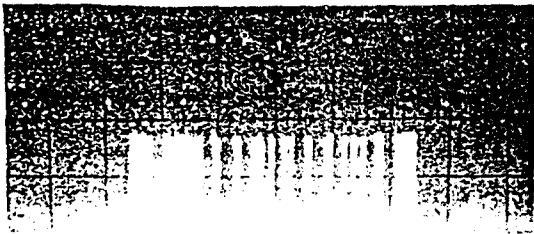
위와 같이 두개의 주파수로 도약할 경우에서의 제어 전압의 파형을 그림 4.7에 나타냈다.

각 제어 전압의 유지 시간이 5msec이므로 초당 200hop의 도약을 하고 있음을 알 수 있다.

그림 4.8은 구현한 주파수 합성기의 전내역 도약시의 출력 스펙트럼이다.



910MHz(4.0V) 885MHz(1.5V)
 (X축 : 5msec /div, Y축 : 2V /div)
 그림 4.7 제어 전압의 출력 파형
 Fig. 4.7 Waveform of the Control Voltage



(X축 : 5MHz /div, Y축 : 10dB /div)
 그림 4.8 전대역 도약시의 출력 스펙트럼
 Fig. 4.8 All band hopped spectrum of synthesizer

V. 결 론

본 논문에서는 유럽형 이동 통신인 GSM(Group Special Mobile) 시스템에서의 도약 주파수 합성기의 설계 및 제작에 관한 연구를 하였다. 제작한 VCO는 Semi-rigid Cable을 이용하여 높은 Q의 양호한 출력 스펙트럼을 얻을 수 있었다. 출력 레벨이 -5dBm으로 낮으나 CE 증폭기를 이용하여 보완이 가능하리라 생각한다. 또한, PFD를 이용하여 획득 시간을 단축하였고 Sample-Hold 위상 검출기를 이용하여 기준 주파수 억압 효과를 가져온 반면 기준 주파수를

두가지로 분주하여 획득 시간과 주파수 해상도 문제를 해결하였다. 주파수 도약 특성으로는 초당 200 도약을 구현하였고 Fractional 분주기를 사용한다면 기준 주파수를 높일 수 있기 때문에 획득 시간을 줄일 수 있어 더 높은 도약 속도를 얻을 수 있으리라 예상된다. 또한 VCO의 이득을 선형화하는 회로를 이용하여 VCO를 직접 변조할 때 전대역에서 균일한 변조 지수를 갖게할 수 있을 것이다.

참 고 문 헌

1. Robert C.Dixon, Spread Spectrum Systems, John Wiley & Sons., 1984.
2. Marvin K.Simon, et. al, Spread Spectrum Communication, Vol. I, Scirnce Science Press, 1986.
3. Jack Smith, Modern Communication Circuits, McGraw-Hill, 1986.
4. Ulrich L.Rohde, Digital PLL Frequency Synthesizers Theory and Design, Prentice-Hall 1983.
5. Pickholtz, R.L., Schilling, D.L., and Milstein, L.B., "Theory of Spread Spectrum Communications-A Tutorial", IEEE Trans. Commun., vol. COM30, No.5, May 1982, pp.855-884.
6. 차균현, 디지털 이동통신을 위한 주파수 합성기 구현에 관한 연구, 연구보고서, 1990.
7. 차균현, VHF 대역 Exciter 구성에 관한 연구, 연구보고서, 1988.
8. Floyd M Gardner, "Charge Pump Phase-Locked Loops", IEEE Trans. on Commun Vol COM 28, No. 11, November 1980.
9. Vadim Manassewitsch, Frequency Synthesizers Theory and Design, John Wiley & Sons 1976.
10. F.M.Gardner, Phase lock Technique, John Wiley & Sons 1979.
11. 김재형, 주파수 도약 2진 FSK 송수신기 설계 및 구현에 관한 연구, 고려대학교 전자공학과 박사 학위 논문, 1989.



李 彰 浩 (Chang Ho LEE) 정회원
 1965년 3월 16일생
 1989년 2월 : 고려대학교 전자전산공
 학과 졸업 (공학사)
 1991년 2월 : 고려대학교 대학원 전
 자공학과 졸업 (공학
 석사)
 1991년 7월 ~ 현재 : 군 북부중.



朴 瑛 哲 (Young Chull PARK) 정회원
 1958년 7월 27일생
 1981년 2월 : 고려대학교 전자공
 학과 졸업 (공학사)
 1987년 2월 : 고려대학교 대학원
 전자공학과 졸업 (공
 학석사)
 1987년 2월 ~ 1989년 9월 : 삼성전
 자통신연구소연구원
 1989년 2월 ~ 현재 : 고려대학교 대학원 전자공학과박사과정
 1991년 3월 ~ 현재 : 대우공업전문대학 전자통신과전임강사



車 均 鉉 (Kyun Hyon TCHAH) 정회원
 1939년 3월 26일생
 1965년 : 서울대학교 공학사
 1967년 : 미국일리노이대학교 공학
 석사학위 취득
 1976년 : 서울대학교 공학박사 학위
 취득
 1987년 ~ 현재 : 고려대학교 전자전산
 공학과 교수

※ 주관심분야는 CAD 및 통신시스템등.