

論文92-29A-1-4

## 집적회로상의 선간 정전용량 계산을 위한 시뮬레이션에 관한 연구

(A Study on the Simulation of Interconnection  
Capacitance Calculation for VLSI)

朴 和 植\*, 劉 東 和\*\*, 宋 榮 珍\*, 黃 好 正\*

(Hwa Sik Park, Dong Hwa Yoo, Young Jin Song, and Ho Jung Hwang)

## 要 約

유전체내에 존재하게 되는 신호선에 대한 2차원 선간 정전용량 계산방법을 제시하였다. 유전체층의 수와 신호선의 수는 임의적이다. 캐패시턴스 파라미터를 계산하기 위해 경계요소법(BEM)을 도입하였으며 유전체의 경계면과 도체의 표면은 미소구간으로 나누어지며 미소구간 내에서의 표면 전위가 일정하다고 가정하게 되는 일정요소를 채택하였다. 이로부터 표면 전하밀도와 캐패시턴스 파라미터를 계산하여 실험치와 비교하였다. 그 결과 BEM을 이용한 선간 정전용량 계산이 매우 정확하고 효율적인 것으로 판명되었다.

## Abstract

In this paper, a method for the calculation of 2-dimensional interconnection capacitance for a multi-interconnection signal line in a dielectric region is presented. The numbers of dielectric layers and signal lines are arbitrary. To calculate the capacitance parameter, Boundary Element Method is used, and the dielectric interface and the surface of lines are divided into subsections. The advantages of BEM are small CPU-time and more exact solution due to the directly calculated values of capacitance only at the boundary of domain. It is adopted that the surface capacitance of each subsection assumed constant. The solution of surface charge density and capacitance parameter are calculated in a given domain.

## I. 서 론

VLSI/ULSI 시대에 접어들면서 반도체소자의 소형화와 집적도의 증가는 칩상의 신호전송의 전체 길이를 증가시키는 추세이다.

집적회로의 속도가 선형적으로 증가하기 위해서는 도체의 단위길이당 정전용량의 값이 변화가 없어야 하며 이를 위해서는 도체의 두께, 폭 및 도체선간의 간격이 같은 비율로 scaling 되어져야만 한다. 집적도에 따른 신호선 상호간의 정전용량과 도체의 접지 평면간에 나타나는 정전용량의 값은 크게 증가되고 있는 추세이므로 집적회로의 동작특성을 예측하기 위해서는 정확한 정전용량의 산출이 필요하다.<sup>[1][2][3]</sup> 이와같은 정전용량의 증가는 회로의 스위칭속도를 감소시키고 회로지연을 증가시키는 중요한 원인이 된다.

\*正會員, 中央大學校 電子工學科  
(Dept. of Elec. Eng., Chungang Univ.)

\*\*正會員, 韓國電子通信研究所  
(Electronic Telecommunication Research Institute)  
接受日字: 1991年 1月 14日

지금까지 연구되어온 방법은 해석적인 방법<sup>[7]</sup> 유한차분법(FDM:finite difference method)<sup>[8]</sup> 유한요소법(FEM:finite element method)<sup>[9]</sup> 경계요소법(BEM:boundary element method)<sup>[6]</sup> 등이 있다. 해석적인 방법은 복잡한 기하학적인 구조에서 적용이 용이하지 못하고, 유한차분법과 유한요소법은 해석영역내의 모든 요소절점에서 전위를 구해야 하며 메모리 용량의 증가와 CPU 시간이 길어진다는 단점이 있는 반면 경계요소법은 해석영역의 경계에서만 직접 전위를 구해 정전용량을 계산하기 때문에 CPU 시간의 감소와 함께 보다 정확한 정전용량값을 산출할 수 있다.

특히 실제공정상 발생하는 비평탄 경계면, 다층매질 유전체등의 문제를 처리하기 위해서는 경계요소법의 적용이 불가피하다. 따라서 본 연구에서는 일정요소, Gauss 적분을 이용한 BEM 정식화, 이산화에 의하여 복잡한 기하학적 구조를 갖는 소자에서의 정전용량을 효율적으로 계산 가능한 시뮬레이터를 개발하였다.

II 장에서는 정전용량 계산모델과 방법을 설명하였고, III 장에서는 경계요소법을 적용하기 위한 경계조건의 설정과 지배방정식에 대한 이산화 과정을 설명하였고, IV 장에서는 Simulation 결과 검증, V 장에서 결론을 나타내었다.

II. 선간 정전용량 계산모델과 방법

1. 선간 정전용량 계산모델

집적회로내의 신호를 전송하는 도선의 일반적인 2차원적 형태는 그림1과 같이 나타내어진다. 신호선이 필드산화층 위에 있고 필드산화층 밑에 채널 방지용 이온주입층이 존재하기 때문에 계산형 모델인 그림2에서 접지평면으로 나타내었다.

그림3은 이에 대한 등가회로를 나타내었다.

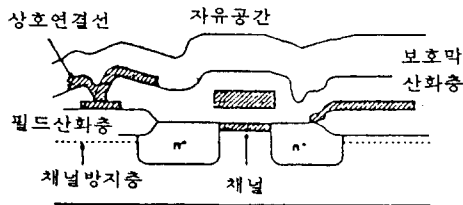


그림 1. 일반적인 집적회로 단면도  
Fig. 1. A cross-sectional view of a typical integrated circuit.

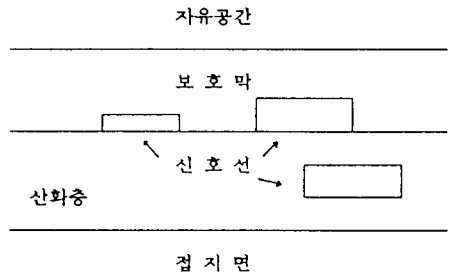
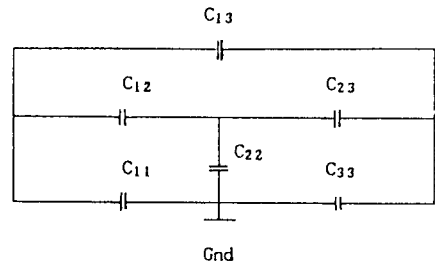


그림 2. 선간 정전용량 계산형 모델  
Fig. 2. Computational model of interconnecting capacitance.



- C<sub>12</sub>: Metal 1과 Metal 2사이의 정전용량
- C<sub>13</sub>: Metal 1과 Metal 3사이의 정전용량
- C<sub>23</sub>: Metal 2와 Metal 3사이의 정전용량
- C<sub>11</sub>, C<sub>22</sub>, C<sub>33</sub>: Metal 1, 2, 3 각 선과 접지면과의 정전용량

그림 3. 등가회로  
Fig. 3. Equivalent circuit.

2. 선간 정전용량 계산방법

접지평면위의 도체수가 N개 라고 하면 전하량과 도체평면의 전위 사이의 관계식은 다음과 같이 나타낼 수 있다<sup>[4]</sup>

$$\begin{aligned}
 Q_i &= C_{i1}V_1 + \sum_{j=1, 2, \dots, N} C_{ij}(V_1 - V_j) \quad i=1, 2, \dots, N \\
 Q_1 &= C_{11}V_1 + C_{12}(V_1 - V_2) + \dots + C_{1N}(V_1 - V_N) \\
 Q_2 &= C_{21}(V_2 - V_1) + C_{22}V_2 + \dots + C_{2N}(V_2 - V_N) \\
 &\vdots \\
 Q_N &= C_{N1}(V_N - V_1) + C_{N2}(V_N - V_2) + \dots + C_{NN}V_N
 \end{aligned} \tag{1}$$

사용된 계수는 다음과 같다.

$V_1, V_2, V_3, \dots, V_N$ ; 접지평면에 대한 도체전압  
 $C_{11}, C_{22}, \dots, C_{NN}$ ; self-capacitance  
 $C_{ij}$  ; 도체간 coupling capacitance  
 도체표면의 단위길이당 전하밀도는 도체표면의 전  
 위로서 구할 수 있으며 다음식으로 표현된다.<sup>6)</sup>

$$Q_j = \int_{\Gamma_j} \epsilon \vec{E} \cdot \vec{n} d\Gamma$$

$$C_{ij} = - \frac{\delta Q_j}{\delta V_i} \quad (2)$$

여기서,  $\Gamma_j$  : j번째 도체표면  
 $\epsilon$  : 유전율  
 $\vec{E}$  : 전계 (electric field)  
 $\vec{n}$  : 도체표면의 법선방향의 단위벡터  
 식(2)에 의하여 선간정전용량을 구할 수 있다.

### III. 모델의 수치해석

유전체내에 존재하는 도체간 정전용량 계산을 위  
 하여 식(2)와 같이 도체간 전위변화에 대한 전하밀도  
 변화량을 도출해야 한다. 이 전하변화량은 도체평면  
 상의 단위법선 방향으로의 전계변화를 선적분 함으  
 로써 구해짐을 고찰하였다. 유전체내에서의 전위변  
 화는 Laplace방정식을 만족하는 것으로 생각하면 도  
 체표면상의 전계는 이 Laplace 방정식에 의해 구해  
 짐을 알 수 있다. 이를 위해 경계요소법을 적용하고  
 자 한다.

경계요소법을 적용함으로써 실제공정상 발생하는  
 비균일 경계면의 처리, 다층매질 (Si, SiO<sub>2</sub>, Poly Lay-  
 er, PSG 등)에 대한 계산복잡성 등의 문제들을 효  
 율적으로 처리할 수 있을 뿐 아니라 계산정확도가  
 작은 CPU 시간으로도 개선 가능하다는 장점을 갖  
 고 있다. 그러나 무엇보다도 정전용량계산시 BEM  
 의 가장 큰 장점은 도체표면에서의 전계 및 이에 의  
 한 전하밀도 계산을 매우 정확하게, 그리고 빠른 시  
 간내에 처리할 수 있다는 것이다. 즉, FEM이나 FDM  
 등의 방법을 이용할 경우 반드시 유전체내부를 세부  
 요소로 분할하여 각 세부요소의 절점에서의 전위값  
 을 계산하여야만 도체표면의 전하밀도 계산이 가능  
 하다. 이 때문에 계산시간이 증대되며 이를 해결하  
 기 위하여 성진요소를 사용할 경우 큰 허용오차를  
 감수하지 않으면 안된다. 이 밖에도 공정후 변곡표  
 면에서의 요소분할이 곤란하므로 실제 구조에 적용  
 에 어려움이 있게 된다.

1. 정식화 및 일정요소에 의한 이산화  
 해석하고자 하는 상호연결선들 및 접지 사이의 유

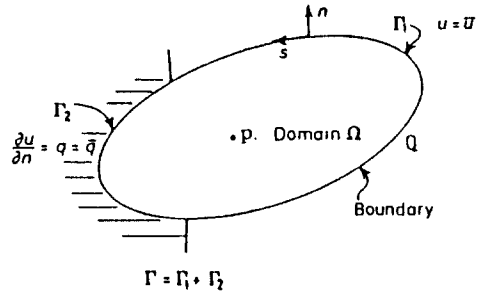


그림 4. 면적  $\Omega$  의 경계영역 분할  
 Fig. 4. Boundary division of the area  $\Omega$ .

전체내에 존재하는 전하가 없다고 가정할 경우 La-  
 place 방정식의 해인 전위를 먼저 구해야 한다. 그  
 림4와 같이 BEM을 적용시키는 경계영역을  $\Gamma_1, \Gamma_2$   
 로 나누어  $\Gamma_1$ 상에서는 일정한 전위  $u$ 가 주어지고  $\Gamma_2$   
 상에서는 경계법선방향으로의 전위미분값  $q$ 가 경계  
 조건으로 주어졌을 경우 다음과 같이 나타낼 수 있  
 다.

$\nabla^2 u = 0$  ; 풀고자하는 방정식  
 $u = \bar{u}$  ;  $\Gamma_1$ 상에서의 경계조건값  
 $q = \bar{q}$  ;  $\Gamma_2$ 상에서의 경계조건값  
 기본해  $u^*$ 를 대입한 Laplace 방정식은 다음과 같다.

$$\nabla^2 u^*(p, p') + \delta(p, p') = 0$$

$$\delta(p, p') : \text{Dirac delta 함수} \quad (3)$$

Green 정리를 이용하여 영역적분을 경계적분으로  
 바꿔주면 다음과 같다.

$$\int_{\Omega} [u(p) \nabla^2 u^*(p, p') - u^*(p, p') \nabla^2 u(p)] d\Omega$$

$$= \int_{\Gamma} [u(Q) q^*(Q, p') - u^*(Q, p') q(Q)] d\Gamma \quad (4)$$

$q^*$  : 기본해의 법선성분  
 $p, p'$  : 영역내의 점  
 $Q, Q'$  : 경계상의 임의점과 기준점  
 $q$  :  $u$ 의 normal 성분의 미분값  
 위 식의 좌변을 정리하여 다시쓰면 기본해  $u^*$ 을  
 갖는 다음과 같은 식으로 표현된다.

$$u(p') = - \int_{\Gamma} [u(Q) q^*(Q, p') - u^*(Q, p') q(Q)] d\Gamma$$

$$u^*(p, p') = \frac{1}{2\pi} \cdot \log \frac{1}{r(p, p')} \quad (5)$$

여기서  $r$ 은 영역내의 두점  $p, p'$  사이의 거리를 의미

한다. 기본해를 대입하여 경계상의 점 Q'에 관한 식으로 변환하면 다음과 같이 표현된다.

$$\pi u(Q') = - \int_r [u(Q) \frac{\partial}{\partial n} \left| \log_r \frac{1}{|Q, Q'|} \right| - \log_r \frac{1}{|Q, Q'|} \frac{\partial u(Q)}{\partial n} ] d\Gamma \quad (6)$$

식(6)을  $\Gamma$ 상의 임의의 점 즉,  $Q' = M_i$ 에 관한 식으로 표현하면 식(7)이 된다.

$$\pi u_i = \sum_{j=1}^N \left[ \int_{c_j} \frac{\partial}{\partial n} \left( \log_r \frac{1}{r} \right) ds u_j + \int_{c_j} \log_r \frac{1}{r} ds q_j \right] \quad (7)$$

여기서  $C_j$ 의 적분항은 요소  $C_j$ 상의 선적분이며

$$h_{ij} = - \frac{1}{2\pi} \int_{c_j} \frac{\partial}{\partial n} \left( \log_r \frac{1}{r} \right) ds$$

$$g_{ij} = \frac{1}{2\pi} \int_{c_j} \log_r \frac{1}{r} ds \quad (8)$$

로 두면 식(7)은 다음과 같이 표시된다.

$$\frac{1}{2} u_i = \sum_{j=1}^M [ h_{ij}' u_j + g_{ij} q_j ] \quad (9)$$

식(9)는  $i$ 번째 절점  $M_i$ 에 관한 식이다.  $i=1 \sim N$ 개의 각절점에 관한식을 쓰면  $N$ 개의 식이 얻어지고 이를 Matrix로 쓰면 다음과 같다.

$$\frac{1}{2} u = H' u + G q \quad (10)$$

$H = 1/2 I - H'$  라 하면 식(10)은

$$H u = G q \quad (11)$$

가 되어  $N$ 원 연립1차 방정식이 된다. 식(11)의 계수 Matrix  $H$ 와  $G$ 의 각 요소는 다음과 같다.

$$h_{ij} = \frac{\delta_{ij}}{2} + \frac{1}{2\pi} \int_{c_j} \frac{\partial}{\partial n} \left( \log_r \frac{1}{r} \right) ds$$

$$g_{ij} = \frac{1}{2\pi} \int_{c_j} \log_r \frac{1}{r} ds \quad (12)$$

여기서  $\delta_{ij}$ 는 Kronecker의 delta 이며

$$\delta_{ij} = \begin{cases} 1; & i=j \\ 0; & i \neq j \end{cases} \quad (13)$$

인 관계가 성립한다.

그림4에서와 같이 경계조건에 따라 기지값과 미지값이 존재하는데 식(11)을 이용하여 이 값들을 재배열하여 나타내면 다음과 같이 표현할 수 있다.

$$[K] [X] = [F] \quad (14)$$

이때  $X$ 는 미지값,  $F$ 는 기지값의 Matrix가 되어  $X$ 에 관한  $N$ 원 연립1차 방정식이 되고 미지수  $X = K^{-1} F$ 는 Gauss 소거법으로 풀게된다.

2. 다층 매질에 대한 계수행렬식

유전율이 서로 다른 매질의 경우 해석영역이 매질의 수만큼의 영역분할이 되야하며, 매질과 매질간의 계면이 공유되는 형태를 형성하기 때문에 하나의 매질에 신호선이 존재할 때와는 다른 형태의 global matrix를 갖게 된다.

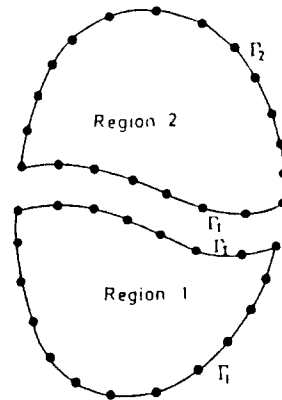


그림 5. 두영역으로 나뉘어진 해석영역  
Fig. 5. Domain divided into two regions.

Region 1의 경우

$$\begin{bmatrix} H^1 & H_1^1 \end{bmatrix} \begin{bmatrix} u^1 \\ u_1^1 \end{bmatrix} = \begin{bmatrix} G^1 & G_1^1 \end{bmatrix} \begin{bmatrix} q^1 \\ q_1^1 \end{bmatrix} \quad (15)$$

Region 2의 경우

$$\begin{bmatrix} H^2 & H_1^2 \end{bmatrix} \begin{bmatrix} u^2 \\ u_1^2 \end{bmatrix} = \begin{bmatrix} G^2 & G_1^2 \end{bmatrix} \begin{bmatrix} q^2 \\ q_1^2 \end{bmatrix} \quad (16)$$

$H_1^1, G_1^1$  : 영역1에서 계면부분의 Matrix.

$H^1, G^1$  : 영역1에서 계면부분을 제외한 Matrix.

$H_1^2, G_1^2$  : 영역2에서 계면부분의 Matrix.

$H^2, G^2$  : 영역2에서 계면부분을 제외한 Matrix.

$u_1^1, q_1^1$  : 영역1에서 계면부분의 Matrix.

$u^1, q^1$  : 영역1에서 계면부분을 제외한 Matrix.

따라서 영역1과 영역2의 계면부분에서 다음과 같은 조건이 만족해야 한다.

- ① Compatibility  $u_1 = u_1^1 = u_1^2$
- ② Equilibrium  $q_1 = q_1^1 = -q_1^2$  (17)

식(15)에서 식(17)로부터 다음과 같은 다층매질에 관

한 식이 얻어진다.

$$\begin{bmatrix} H^1 & H_1^1 & -G_1^1 & 0 \\ 0 & H_1^2 & G_1^2 & H^2 \end{bmatrix} \begin{bmatrix} u^1 \\ u_1 \\ q_1 \\ u^2 \end{bmatrix} = \begin{bmatrix} G^1 & 0 \\ 0 & G^2 \end{bmatrix} \begin{bmatrix} q^1 \\ q^2 \end{bmatrix} \quad (18)$$

3. 정확도의 수치분석 및 요소수 의존성

식(12)에서 각 요소구간내 선분적을 위해 다양한 방법이 적용될 수 있다. 주로 사용되는 수치적분법은 Gauss 적분법, Romberg 적분법, Gauss-Legendre 적분법 등이다. 수치적분의 경우 적분차수가 증가하면 정확도가 높아지는 대신에 계산시간이 증대한다는 사실로 인해 적분법의 선택 기준은 최대 정확도/ 최소 계산시간이 될 것이다. 이러한 측면에서 Romberg 적분법은 정확도는 높으나 매우 큰 적분차수로 인해 계산시간이 크며 Gauss-Legendre 적분법은 값의 변화가 큰 곳에서는 큰 적분차수를, 작은 곳에서는 작은 적분차수를 이용함으로써 정확도와 계산시간 모두 효율적이나 변화량 평가와 오차기준 설정이 어렵다. Gauss 적분법은 적분차수의 변화에 따라 해의 오차 및 계산시간이 매우 민감하다는 특징을 갖고 있다. 본 연구에서는 이와같은 Gauss 적분법의 특징을 이용하여 가장 작은 계산시간으로 1% 미만의 오차를 허용하는 trade off점을 찾아 최적 적분점으로 이용하였다.

해석영역에 대한 이산화 과정에서도 적분차수와 같은 trade off 문제가 발생된다. 즉 영역경계를 분할할 때 그 분할요소 수가 많을수록 정확도는 개선될 것이다. 그러나 요소수의 증가는 계산시간의 증대를 의미하므로 적정허용 오차범위 내에서 최단 계산시간을 갖는 요소수의 결정이 필요하다.

그림6, 7은 두개의 신호선간 정전용량계산시 적분차수 및 요소수 변화에 따른 CPU 시간과 상대오차의 trade off를 나타내고 있다. 상대오차는 시뮬레이션 결과치와 실험치와의 오차에 대한 백분율을 의미하고 CPU 시간은 PC-386/Unix v3.5에서의 계산시간을 나타낸다. 그림6에서는 적분차수 증가에 따라 CPU 시간이 증가하는 반면 상대오차는 점차 감소함을 나타내고 있다.

그림에서 처럼 적분차수가 5이상일 경우 오차감소율은 거의 정지하고 있는 반면 CPU 시간 증가율은 일정하다. 따라서 적분차수 5-7이 적절함을 알 수 있다. 마찬가지로 형태로 요소수 증가에 따라 CPU 시간 증가는 매우 커지나 상대오차는 그 감소율이 둔화됨을 그림7에서 알 수 있다. 허용오차범위에 따라 적정요소수가 결정될 수 있음을 나타내는데 1%

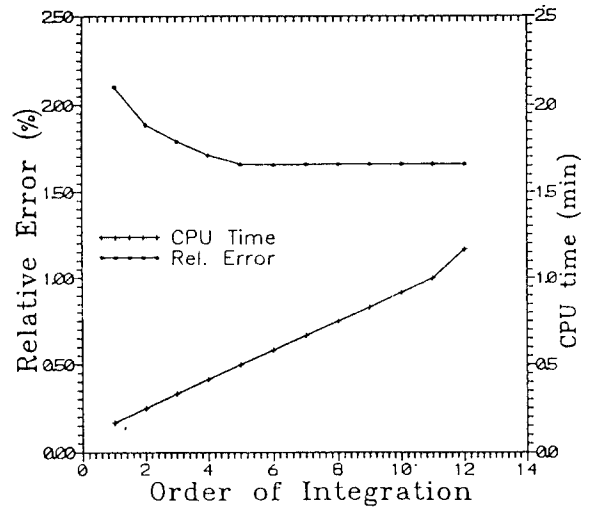


그림 6. 적분차수에 따른 상대오차 및 CPU 시간 비교

Fig. 6. Comparison of relative error and CPU time with the integration order.

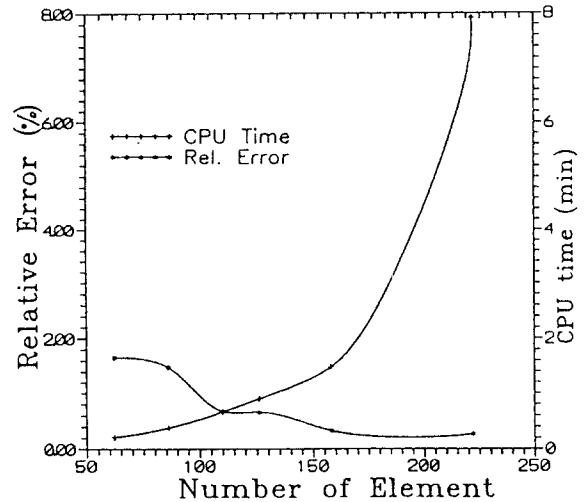


그림 7. 요소수에 따른 상대오차 및 CPU 시간 비교

Fig. 7. Comparison of relative error and CPU time with the number of element.

미만의 오차를 허용한다면 이때 요소수는 100-150 개 정도가 적정 CPU 시간을 유지할 수 있는 것으로 기대된다.

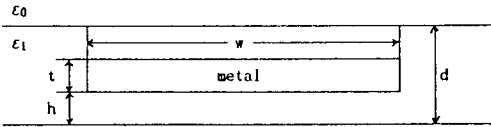
IV. 결 과

본 장에서는 몇가지 이상적인 구조에 대한 시뮬레

이선 결과를 다른 방법에 의한 결과와 비교하고 3중 신호선에 대한 정전용량 계산결과와 실험결과를 비교한다.

1. 이상적 구조에 대한 결과 고찰

각각의 소자구조별로 구한 계산 결과를 표1, 그림8 표2, 그림9, 표3, 그림10에 나타냈다. 그림8은 단일매질 산화층에 하나의 신호연결선이 존재하는 경우의 접지면에 대한 2차원적 모형이며 정전용량에 관한 계산결과가 표1에 나타나 있다. 그림9는 단일 산화층에 두개의 신호 연결선이 존재하는 경우이며, 그림10은 유전율이 서로 다른 두개의 산화층( $\epsilon_1, \epsilon_2$ ) 두개의 신호연결선이 존재하는 경우에 대한 모형이다.

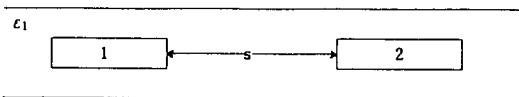


- d : 산화층 두께
- w, t : Metal의 폭과 두께
- h : 접지면과 Metal 간격
- $\epsilon_0, \epsilon_1$  : 공기, 산화층의 유전율

그림 8. 실리콘면 위를 지나는 하나의 도체  
Fig. 8. Conductor above silicon plane with two dielectrics.

표 1. 그림8에 대한 용량계수  
Table 1. The coefficient of capacitance in fig. 8.

Dimension( $\mu$ )					Ground	Capacitance(fF)	
l	w	t	h	d	FDM (ZHEN[4])	FDM (Dierking[8])	본연구
100	6	1	1	3	30.913	30.844	30.670



- 1 : Metal 1
- 2 : Metal 2
- s : Metal 간격

그림 9. 평행한 두 strip line  
Fig. 9. Coupled microstrips.

표 2. 그림9에 대한 용량계수  
Table 2. The coefficient of capacitance in fig. 9.

Dimension( $\mu$ m)					$C_{11}+C_{12}$ (fF)		
l	w	t	h	s	FDM (ZHEN[4])	FDM (Sakurai[7])	본연구
100	5	0.5	0.8	5	33.689	33.724	32.593

Dimension( $\mu$ m)					$C_{11}+C_{12}$ (fF)		
l	w	t	h	s	FDM (ZHEN)	FDM(Sakurai)	본연구
100	5	1	2	5	18.489	18.654	18.600



그림10. 평행한 두 strip line  
Fig. 10. Coupled microstrips.

표 3. 그림10에 대한 용량계수  
Table 3. The coefficient of capacitance in fig. 10.

	Green function[10]	FDM(W. T. Weeks [11])	본연구결과
$C_T$	0.9165 E-10	0.9224 E-10	0.9305 E-10

2. 3중 신호선에 대한 실험결과 비교

시뮬레이션 결과 검증을 위하여 Fukuda[6]의 실험구조를 선택, 모의실험하고 그 결과를 실험결과와 비교하였다. 그림11은 정전용량계산을 위한 구조 예이다. 실리콘 기판위에 0.43 $\mu$ m의 산화층을 증착시키고 0.45 $\mu$ m의 poly layer 증착후 RIE 식각으로 신호선을 정의하였다. 그 위에 0.46 $\mu$ m의 산화층과 두개의 PSG층(0.3 $\mu$ m, 1.6 $\mu$ m)으로 보호막을 형성하였다. 자유공간과 PSG2, PSG2와 산화막등의 불연속 경계면에서는 Neumann조건을, Poly층 경계면에서는 Dirichlet 조건을 적용하였다. 그림12는 BEM으로 계산한 선간 유전체내에서의 등전위 분포를 나타내고 있으며 그림13은 필드 산화층 두께 h의 변화에 따른 정전용량 변화를 실험치와 함께 나타내고 있다. 시뮬레이션 결과는 실험치와 매우 좋은 일치를 보여주고 있으며 Fukuda의 결과오차가 5% 이내인 반면 본 시뮬레이션 결과는 3% 이내의 오차를 보여줌으로써 일정요소 및 Gauss 적분의 수용과 그 최적 차수, 최적 요소수 선정에 의한 계산이 보다 합리적인을 나타내어 주고 있다.

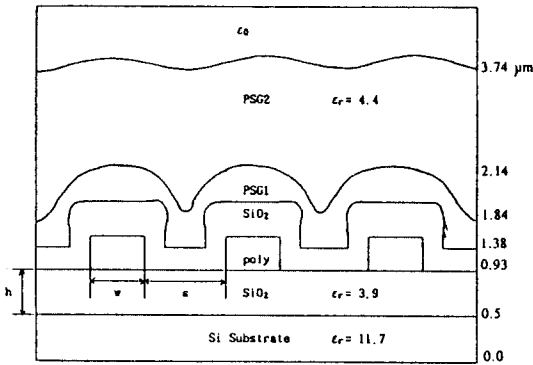


그림 11. 정전용량계산을 위한 구조예  
 Fig. 11. Example of wiring geometry for capacitance calculation.

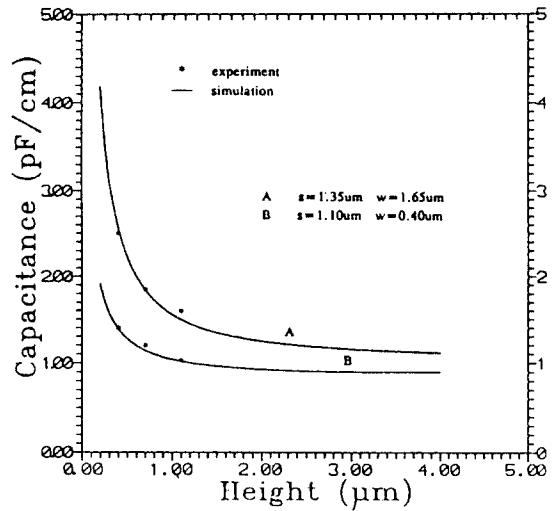


그림 13. 필드산화층 두께변화에 따른 정전용량값 변화  
 Fig. 13. Wiring capacitance as a function of field oxide thickness  $h$ .  
 (NE = 172, IO = 7)

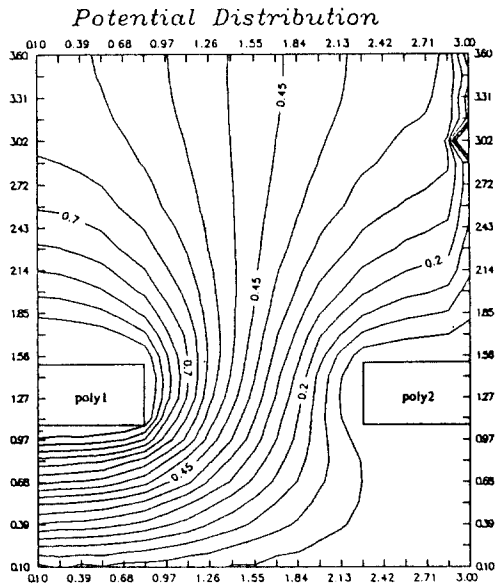


그림 12. 선간 유전체 내부에서의 등전위 분포  
 Fig. 12. Equi-potential contour in the dielectrics.  
 (No. of elements (NE) = 150, Integration order (IO) = 7).

V. 결 론

경계요소법을 이용한 2차원 선간 정전용량 시뮬레이터를 개발하였다. 매질이 다른 다중영역에서의 경계요소법 정식화와 이산화 과정을 구축함으로써 유전율이 다른 다층 매질이 필요한 ULSI에서의 선간 정전용량을 구할 수 있을 뿐 아니라 비평탄 경계면을

효율적으로 이산화 처리 가능하며 유전체 내부요소에서의 계산이 필요없기 때문에 계산 속도를 현저히 감소시킬 수 있었다. 또한 적분차수와 요소수의 해의 정확도에 대한 영향도를 분석하여 계산시간과 정확도 사이의 trade off를 도출하여 최적 적분차수와 요소를 제안하였다. 계산된 정전용량 값은 실험치와 매우 잘 맞음을 보였다. 개발된 시뮬레이터는 소자 개발과 회로해석시 효율적으로 이용될 수 있을 것으로 기대된다.

參 考 文 獻

- [1] Peter E. Cottrel and Edward M. Buturla, "VLSI wiring Capacitance," *IBM J. RES. Develop.*, vol. 29, no. 3, May 1985.
- [2] A.H. Zemanian, "Three Dimensional Capacitance for VLSI/ULSI interconnection," *IEEE Trans. on Computer-Aided Design*, vol. 8, no. 12, Dec. 1989.
- [3] R. Uebbing and M. Fukuma, "Process-based three-dimensional Capacitance simulation," *IEEE Trans. Computer-Aided Design*, vol. CAD-5, pp. 215-221, 1986.
- [4] Zhen-Qiu Ning and Patrick M. Dewilde, "Capacitance coefficients for VLSI multilevel metallization lines," *IEEE Trans.*

on Electron Devices, vol. ED-34, no. 3, Mar. 1987.

[5] C.A. Brebbia, "Progress in Boundary Element Methods, VI," Pentech Press, 1981.

[6] Sanae Fukuda and Naoyuki Shigyo, "A ULSI 2-D Capacitance simulator for complex structures based on actual processes," *IEEE Trans. on Computer-Aided Design*, vol. 9, no. 1, Jan. 1990.

[7] T. Sakurai and K. Tamaru, "Simple formulass for two-and three-dimensional capacitance," *IEEE Trans. Electron Devices*, vol. EDL-30, pp. 183-185, Feb. 1983.

[8] W.H. Dierking and J.D. Bastian, "VLSI parasitic Capacitance determination by flux tubes," *IEEE Circuit Syst. Mag.*, pp. 11-18,

Mar, 1982.

[9] C. Wei, R. Harrington, L. Mautz, T. Sarkar, "Multiconductor lines in multialyers dielectric media," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-32, pp. 439-449, Apr. 1984.

[10] W.T. Weeks, "Calculation of Coefficients of Capacitance of multi-conductor transmission lines in the presence of a dielectri interface," *IEEE Trans. Micro Theory Tech.*, vol. MTT-18, pp. 35-43, 1970

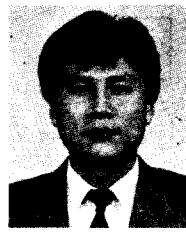
[11] C.A. Brebbia, S. Walker, "Boundary Element Techniques in Engineering," Newnes-Butterworths, London, 1980.

著 者 紹 介



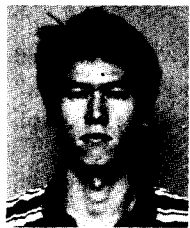
朴 和 植(正會員)

1963年 1月 8日生. 1984年 2月 중앙대학교 전자공학과 졸업. 1986年 2月 중앙대학교 대학원 전자공학과 석사. 1988年 3月~현재 중앙대학교 대학원 전자공학과 박사과정 재학중. 1986年 2月~1989年 4月 한국통신 연구개발단 전임연구원 근무. 1991年 5月~1991年 8月 IBM T. J. Watson 연구소 Academic Visitor. 주관심분야는 반도체 공정 모델링 및 시뮬레이션 등임.



宋 榮 珍(正會員)

1961年 8月 12日生. 1983年 2月 중앙대학교 전자공학과 졸업. 1985年 2月 중앙대학교 대학원 전자공학과 석사. 1988年 9月~현재 중앙대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는 화합물 반도체 소자 모델링 및 시뮬레이션 등임.



劉 東 和(正會員)

1963年 8月 11日生. 1989年 2月 중앙대학교 전자공학과 졸업. 1991年 2月 중앙대학교 대학원 전자공학과 석사. 1991年 3月~현재 한국전자통신연구소 근무중. 주관심분야는 소자 모델링 등임.

黄 好 正 (正會員) 第26卷 第7號 參照  
현재 중앙대학교 교수