論文 92-29A-3-11

산화루테늄 계 후막 저항기의 과도한 전류잡음에 관한 고찰

(A Study on the Excessive Current Noise in RuO_2 Thick Film Resistors)

金知澔,* 金鎭龍,* 林漢祚,** 愼哲載,** 朴洪二***

(Ji Ho Kim, Jin Yong Kim, Han-Jo Lim, Chull Chai Shin, and Hong Lee Park)

要 約

RuO_2계 후막 칩저항기에서 때때로 나타나는 과도한 전류잡음의 원인을 규명하고, 이를 감소시킬 수 있는 공정상의 방법을 제시하였다. 전류잡음이 증가된 후막저항체에서는 저항체와 전극간의 열팽창계수의 부정합에 의하여 접합부위에 응력이 존재하고 이로 인한 미세균열이 발생하게됨을 실험적으로 관측하였다. 이와같은 미세균열은 도체 입자간의 도전경로의 감소를 야기시켜 저항값 및 전류잡음이 증가되게 한다. 또한 도금전에 칩저항기를 열처리하거나 보호막의 면적을 확대시킴으로써 이와같이 과도한 전류잡음을 효과적으로 감소시키거나 제거시킬수 있음을 보였다.

Abstract

The cause of excess current noise which appears some times in RuO_2 thick film chip resistors and the process to reduce such noise are investigated. We observed that too large thermal expansion coefficients of resistor paste and electrode metal paste can induce the mechanical stress and microcracks in the contact region of the two sintered materials. Such microcracks result in the reduction of conduction paths in the sintered electrode and this provokes the increase of the resistance value and the current noise. Such excessive current noise induced by microcracks could be reduced or even eliminated by using an enlarged overcoat patterns in the plating process or by adding an additional annealing process before plating.

I. 서 론

최근들어 컴퓨터, 의료기기등의 각종 전자시스템에서 혼성집적회로(hybrid IC)의 사용이 증대됨에 따라 후막저항(thick film resistor)을 사용하는 경향이 많아지고 있다.[1] 후막기술의 특징은 각종 후막 페이스트(paste)를 세라믹 기판위에 스크린 인쇄등의 간편한 수법으로 형성한 뒤 고온에서 약 10μm 정도의 두께로 소성시키는 제조공정의 간편함과 형성된 막의 고신뢰성에 있다.[1] 특히 후막저항은 도체 페이스트, 저항체 페이스트, 절연체 페이스트들을 혼합소성하여 간단히 제작할 수 있다.[2] 이와 같이 후막저항체가 널리 사용되게 됨에따라 후막저항의 성능 역시 많은 개선이 이루어져 왔으며 현재는 칩저항기(chip resistor) 형태로 소형화 된 정밀저항으로 널리 사용되고 있으며[1,2] 또한 앞으로도 사용되는 용도 및 환경이 더욱 다양해 질 것으로 예상되고 있다.

이러한 칩저항기는 lead형 저항기와 그 구조 및 제조방법이 다를 뿐만 아니라, 프린트 기판에 직접 부

* 正會員, 三星電氣 綜合研究所
(Samsung Electro-Mechanics Co. R&D Center)
** 正會員, 亞洲大學校 電子工學科
(Dept. of Elec. Eng., Ajou Univ.)
*** 正會員, 延世大學校 物理學科
(Dept. of Physics, Yonsei Univ.)
接受日字 : 1992年 1月 10日

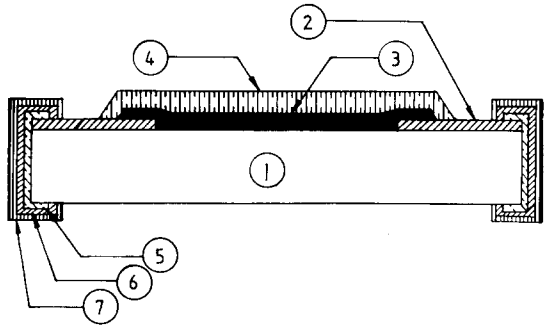
착되기 때문에 칩저항기에 직접 가해지는 각종 stress는 종래의 저항기와는 크게 다르므로 칩저항기의 특성 및 신뢰성에 대한 연구는 그 응용을 위해 대단히 중요하다. 신뢰성과 관련된 칩저항기의 중요한 결점중 하나는 사용하는 후막저항체의 구조에 기인되는 전류잡음이 사용상 장애가 될 정도로 과다한 경우가 종종 관측되고 있는 점이다.[3,4] 후막저항 잡음의 주원인은 전류밀집효과(current crowding effects) 및 구조적 결함과 관련되어 있음은 이미 잘 알려져 있다.[3] 이때 구조적 결함과 관련된 잡음은 1/f 성분의 전류잡음과 burst noise 성분으로 다시 나누어진다.[3] 그동안 저항체의 형상,[3] 트리밍 방법등이[4] 전류잡음에 미치는 영향등에 대하여 많은 연구가 되었다. 그러나 후막저항체의 열팽창계수 및 도금공정이 전류잡음에 미치는 영향등에 관한 연구는 거의 이루어지지 않고 있으며, 국내에서의 연구는 더욱 미미하여 조성비, 소결온도 등과 관련된 저항값의 변화등이 보고되고 있는 정도이다.[5] 특히 RuO_2 후막저항체의 잡음원인과 관련된 연구는 국내에서 아직 보고된 바 없다.

본 연구는 후막 칩저항기의 제조에서 전류잡음의 과도한 증가원인을 규명하고 그 대책을 마련하고자 한것으로 특히 칩저항기의 제조공정중 페이스트의 열팽창계수의 차이와 도금공정이 전류잡음에 미치는 영향에 대하여 고찰하였다.

Ⅱ. 실 험

1. 시료제작

현재 사용되고 있는 chip 저항기의 규격은 IEC(국제전기표준협회)에 의하여 표준화 되어 있다. 본 연구에서 사용한 시료는 그림1에 나타낸 규격과 같은 2012형($2.0\times1.25\times0.5mm^3$)과 3216형($3.0\times1.5\times0.5mm^3$)의 Al_2O_3 기판상에 제작된 칩저항기 이었다. 알루미나 기판은 일본의 MEIWA사로부터 구입한 순도 96% 이상 보증된 제품이었다. 사용한 페이스트는 최근 산업용 혼성집적회로 업계에서 가장 널리 사용하고 있는 후막 페이스트로서 도체 및 저항체 페이스트는 Du Pont사의 페이스트를 사용하였고, 유리페이스트는 Sumitomo사의 페이스트를 사용하였다. 실험에 사용된 페이스트의 기본 특성들은 표1에 나타낸 바와 같다. 이때 일차전극 페이스트로 사용되는 5420형 도체 페이스트에는 Pd가 5% 함유되어 있으며 순수한 Ag보다 Ag의 확산문제가 적으며 Al_2O_3기판에의 접착력 역시 더 강하다.[1] 그림1에서 Ni 도금은 도전 glaze내에 포함되어 있는 은의 electromigration을 방지하기 위한 목적이며 주석/납 도금은 회로결선시 납땜이 용이하도록하기 위하여 행하였다. 유리 보호막은 도금공정과 저항기 사용시 저항체를 보호하기 위한 목적으로 사용된다.



No.	MATERIAL	AREA (mm^2)	
		2012 Type	3216 Type
1	ALUMINA SUBSTRATE	2.0 ×1.25	3.0 ×1.5
2	1st CONDUCTOR PASTE	0.65×0.85	0.85×1.3
3	RESISTOR PASTE	1.1 ×0.7	1.9 ×1.0
4	GLASS PASTE	1.2 ×1.25	2.2 ×1.5
5	2nd CONDUCTOR PASTE	0.4 ×1.25	0.4 ×1.25
6	Ni PLATING	OVERLAP of 2 and3mm	
7	Sn/Pb PLATING	0.2	0.3

그림 1. 사용된 시료의 단면도 및 각 페이스트의 면적
Fig. 1. The sectional view of the specimen and the dimensions of each paste.

표1에 나타낸 바와같이 저항 페이스트는 RuO_2 도전분말을 기본으로 한 저항체로 피막저항(sheet resistance)이 각각 100Ω과 1KΩ이 되게 하였다. 이때 저항치의 조절은 RuO_2 도전분말과 절연분말인 $PdO-B_2O_3-SiO_2$ 혼상 유리분말의 혼합비로 결정하였다. 사용한 저항체 페이스트내에는 이들 성분 뿐만 아니라 솔벤트, 에틸셀룰로즈 성분의 유기성분이 전체 체적의 30% 정도 포함되어 있었으며 PdO, IrO_2 등의 금속산화물계 modifier가 약간 함유되어 있다.

시료의 제작공정은 그림 2와 같다. 후막형성은 스크린인쇄 방법을 이용하였고 각 페이스트를 120°C~150°C 온도 범위에서 건조시킨 다음 고온에서 firing하여 organic vehicules에 포함된 유기분자들을 CO, Co_2, H_2O 등으로 산화, 증발시켰다. 일차전극의 막두께는 소성이 완료된 막두께를 기준으로 하여 10~12㎛, 저항체의 막두께는 22~28㎛, 보호막의 막두께

표 1. 사용한 페이스트의 모델명 및 특징
Table 1. Model names of the empolyed paste systems and their characteristics.

MATERIAL	MODEL	REMARK
1st CONDUCTOR PASTE	5402H	Ag 100%
	5420	Ag 95%, Pd 5%
RESISTOR PASTE	6817	RuO_2 BASE $R_s=100\Omega/\square$
	6829	RuO_2 BASE $R_s=1K\Omega/\square$
GLASS PASTE	1-9551M	$PbO-B_2O_3-SiO_2$ BASE
2nd CONDUCTOR PASTE	5402	Ag 100%

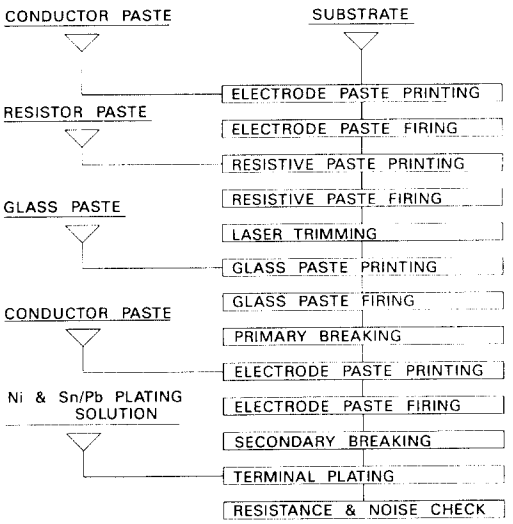


그림 2. 후막저항체의 제조공정
Fig. 2. Process of thick film resistor.

는 20~30μm로 하였다. 각 막의 소성은 벨트전기로를 사용하여 행하였으며 일차전극 및 저항체의 경우는 850°C에서 10분 유지하여 소성시켰으며 이때 승온시간과 강온시간을 각각 25분으로 하여 한 주기를 60분으로 하였다. 보호막 및 이차 전극은 600°C에서 5분 소성하였고, 승온시간과 강온시간을 각각 12.5분으로 하여 30분을 한 주기로 하였다. 전극단자의 도금은 바렐을 이용한 전기 도금을 실시하였고, 니켈도금 60분, 납주석 도금 60분씩 실시하였다. 시료제작 최종단계로 저항값을 제어하기 위한 laser trimming을 행하였으며, 이를 위하여서는 미국 ESI사의 model 2000 Nd YAG laser를 사용하였다.

2. 잡음 측정

잡음 측정장치는 QUAN-TECH MODEL 315C noise test set 를 이용하였다. 이 측정장치는 인가된 직류전압에 의하여 발생되는 실효 잡음 전압(rms noise voltage)을 측정하도록 되어있고, 미국의 군사규격중 잡음과 관련된 MIL-STD-202B의 METHOD 308의 측정규격을 만족시키고 있다. 이때 측정되는 단위는 잡음지수(noise index)로서 인가된 전압에 대한 실효 잡음 전압으로 나타내며 관계식은

$$N.I.(NOISE\ INDEX)=20\ log\ (S_v/<V>^2) \quad (1)$$

$$S_v(f)=<\triangle V^2>_f/\triangle f \quad (2)$$

로 주어진다. 여기서 S_v는 저항잡음의 주파수 성분 밀도(spectral density)이며 $\triangle V$는 실효 잡음 전압, V는 인가된 직류전압, $\triangle f$는 잡음측정 대역폭을 나타낸다. 이때 만약 burst noise가 존재하지 않는다면 저항 R을 갖는 저항체의 어느 주파수 f에서의 $S_v(f)$는 열잡음과 직류잡음만의 기여에 의하여

$$S_v(f)=4kTR+\frac{A(\triangle V)^2}{f} \quad (3)$$

으로 주어진다. 여기서 A는 사용한 물질과 형태에 따라 결정되는 상수이다. 본 실험에서는 측정기의 측정 주파수 범위를 통상적인 경우와 같이 1kHz를 중심으로 1 frequency decade의 대역폭으로 하였다. 또한 이때 인가되는 전압은 2012형, 3216형 모두 저항의 소비전력이 0.1W가 되도록 하여 자동으로 설정되게 하였다. 이때 소비전력을 0.1W로 한 이유는 후막저항체에 과도한 전압을 인가하는 경우 burst noise가 나타날 가능성이 있으므로 이를 회피할 수 있으면서도 충분히 큰 잡음 신호를 측정할 수 있는 전력이기 때문이며 MIL-STD-202B의 규격에 따랐다.

Ⅲ. 결과 및 고찰

일차전극 도체페이스트로 표1에서 보인 5402H 와 5420을 사용하고, 저항체 페이스트로 6817과 6829를 사용하여 제작한 2012형 칩저항에서 시료제작 최종공정인 도금공정 전후에서 관측한 잡음지수의 변화를 그림3에 보였다. 여기서 I 기호는 관측된 잡음지수의 표준편차(standard deviation)를 나타낸다. 이 그림에서 보는 바와같이 일차전극 도체페이스트로 5420을 사용한 경우에는 페이스트의 면적저항이 100Ω인 6817과 1KΩ인 6829 모두 도금 전후의 잡음지수가 −10dB~−20dB로 변화가 거의없었다. 5402H를 일차

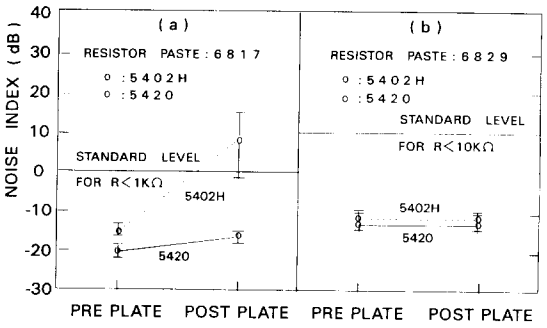


그림 3. 6817과 6829 저항체 페이스트를 사용하여 제작한 2012형 칩저항기에서 전극도금 전후에서의 잡음 변화

Fig. 3. Variation of noise indices for 2012 type chip resistor after electrode plating with different resistive pastes of 6817 and 6829.

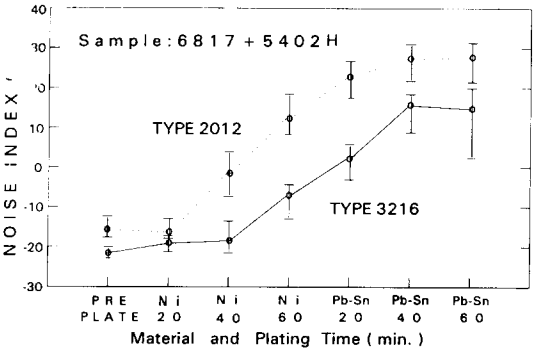


그림 4. 2012형과 3216형 칩저항기에서 도금시간에 따른 잡음지수의 변화

Fig. 4. The change of noise indices with the plating time of 2012 cgip resistor and 3216 chip resistor.

전극 도체페이스트로 사용한 경우에는 저항체 페이스트가 6829일때는 5420을 사용하였을 때와 마찬가지로 도금 전후의 저항값 변화가 거의 없었으나 6817은 도금전 −18dB에서 도금후 +8dB로 잡음지수가 급증하여 칩저항기의 전류잡음 규격을 벗어나고 있다. 이 결과로부터 과도한 잡음의 원인이 6817 저항페이스트와 5402H 도체페이스트 사이의 상호관련에 기인됨이 명확하다.

일차 전극 도체페이스트로 5402H를 사용하고 저항체 페이스트로 6817을 사용하였을때 2012형과 3216형 2종류의 시료에서 니켈도금과 납주석도금을 할때 각 도금시간에 대한 전류 잡음지수의 변화 및 저항값과 잡음지수와의 관련성을 조사한 결과를 각각 그림 4 및 그림 5에 보였다. 이때 시료는 20분 간격으로 10개씩 채취하여 6종류의 시료로 전체 시료 60개에 대하여 조사하였다.

이들 그림에서 보는 바와 같이 두형태의 저항 모두 도금시간의 경과에 따라서 잡음지수가 증가하며 상관계수 0.9가 의미하는 바와 같이 저항값의 증가와 잡음의 증가사이에 상관관계가 있음을 알 수 있다. 후막저항기의 면저항이 증가됨에 따라 전류잡음이나 burst noise가 증가되는 현상은 이미 잘 알려진 사실로 도전입자간을 차단하는 절연성 유리막의 존재와 관련됨이 논의 되고 있다.[3] 그러나 전자의 흐름에 대하여 에너지 장벽으로 작용하며 동시에 전자덫(electron trap)의 원인이 되는 유리막의 존재 및 그 폭은 저항체 페이스트의 성분비 및 firing 온도만이 관련된다.[6] 따라서 본 실험에서 관측된 도금시간과의 관련성은 앞서의 논리로 설명할 수 없다.

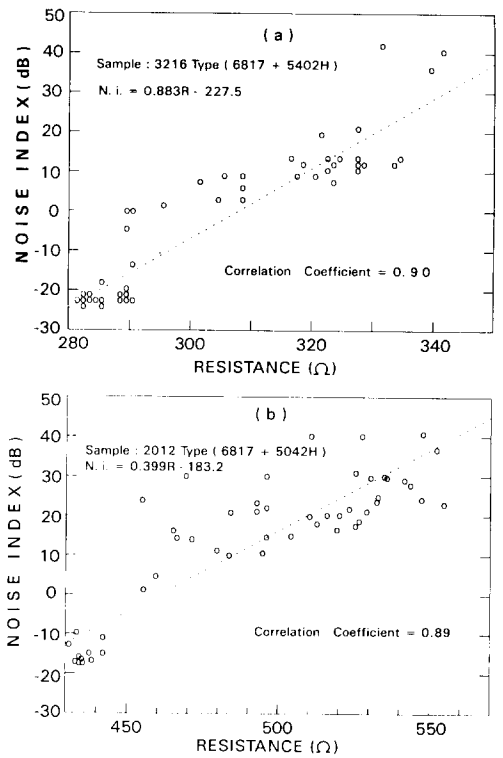
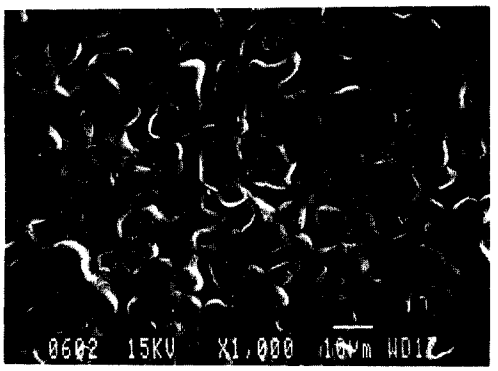


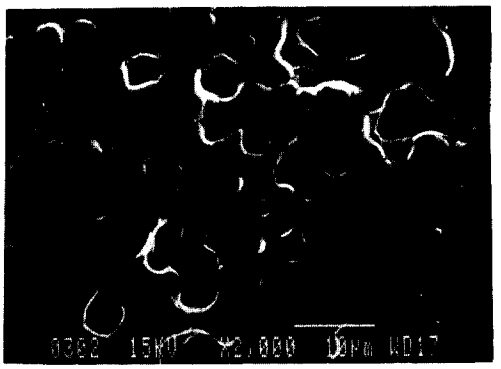
그림 5. 각 칩저항기의 도금시간을 변화시키며 관측한 저항치와 잡음지수의 상관관계

Fig. 5. Correlations between resistance and noise index observed by varying the plating time of each chip resistor.

앞서 살펴본 바와 같이 6817 저항체 페이스트와 5420 일차전극 도체 페이스트를 사용한 경우에는 도금후에도 잡음지수가 증가하지 않았으나 일차전극으로 5402H를 사용한 경우에는 도금공정을 거치면서 잡음 지수가 증가하였다. 따라서 도금 공정이 저항체 페이스트와 일차전극의 상관관계에 미치는 영향을 조사하기 위하여 먼저 일차전극 도체 페이스트인 5402H 및 5420의 소성막 표면을 주사전자현미경(SEM)으로 관찰하였다. 표준 소성조건인 850℃로 소성할 경우 그림6에 보인 바와 같이 소성막의 입도가 5402H 경우는 약 10μm 정도이고 5420 경우는 약 5μm 정도이었으며, 5402H 소성막에 비하여 5420 소성막의 구조가 더욱 치밀함을 알 수 있다. 비교를 위하여 600℃에서 5분동안 소성하는 경우에도 이와



(a)



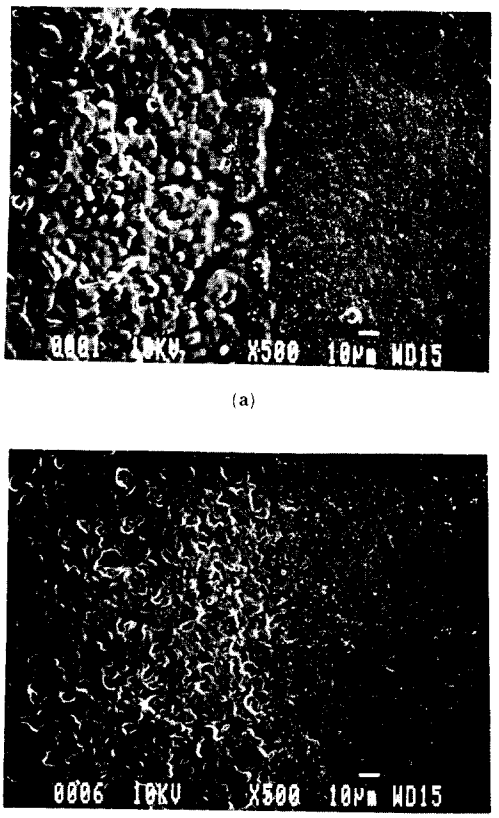
(b)

그림 6. 소성된 후막 도전체의 미세구조(표면)
(a) 5402H 도체 페이스트
(b) 5420 도체 페이스트

Fig. 6. Microstructures of sintered thick film conductors (surface).
(a) 5402H conductor paste,
(b) 5420 conductor paste.

같은 현상은 현저하여 5402H 시료의 경우는 입도가 약 3μm 정도인데 비하여 5420 시료의 경우는 입도가 약 1μm이하로 형성됨을 관측할 수 있었다. 이상의 실험 결과로 부터 잡음 증가의 요인으로 5402H 도전성 페이스트의 소성막 입도와 6817 저항 페이스트와 관련성을 생각해볼 수 있다.

소성된 5402H 도체 페이스트의 입도 및 치밀성과 6817 저항체 페이스트의 상호관계가 잡음 증가에 미치는 영향을 조사하기 위한 일차적 시도로 PH4 정도의 도금액이나 PH3.5 정도의 납주석 도금액의 산성분이 입자간의 접촉을 단절시켜 잡음을 증가시키는지 여부를 살펴보기 위하여 전극이 많이 노출되어 있는 3216형 칩저항기를 도금액에 침적시킨 후 잡음을 측정하였다. 이때 시료를 니켈도금액 및 납주석 도금액에 침적시켜 20분 간격으로 채취하여 잡음지수를 측정해 본 결과, 도금액에서의 침적시간과 잡음지수의 변화와는 관련성을 발견할 수 없었으며, 이차전극 소성이 완료된 상태에서 잡음지수는 −20dB 부근에서 그대로 유지되고 있었다. 따라서 도금액의 산성분이 일차전극을 침식시켜 저항값 및 잡음지수를 증가시킨다고는 생각할 수 없었다. 잡음증가의 다른 한 가능성으로 저항체 페이스트와 도전체 페이스트 사이의 접촉을 의심할 수 있으므로 일차전극 소성이 완료된 상태에서 저항체 페이스트를 인쇄, 건조, 소성한 후 일차전극과 저항체가 접합되어 있는 부위의 상태를 주사전자 현미경으로 관찰하였다 (그림7). 저항체 페이스트가 6817인 경우 일차전극 도체 페이스트로 5402H를 사용한 경우에는 그림(a)의 가운데와 같이 저항체와 일차전극이 접합되어 있는 부위에 균열이 관측되며 그 폭은 크게는 10μm 까지 형성되고 있었다. 그러나 일차전극 도체 페이스트로 5420을 사용한 경우에는 균열을 발견할 수 없었다 (그림b). 저항체 페이스트가 6829인 경우는 일차전극 페이스트가 5402H, 5420 여부와 관계없이 모두 균열 현상을 발견할 수 없었다. 소성이 완료된 일차전극 위에 저항체를 인쇄하여 이를 다시 850℃ 에서 소성시킬때 접합부위의 일차전극과 저항체는 용융된 상태가 된 후 냉각이 되면서 수축이 일어나 서로 반대방향으로 인장응력이 작용하게 된다. 이 과정에서 접합 부위에 균열 및 응력이 잔존하게 되며 응력의 크기 및 균열의 정도는 두 페이스트의 열팽창계수의 합이 클수록 또한 소성되는 입자가 클수록 심할 것이다. 일반적으로 일차전극 도체 페이스트의 열팽창계수는 20×10^{-6}/℃ 정도이며, 저항체 페이스트의 열팽창계수는 약 7×10^{-6}/℃ 정도인 것으로 data sheet에 나와 있는바 일차전극 도체 페이스트를 5402H로



(a)

(b)

그림 7. 전도막과 저항막 접합부위 부근의 미세구조(표면)
(a) 5402H와 6817 페이스트 접합부위
(b) 5420과 6817 접합부위

Fig. 7. Microstructures of a contact region between conductor film and resistor film(surface).
(a) contact region between 5402H and 6817 pastes,
(b) contact region between 5420 and 6817 pastes.

선택한 경우에서만 접합부위 및 일차전극에 균열이 발생한 것으로 보아 5402H의 열팽창계수가 5420의 열팽창계수보다 클 것으로 추측된다. 또한 5402H 페이스트의 경우가 소성된 입자의 크기가 더 큰 현상(그림6)도 관련되리라 생각된다. 이와 같은 추론으로 부터 균열의 발생원인은 일차전극 도체 페이스트와 저항체 페이스트의 열팽창계수의 합이 과도하게 큰것에 기인하는 것으로 판단된다. 따라서, 도금후에 잡음지수가 급증하는 현상은 이 두물질의 접촉면 사이의 균열에 도금과정이 영향을 미치기 때문이라 추측할 수 있다.

도금액이 일차전극의 균열 혹은 결함부위에 미치는 영향을 명확히 하기 위하여 5402H 도체 페이스트와 6817 저항체 페이스트를 사용한 2012형과 3216형의 후막 저항에서 정상적인 구조(그림1) 보다 그 길이가 각각 1.8mm와 2.8mm되게 보호막의 면적을 확대하여 니켈 도금액에 노출되는 일차전극의 면적을 최대한 억제한 상태로 도금한 칩저항기에서의 잡음지수를 측정한 결과를 그림8에 나타내었다.

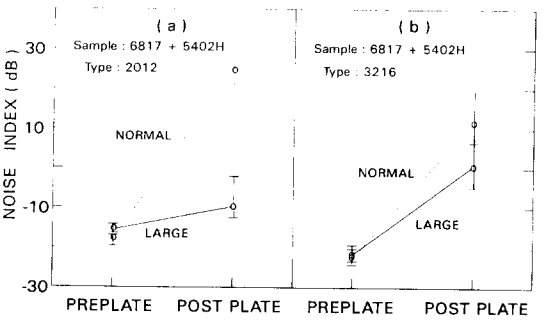


그림 8. 유리보호막을 확대한 구조와 통상적 구조에서 도금과정 전후의 잡음지수 변화에 대한 비교

Fig. 8. Comparison of the changes of noise indices in plating process between enlarged glass cost types and normal types.

이 그림에서 보는 바와같이 2012형 칩저항기의 경우 보호막이 정상형태일 때 약 −18dB에서 25dB 수준으로 잡음지수가 증가하였으나 보호막을 확대시켰을 경우에는 그 증가가 −10dB정도에서 억제되었다. 3216형의 경우에도 보호막의 면적을 확대했을 때 약 10dB정도의 잡음증가의 억제효과가 있었으나 2012형에 비하여 그 효과는 적었다. 본 실험에서 일차전극과 니켈도금막의 접촉 면적을 최소화할 때 잡음지수가 억제되는 현상은 니켈도금막의 내부응력이 일차전극에 미치는 영향이 감소된데에 그 원인이 있다고 생각된다. 즉 저항체 페이스트 소성후 일차 전극에서 저항체 방향으로 응력이 존재하는 상태에서 도금이 진행됨에 따라 도금막에 의한 응력은 그 반대방향으로 작용되어 일차전극의 도체 입자간의 간격이 멀어지면서 저항값 및 잡음의 증가를 가져왔다고 생각된다. 그림4에서 관찰한 바와 같이 도금이 진행됨에 따라 잡음도 함께 증가한 이유는 도금이 진행됨에 따라 증가되는 도금막의 두께에 비례하여 그

내부응력이 증가되어[7] 점차 강하게 일차 전극에 영향을 미쳤기 때문으로 믿어진다. 보호막의 면적을 증가시킴에 따라 잡음지수가 감소하는 일관된 경향은 관측되었으나 일차적인 상관관계는 발견할 수 없었다. 이는 균열이 일정하게 분포되는 것이 아니라 경계면에 집중적으로 발생되기 때문인 것으로 보인다.

상기 추론과 같이 잡음전류의 증가원인이 도금액, 저항체 페이스트 및 도체 페이스트 상호간의 응력에 있다면 도금전의 열처리로 저항체와 일차전극 접합부위에 존재하는 응력을 미리 제거하여 줌으로써 도금시 도금막의 수축 응력에 의한 도체 전극막 내의 인장응력을 최소화시킬 수 있을 것이며 따라서 도금후에 전류잡음이 급증하는 현상을 억제할 수 있을 것이다. 그림9는 150℃부터 350℃까지 50℃ 간격으로 각기 다른 온도 조건에서 약 24시간씩 열처리하며 도금 전후의 잡음지수 변화를 관찰한 결과이다. 실선으로 연결된 그림은 도금전의 잡음지수이고 점선으로 연결된 그림은 각 온도에서 열처리한 후 도금한 경우의 잡음지수이다. 이 그림에서 보는 바와 같이 250℃까지는 열처리 영향이 나타나지 않지만, 300℃, 350℃ 열처리 조건에서는 도체 전극에 존재하던 응력이 열처리에 의해 도금전에 미리 제거됨으로써 도금과정에 의해 도전 경로가 물리적으로 단절되는 것이 방지되어 잡음지수가 명확히 감소되고 있다.

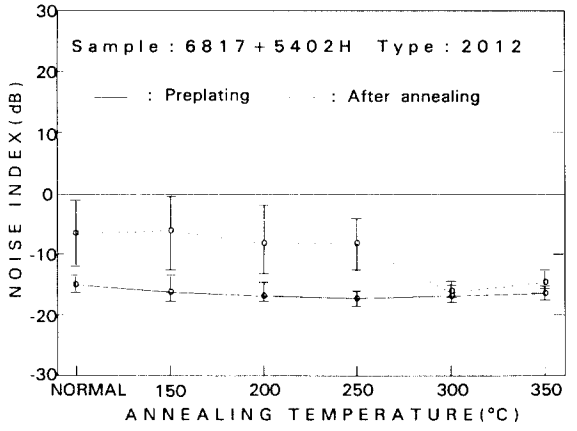


그림 9. 도금공정 전 열처리된 칩저항기들에서의 잡음지수

Fig. 9. Noise indices of chip resistors annealed before plating process.

V. 결 론

본 논문에서는 RuO_2 후막저항체에서 과도한 접촉 전류잡음의 원인과 그 제거방안을 살펴보았다. 전류잡음은 일차전극 도체페이스트와 저항체페이스트의 접촉면에서 발생되는 균열에 의하여 과도하게 증가될 수 있음을 관측하였다. 니켈 도금공정이 잡음지수를 증가시키는 원인은 도금 공정에서 니켈도금이 진행되면서 도금층의 수축응력이 일차전극에 존재하던 응력방향과 반대 방향으로 작용하여 저항체와 접촉하는 부위의 일차전극 내 도체 입자간의 도전경로를 물리적으로 단절시키기 때문인 것으로 판단된다.

후막 제조기술에서는 페이스트간의 열팽창계수의 적합성이 매우 중요하며, 칩저항기의 경우 도금공정이 불가결하기 때문에 도금막의 내부 응력에 의한 영향을 감소시킬 수 있는 공정에 관한 고려가 필수적이다. 이때 전류잡음의 증가를 억제하기 위해서는 일차전극막과 도금막과의 접촉 면적을 감소시키는 방법과 약 300℃~350℃에서 열처리하여 저항체-도체 접합부위의 내부응력을 미리 제거하여 주는 방법이 효과적임을 보였다.

參 考 文 獻

[1] J.J. Licari and L.R. Enlow, *Hybrid Microcircuit Technology Handbook,* Noyes Pub. New Jersy, pp. 1-14, 1988.

[2] L. Pesic, "A Review of thick film glaze resistors," *Microelectronics Journ.* vol. 19, no. 4, pp. 71-87, 1988.

[3] J.G. Cottle and T.M. Chen, "Characteristics, sources, and minimization of thick film resostor burst noise," *Proc. ISHM Microelectronic. Symp.* pp. 835-839, 1986.

[4] T.M. Chen, M. Grierson and J.G. Rhee, "Trimming patterns for low noise thick film resistros," *Proc. ISHM Microelectronic. Symp.* pp. 238-244, 1978.

[5] 최동욱, 김근영, 김승민, 안철, "RuO_2를 전도매체로한 후막 저항체와 전기적 특성에 관한 연구," 대한전자공학회 하계종합학술대회 논문집 제14권 1호, pp. 283~286, 1991.

[6] T. Inokuma, Y. Taketa and M. Haradome, "The microstructure of RuO_2 thick film resistros and the influence of glass particle size on their electrical properties," *IEEE*

Trans. Components, Hybrids, Manuf. Tech., vol. CHMT-7, no. 2, pp. 166-175, Jun. 1984.

[7] D.A. Luke, "Plating of ceramic components for surface mounting assembly," *Proc. Hybrid Microtech. 88 Conf.*, pp. 28-32, 1988.

著 者 紹 介

金 知 澔(正會員)

'85年 아주대학교 전자공학과 졸업. '91年 아주대 산업대학원에서 석사학위 취득. 주관심분야는 Thick Film Process를 응용한 Chip Compoment연구. 현재 삼성전기 종합연구소 주임연구원.

●

金 鎭 龍(正會員)

'81年 한양대학교 무기재료공학과 졸업. '83年 동대학원에서 석사학위 취득. 주관심분야는 Dielectric Ceramics 합성 및 평가, MLCC, 반도체세라믹등, 현재 삼성전기 종합연구소 선임연구원.

●

林 漢 祚 (正會員) 第28卷 A編 第7號 參照
현재 아주대학교 전자공학과 교수

愼 哲 載 (正會員) 第28卷 A編 第6號 參照
현재 아주대학교 전자공학과 교수

●

朴 洪 二(正會員)

1975年 I.I.T 물리학사. 1977年 Univ. of Dayton 물리학 석사. 1980年 Penn. State Univ. 물리학 박사. 1981年~1986年 8月 부산대 물리학과 조교수. 1986年 9月~현재 연세대 물리학과 부교수. 연세대학교 교수. 주관심분야는 반도체 Growth & Characterisation. HDTV용 형광체 개발, 유전체, 핵폐기물 처리 등임.