

열산화법으로 형성한 탄탈륨 산화막의 전기적 특성

(Electric Characteristics of Tantalum Pentoxide
Thin Film Formed by Thermal Oxidation)

洪寧皓*, 朴孝德*, 田春倍**, 李德東*, 金鳳烈***

(Young Ho Hong, Hyo Derk Park, Choon Bae Jun, Duk Dong Lee,
and Bong Ryul Kim)

要 約

본 논문에서는 Al/Ta₂O₅/SiO₂/Si의 적층구조 MIS 커패시터의 전기적 성질을 조사하였다. 탄탈륨 산화막은 실리콘 산화막 위에 탄탈륨 금속을 스퍼터링으로 증착한 후 450~600°C의 온도범위에서 1시간 동안 열산화 함으로써 형성하였다. 형성된 탄탈륨 산화막에 대해 XRD 및 AES분석을 행하였다. C-V 특성 분석결과 비유전율은 열산화온도와 열처리온도에 의존하였으며 550°C에서 1시간 열산화한 소자가 각각의 열처리온도에 대해 18~23의 가장 높은 비유전율을 보였다. 누설 전류 밀도는 1MV/cm의 인가전장에 대해 10⁻¹⁰~10⁻⁹ A/cm²의 분포를 보였으며 절연 파괴 전장은 1000°C에서 열처리한 소자의 경우 2.5~2.8MV/cm의 분포를 보였다.

Abstract

The electrical characteristics of Al/Ta₂O₅/SiO₂/Si metal insulator-semiconductor (MIS) capacitors were studied. Tantalum pentoxide thin films on SiO₂/p-Si substrate have been prepared by thermal oxidation at 450-600°C of sputter deposited tantalum films. Composition and structures of the tantalum oxide films were examined by AES and XRD. From the C-V analysis, dielectric constant of Ta₂O₅ which were oxidized at 550°C for 1h in O₂ were 18-23, the value depending on the oxidation and annealing temperature. The leakage current density was found to be about 10⁻¹⁰-10⁻⁹ A/cm² at an applied electric field of 1 MV/cm. The dielectric breakdown strength of the tantalum oxide films annealed at 1000°C were in the range from 2.5 MV/cm to 2.8 MV/cm.

I. 서 론

최근 반도체 기술의 급속한 발전은 단위소자의 소형, 경량화 및 고성능화를 특징으로 하는 초고집적화 시대를 열게 하였다. 이와 같이 집적회로가 고집적화 되어감에 따라 DRAM(dynamic random access memory)의 게이트 절연막 및 유전박막의 두께가 감소하게 되었다. 이로 인해 절연막에 인가되는 전장이 증가하게 되었으며, 또한 단위 기억소자당 면적이 감소되어 기존의 실리콘 산화막으로는 필요한 축전

*正會員, 慶北大學校 電子工學科

(Dept. of Elec. Eng., Kyungpook Nat'l Univ.)

**正會員, 蓮庵工業專門大學 電子科

(Dept. of Elec. Eng., Yonam Junior College)

***正會員, 延世大學校 電子工學科

(Dept. of Elec. Eng., Yonsei Univ.)

接受日字: 1992年 1月 10日

(※ 본 연구는 과학재단의 연구비 지원에 의하여 수행 되었음.)

용량을 얻기가 어렵게 되었다.¹¹ 단위 소자당 축전용량을 늘이기 위해서는 산화막의 두께를 줄이는 방법과 산화막을 유전율이 큰 새로운 물질로 대체하는 방법 등이 있다. 산화막의 두께를 줄이게 되면 기존의 SiO_2 는 두께 감소에 따라 급격히 항복전압이 낮아지고 수율이 떨어지는 등 절연막으로서의 질적저하를 초래하게 된다.¹² 특히 10nm 이하로 감소하게 되면 누설전류가 증가하고 불순물 확산에 대한 장벽 효과가 떨어지게 된다. 따라서 실리콘 산화막을 절연막으로 사용함에 있어서 그 두께를 더욱 얇게 만드는 것은 거의 물리적인 한계에 이르렀다.³⁻⁵¹

이러한 문제점을 해결하기 위한 하나의 방법이 절연막의 두께를 줄이는 대신에 비유전율이 큰 물질을 유전박막으로 사용하여 단위소자의 면적감소로 인해 감소된 용량값을 보상하는 것이다. 현재 이와 같은 목적으로 Si_3N_4 , Al_2O_3 , 그리고 Ta_2O_5 등의 절연막에 대한 연구가 활발히 진행되고 있으며, 그 중에서도 가장 유력한 물질로서 탄탈륨 산화막이 연구되고 있다.^{1,6,71}

탄탈륨 산화막은 비유전율이 약 22~25 정도로 실리콘 산화막의 비유전율에 비하여 6배 정도 크고 실리콘 질화막 보다도 3배 이상 크다. 그러나 탄탈륨 산화막은 누설전류가 많고 절연 파괴 특성이 좋지 못하여 실제 소자에 적용하지 못하고 있으며 이를 개선하기 위한 방법이 연구되고 있다.⁸⁻¹³¹

본 연구에서는 실리콘 산화막의 낮은 비유전율과 탄탈륨 산화막의 많은 누설전류의 단점을 상호보완하기 위한 목적으로 MTOS (metal-tantalum oxide-silicon dioxide-semiconductor)의 적층구조를 형성하였다. 실리콘 산화막은 1000°C에서 건식산화법으로 형성하였으며, 탄탈륨 산화막은 고주파 스퍼터링법으로 Ta 금속박막을 증착하고 이를 산소분위기의 전기로에서 열산화함으로써 형성하였다.¹⁴⁻¹⁶¹ 형성한 탄탈륨 산화막의 물리적 특성을 조사하기 위해서 XRD 및 AES 분석을 행하였으며, 각 시편의 유전 및 절연특성을 알아보기 위해 C-V 및 I-V 특성 등을 조사하였다.

II. 실험방법

1. 시편제작

그림1은 열산화법에 의한 탄탈륨 산화막의 제조공정도를 나타낸 것이다. 기판은 결정면이 (100)이고 비저항이 6~9 Ω cm인 p형 실리콘 웨이퍼였다. 먼저 표준세척공정을 거친 실리콘 시편위에 건식산화법으로 20nm의 실리콘 산화막을 형성시켰다. RF 스퍼

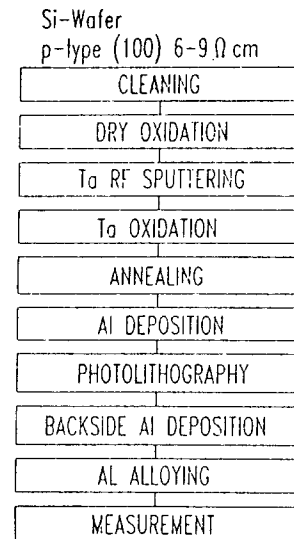


그림 1. 열산화법에 의한 탄탈륨 산화막의 제조공정도

Fig. 1. Process flow chart of MTOS capacitor with tantalum pentoxide films formed by thermal oxidation.

터장치 (ANELVASPT-210B)에 순도 99.99% 탄탈륨 금속을 장착한 후 아르곤 가스를 이용한 반응성 스퍼터링법으로 30~70nm의 탄탈륨 금속박막을 실리콘 산화막 위에 증착하였다. 형성된 탄탈륨 금속박막을 산소분위기인 반응로에 넣고 450~600°C의 온도에서 50°C 간격으로 1시간 동안 열산화시켜 탄탈륨 산화막을 형성하였다. 이렇게 제조된 탄탈륨 산화막을 다시 700~1000°C의 온도에서 100°C 간격으로 산소분위기의 전기로에서 1시간 동안 열처리하였다.

형성한 탄탈륨 산화막 위에 전극을 형성하기 위해 Al을 300nm 정도 증착시킨 후 사진식각 (photolithography) 작업으로 dot 모양을 형성하였다. 또한 시편 뒷면의 자연산화막을 제거한 후에 Al을 증착하여 뒷면전극을 형성하였다. 증착된 Al과 실리콘과의 접촉을 양호하게 하기 위하여 400°C, 질소분위기에서 얼로잉을 행하였다. 이렇게 제작한 소자의 구조를 그림2에 나타내었다.

표1은 탄탈륨 금속박막을 형성시킬 때의 고주파 스퍼터링 증착조건을 나타낸 것이다.

2. 측정

1) 물성특성

탄탈륨 금속박막과 탄탈륨 산화막의 두께 측정을

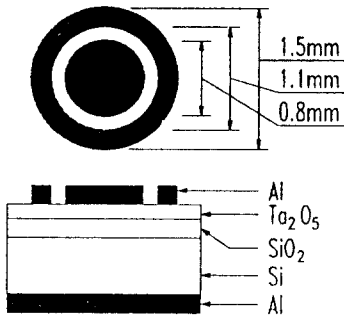


그림 2. 제조된 MTOS 커패시터의 구조
Fig. 2. Structure of fabricated MTOS capacitor.

표 1. 탄탈륨 금속박막 제작조건

Table 1. Tantalum thin film fabrication conditions.

POWER	100 watt
INITIAL PRESSURE	5×10^{-4} torr
FLOW RATE	Ar:10sccm
SUB. TEMP	ROOM TEMP
WORKING PRESSURE	100 mTr
TARGET	4 inch Ta (3N)

위하여 α -step(Tencor Co.)과 Ellipsometer (Gaertner L116B)를 이용하였다. 형성된 탄탈륨 산화막의 열처리온도에 따른 결정구조의 변화를 조사하기 위해 XRD(X-ray diffraction) 패턴을 조사하였고, 정량분석을 위해 AES(auger electron spectroscopy) 분석을 행하였다.

2) 전기적 특성

탄탈륨 산화막의 C-V 특성을 측정하기 위해서 HP-4280A 1MHz C Meter/C-V Plotter 및 X-Y record를 사용하여 1MHz 조건에서 C-V 특성곡선을 얻었으며, 이를 이용하여 평탄 대역전압 (flat-band voltage)의 변화와 각 시편의 유전상수값을 구하였다. I-V 특성을 측정하기 위해 Keithley사의 Electrometer와 HP-4145B semiconductor parameter analyzer를 사용하였고, p-type 기판이 포화가 되도록 하기 위해 게이트 전극에 음의 전압을 인가하였다. 또한 각 시편의 절연 파괴 전장을 측정하기 위해서 HP-4145B를 사용하였다.

Ⅲ. 실험결과 및 고찰

1. 물성분석

그림3은 SiO₂(20nm)/p-Si 기판위에 약 50nm의

탄탈륨 금속박막을 반응성 고주파 스퍼터링법으로 증착한 후 550°C의 온도로 유지한 반응로에서 1시간 동안 열산화한 시편의 열처리 온도에 따라 XRD 패턴을 나타낸 것이다. 그림에서 보는 바와 같이 열처리를 하지 않았을 때는 비정질이었으나 700°C에서 열처리를 했을 경우에 2θ가 23°와 29° 근방에서 (001)과 (100)의 피크(peak)가 각각 나타나기 시작하였으며, 열처리 온도가 증가함에 따라 (100)면의 피크가 점차 증가하였다. 또한 37° 부근의 (101) 결정면 피크도 열처리온도의 증가와 함께 점차 증가함을 보였는데 이는 δ-Ta₂O₅의 피크에 해당된다.

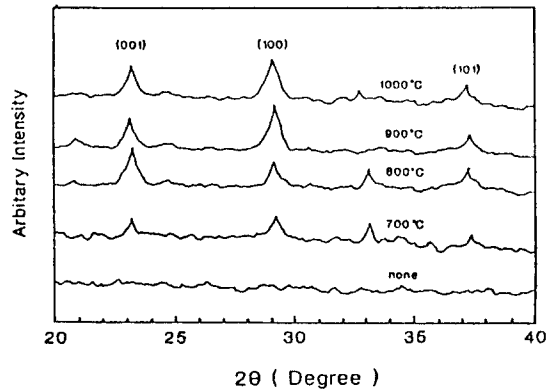


그림 3. 550°C에서 열산화한 탄탈륨 산화막의 열처리온도에 따른 XRD 패턴
Fig. 3. XRD patterns of the tantalum oxide films formed by thermal oxidation at 550°C for various annealing temperatures.

그림4는 550°C에서 1시간 동안 열산화하여 형성한 탄탈륨 산화막의 열처리를 하지 않은 시편과 800°C, 1000°C에서 열처리한 시편의 AES 깊이방향 분석결과이다. 그림4의 (a), (b) 및 (c)를 비교해 보면 열처리한 이후의 탄탈륨 산화막의 두께가 조금 증가한 것을 볼 수 있는데 이는 산소분위기의 반응로에서 열처리를 함으로써 550°C의 온도에서 미처 산화하지 못한 탄탈륨 금속이 산소와 결합하여 산화했기 때문이라고 생각된다. 한편 실리콘 산화막의 두께는 800°C에서 열처리한 시편의 경우 거의 변화가 없는 것을 볼 수 있는데, 이는 건식산화의 경우 탄탈륨 산화막이 실리콘 산화막의 성장을 억제한다는 Kato¹⁷⁾의 보고와 일치함을 알 수 있다. 그러나 그림4의 (c)에서 알 수 있듯이 1000°C 이상에서는 실리콘 산화막

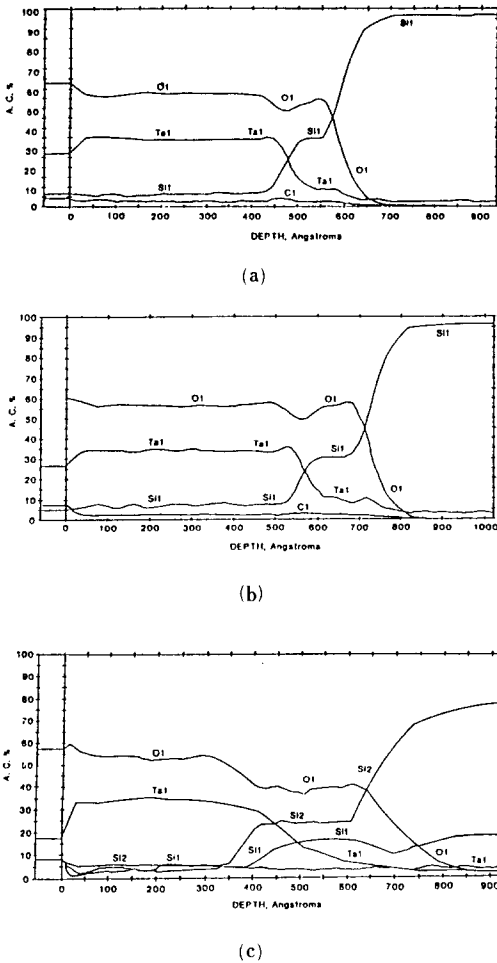


그림 4. 550°C에서 열산화한 탄탈륨 산화막의 열처리온도에 따른 AES 깊이 방향분석 (a) 열처리하지 않은 것 (b) 800°C (c) 1000°C

Fig. 4. AES depth profiles of the tantalum oxide films formed by thermal oxidation at 550°C for annealing temperatures. (a) none, (b) 800°C, (c) 1000°C.

이 성장되었는데 이 결과로써 1000°C 이상의 온도에서는 탄탈륨 산화막이 실리콘 산화막의 성장을 완전히 억제하지 못함을 알 수 있다.

2. C-V 특성분석

MTOS(metal-tantalum pentoxide-silicon dioxide semiconductor) 커패시터에서 전압을 인가하면 인가 전압의 크기와 극성에 따라 반도체 표면 부근에서 캐리어 변화가 일어나게 된다. 이는 정전용량의 변화를 야기시키는데 이러한 C-V 특성곡선으로 부터

전하축적영역의 C_{max} 값을 측정함으로써 절연체의 비유전율을 구할 수 있다. MTOS 커패시터에서 전체용량값 C 는 C_{tx} (tantalum oxide capacitance), C_{ox} (Silicon oxide capacitance), C_{si} (silicon capacitance)의 직렬연결로 나타낼 수 있다. 전하축적 영역에서 C_{si} 는 무시할 수 있으므로 용량값은 절연막의 용량값만 남게되어 측정되는 용량값은 최대가 된다. 즉, C_{max} 는 C_{tx} 와 C_{ox} 의 두 항만으로 표시할 수 있고 탄탈륨 산화막의 비유전율 ϵ_{tx} 는 식(2)와 같이 표현된다.

$$C_{max} = \frac{C_{tx} \cdot C_{ox}}{C_{tx} + C_{ox}} = \frac{\epsilon_o \epsilon_{ox} \cdot \epsilon_{tx} A}{\epsilon_{ox} d_{tx} + \epsilon_{tx} d_{ox}} \quad (1)$$

식(1)로 부터

$$\epsilon_{tx} = \frac{\epsilon_{ox} \cdot d_{tx}}{\epsilon_o \epsilon_{ox} A - C_{max} \cdot d_{ox}} C_{max} \quad (2)$$

여기에서 ϵ_{ox} 는 실리콘 산화막의 비유전율, ϵ_o 는 진공중에서의 유전율을 나타내며 d_{tx} 와 d_{ox} 는 각각 탄탈륨 산화막의 두께와 실리콘 산화막의 두께를 나타낸다. 그리고 A는 dot 커패시터의 면적이다.

그림5는 450°C에서 600°C까지 50°C 간격으로 1시간 동안 열산화한 시편의 열처리온도에 따른 비유전율의 변화를 나타낸 것이다. 열처리 온도가 700~800°C까지는 열처리 온도가 증가함에 따라 비유전율이 증가하였다. 이는 탄탈륨 산화막의 결정화에 의한 것이라 생각된다.¹⁾ 그러나 800°C 이상의 온도에서 열처리한 경우 그림4(c)에서 보는 바와 같이 실리콘 산화막의 성장으로 인한 전체적인 정전용량의 감소 때문에 비유전율이 감소하였다.

그림6은 열산화온도를 550°C로 고정하고 열산화시간과 열처리시간을 변화시킨 시편의 열처리온도에 따른 비유전율의 변화를 나타낸 것이다. 열산화시간

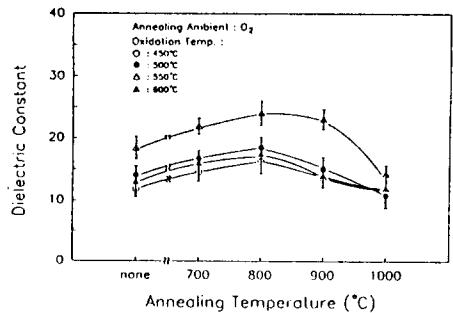


그림 5. 열산화온도와 열처리온도에 따른 비유전율 Fig. 5. Dielectric constant versus annealing temperature for oxidation temperatures.

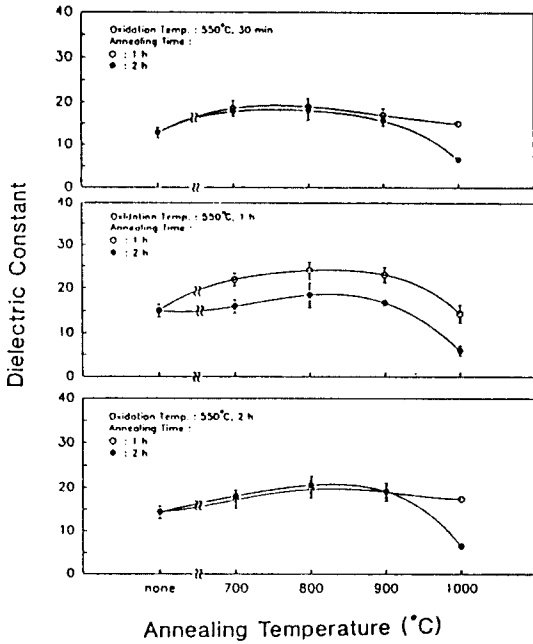


그림 6. 550°C에서 열산화한 탄탈륨 산화막의 열산화시간과 열처리시간에 따른 비유전율
 Fig. 6. Dielectric constant versus annealing temperature for oxidation and annealing times.

이 30분 및 1시간의 시편의 경우, 1시간 동안 열처리한 시편이 2시간 열처리한 시편보다 더 높은 비유전율을 보였다. 특히, 1000°C에서 열처리한 시편의 경우 매우 큰 차이를 보였는데 이는 실리콘 산화막이 시간에 따라 더욱 증가했기 때문이라고 생각된다. 한편 2시간 열산화한 시편의 경우 900°C의 열처리온도까지는 열처리시간에 따라 큰 차이가 없었으나 1000°C에서는 열처리한 시편은 실리콘 산화막의 성장으로 인해 2시간 열처리한 시편의 경우 아주 낮은 비유전율을 보였다. 결과를 종합해 볼 때 550°C에서 1시간 열산화하고, 각 온도에서 1시간 동안 열처리한 시편이 비교적 높은 비유전율을 보였다.

그림7은 550°C에서 1시간 열산화한 후 800°C에서 1시간 열처리한 시편의 두께에 따른 비유전율의 변화를 나타낸 것이다. 대략 400Å 이상의 두께에서 22 정도의 비유전율을 나타내었다.

그림8은 열산화와 열처리를 각각 1시간 수행한 시편의 열산화온도와 열처리온도에 따른 최대 정전용량값을 나타낸 것이다. 각각의 열산화온도에 대해 800°C에서 열처리한 시편의 정전용량값이 가장 크게

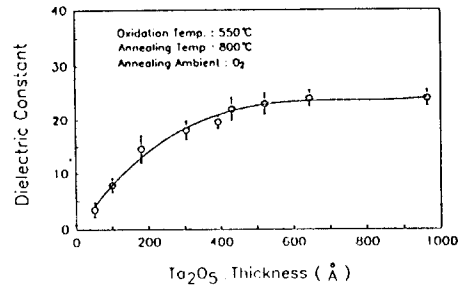


그림 7. 비유전율의 두께 의존성
 Fig. 7. Thickness dependence of dielectric constant.

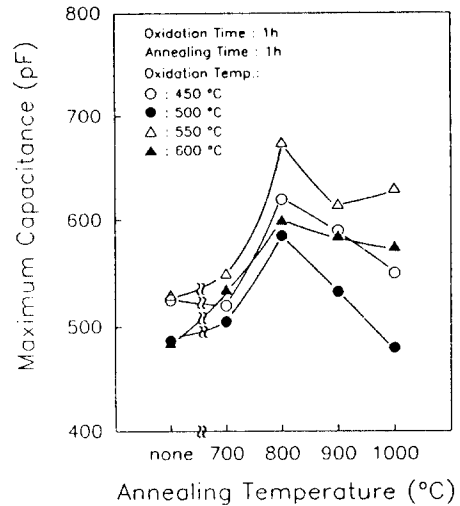


그림 8. 열산화온도와 열처리온도에 따른 탄탈륨 산화막의 최대 정전용량 값의 변화
 Fig. 8. Maximum capacitance versus annealing temperature for oxidation temperatures.

나타남을 볼 수 있다. 700~800°C의 열처리 온도범위에서는 정전용량의 값이 열처리온도에 따라 증가하나 900~1000°C의 온도 범위에서는 열처리온도의 증가에 따른 실리콘 산화막의 성장으로 인하여 정전용량값이 감소함을 볼 수 있다.

그림9는 열산화와 열처리를 각각 1시간 수행한 시편의 열산화온도와 열처리 온도에 따른 평탄대역 전압의 변화를 이론적으로 구한 이상적인 C-V 특성곡선과 비교하여 나타낸 것이다. 각각의 열처리온도에 대해 450~500°C의 열산화 온도 범위에서는 평탄대역 전압의 값이 열처리온도에 따라 대체로 감소함을

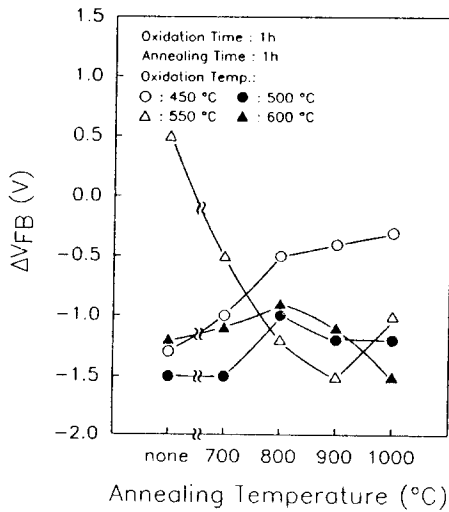


그림 9. 열산화온도와 열처리온도에 따른 탄탈륨 산화막의 평탄 대역 전압의 변화
 Fig. 9. Flatband voltage versus annealing temperature for oxidation temperatures.

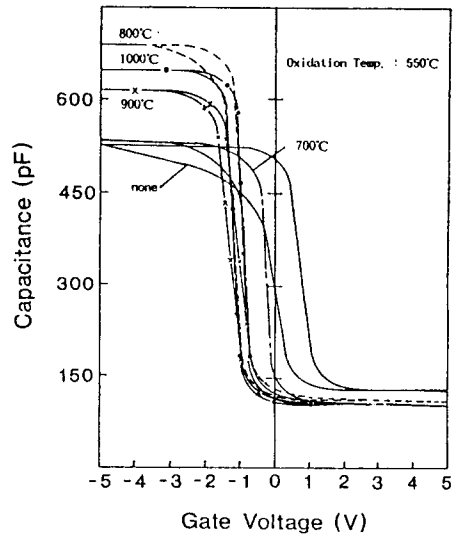


그림 10. 550°C에서 1시간 열산화한 탄탈륨 산화막의 열처리시간과 열처리온도에 따른 이력특성곡선
 Fig. 10. Hysteresis characteristics plot for annealing times and annealing temperatures.

보였으나 550~600°C의 온도 범위에서는 열산화온도의 증가에 따라 평탄 대역 전압이 증가하였다.

그림 10은 550°C에서 열산화한 시편의 열처리온도에 따른 이력특성을 나타낸 것이다. 거의 모든 소자에서 그림과 같은 이력현상이 관찰되었으며 열처리 온도의 증가와 함께 감소함을 보였다.

3. I-V 특성

증착된 탄탈륨 산화막의 질을 알아보는 방법의 하나가 박막의 누설 전류를 측정하는 것이다. 이중 절연막 구조에서 인가전압에 따른 탄탈륨 산화막의 전장은 식(3)과 같이 표현된다.

$$E_{ix} = \frac{\epsilon_{ox} \cdot V}{\epsilon_{ox} \cdot d_{ix} + \epsilon_{ix} \cdot d_{ox}} \quad (3)$$

그림 11은 450°C에서 1시간 열산화한 탄탈륨 산화막의 인가전장에 따른 누설 전류 밀도를 열처리 온도에 따라 나타낸 것이다. 열처리를 하지 않았을 때가 전체적으로 낮은 누설 전류 밀도를 나타내었으며, 비유전율이 가장 크게 나타난 800°C에서 열산화한 시편의 경우가 가장 높은 누설 전류 밀도를 나타내었다.

그림 12는 550°C에서 열산화한 소자의 인가 전장에 따른 누설전류 밀도를 열처리온도에 따라 나타낸 것이다. 앞의 두 경우와는 달리 1000°C에서 열산화한 시편이 가장 작은 누설 전류 밀도를 보였는데 이는

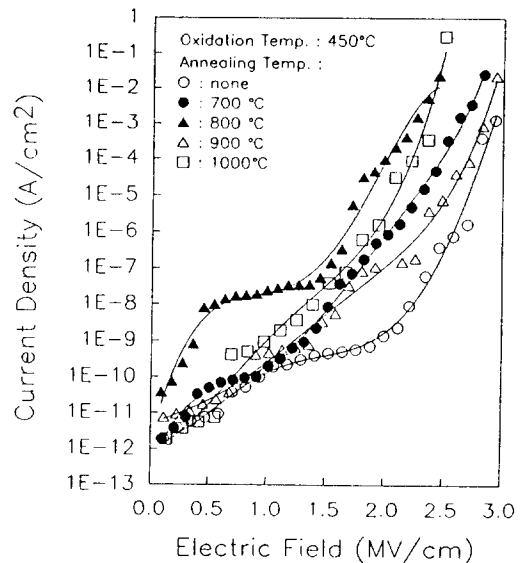


그림 11. 450°C에서 열산화한 탄탈륨 산화막의 열처리온도에 따른 I-V 특성
 Fig. 11. Leakage current density versus voltage characteristics for annealing temperatures.

열처리 효과에 의해서 산화막의 결함이 감소되어 산화막의 구조가 치밀해졌고, 또한 실리콘 산화막이 성장되었기 때문이라고 생각된다. 한편 비유전율이 가

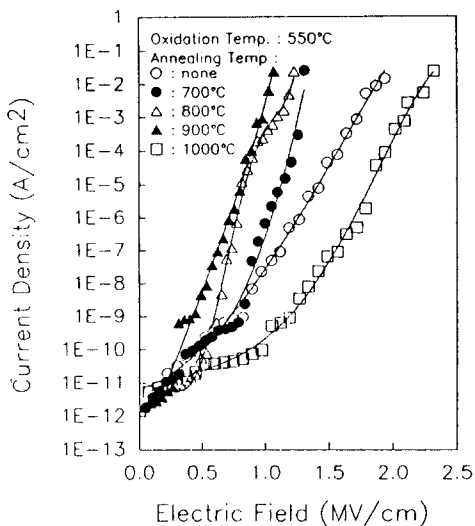


그림12. 550°C에서 열산화한 탄탈륨 산화막의 열처리 온도에 따른 I-V 특성
 Fig. 12. Leakage current density versus voltage characteristics for annealing temperatures.

장 큰 800°C 및 900°C에서 열처리한 시편이 가장 큰 누설 전류 밀도를 보였다.

4. 절연 파괴 전장

절연 파괴 전장은 1 μ A의 누설전류가 흐를 때의 전장으로 정의하였으며 각 공정별로 20개 이상의 커패시터의 누설전류를 측정하여 평균 임계 전장을 비교하였다.

그림13은 450~600°C의 범위에서 1시간 열산화한 시편의 절연 파괴 전장을 열처리온도에 따라 나타낸 것이다. 1000°C에서 열처리한 시편은 2.5~2.8MV/cm 정도로 1000°C 이하에서 열처리한 시편보다 높은 절연 파괴 전장값을 나타내었는데, 이는 고온의 열처리 때문에 막이 치밀해졌고 또한 계면에서의 실리콘 산화막의 증가 때문이라고 생각된다. 그러나 비유전율이 가장 높았던 800°C에서 열처리한 시편은 1.1~2MV/cm 정도의 낮은 절연파괴 전장값을 나타내었다.

그림14는 열산화온도를 550°C로 고정하고 열산화 시간과 열처리시간을 변화시킨 시편의 열처리온도에 따른 절연 파괴 전장값을 나타낸 것이다. 30분 열산화한 소자가 비교적 높은 절연 파괴 전장값을 나타내었다. 또한, 2시간 동안 열처리한 소자가 1시간 열처리한 소자에 비해 보다 높은 절연 파괴 전장 값을 나타내었는데, 이는 막의 구조가 좀더 치밀해졌기 때

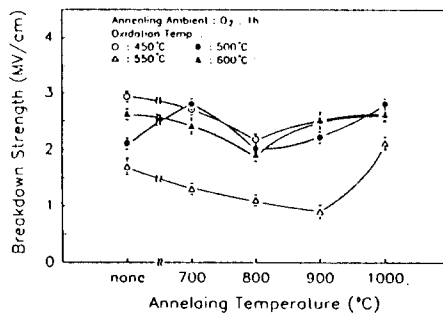


그림13. 열산화온도와 열처리온도에 따른 절연 파괴 전장
 Fig. 13. Dielectric breakdown field strength versus annealing temperature for oxidation temperatures.

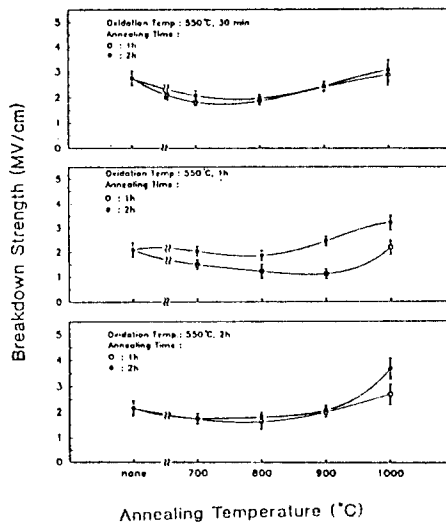


그림14. 550°C에서 열산화한 탄탈륨 산화막의 열산화시간과 열처리시간에 따른 절연 파괴 전장
 Fig. 14. Dielectric breakdown field strength versus annealing temperature for oxidation times and temperatures.

문이라고 생각된다. 그러나 가장 큰 비유전율을 보였던 550°C에서 1시간 열산화하고, 1시간 열처리한 소자가 다른 조건의 소자에 비해 낮은 절연 파괴 전장 값을 보였다.

IV. 결 론

반응성 스퍼터링으로 증착한 탄탈륨 금속박막을 열산화시켜 탄탈륨 산화막을 형성하고 XRD, AES 패턴분석과 C-V, I-V 및 절연 파괴 특성으로부터 물리적 및 전기적 특성을 조사하였다. C-V 특성 곡선으로 부터 얻은 비유전율의 값은 550°C에서 1시간 열산화하고 다시 800°C에서 1시간 열처리한 시편이 22~25정도로 다른 열산화 및 열처리 조건으로 형성한 시편에 비해 높은 비유전율을 보였다. 그리고 거의 모든 시편에서 이력현상이 관찰되었으며 이러한 이력현상은 열처리온도의 증가와 함께 감소하였다. 누설 전류 밀도는 450~500°C의 온도에서 열산화한 시편의 경우 대체로 열처리온도의 증가에 따라 누설 전류가 증가함을 보였으며, 550~600°C의 온도에서 열처리한 시편의 경우에는 열처리온도의 증가와 함께 누설전류의 감소를 보였다. 두 경우 모두 누설 전류 밀도는 대략 1MV/cm의 전장에서 10^{-10} A/cm² 정도였다. 한편, 전체적으로 비유전율이 큰 시편이 높은 누설 전류 밀도를 나타내었다.

절연 파괴 전장은 열산화온도에 따라 큰 차이를 나타내었는데 가장 큰 비유전율을 보인 550°C에서 1시간 열산화한 시편이 열처리조건에 따라 1~2MV/cm의 가장 낮은 절연 파괴 전장값을 나타내었으며 열처리온도의 증가와 함께 절연 파괴 전장값도 증가하였다.

參 考 文 獻

- [1] H. Shinriki, Y. Nishioka, Y. Ohij, and K. Mukai, "Oxidized Ta₂O₅/Si₃N₄ dielectric films on poly crystalline Si for DRAM's," *IEEE Trans. Electron Devices* vol. 36, no. 2, pp. 328-332, 1989.
- [2] Y. Nishioka, S. Kimura, H. Shinriki, and K. Mukai, "Dielectric characteristics of double layer structure of extremely thin Ta₂O₅/SiO₂ on Si," *J. Electrochem. Soc.*, vol. 134, no. 2, pp. 410-415, 1987.
- [3] Y. Nishioka, N. Homma, H. Shinriki, K. Yamaguchi, A. Uchida, K. Higeta, and K. Ogiue, "High capacitance ultra-thin Ta₂O₅ dielectric film applied to a high-speed bipolar memory cell," *IEDM Technical Digest*, pp. 42-45, 1985.
- [4] Mehrdad M. Moslehi and Krishna C. Saraswat, "Thermal nitridation of Si and SiO₂ for VLSI," *IEEE Trans. Electron Devices*, vol. ED-32, no. 2, pp. 106-123, 1985.
- [5] W.A. Tiller, "On the kinetics of the thermal oxidation of silicon," *J. Electrochem. Soc.*, vol. 127, no. 3, pp. 619-624, 1980.
- [6] G.S. Oehrlein, F.M. d'Heurle, and A. Reisman, "Some properties of crystallized tantalum pentoxide thin films on silicon," *J. Appl. Phys.*, vol. 55, no. 10, pp. 3715-3725, 1984.
- [7] G.S. Oehrlein, "Capacitance-voltage properties of thin Ta₂O₅ films on silicon," *Thin Solid Films*, 156, pp. 207-229, 1988
- [8] M. Saitoh, T. Mori, and H. Tamura, "Electrical properties of thin Ta₂O₅ films grown by chemical vapor deposition," *IEDM Technical Digest*, pp. 680-683, 1986.
- [9] G.S. Oehrlein and A. Reisman, "Electrical properties of amorphous tantalum pentoxide thin films on silicon," *J. Appl. Phys.*, vol. 54, no. 11, pp. 6502-6508, Nov. 1983.
- [10] Y. Nishioka, H. Shinriki, and K. Mukai, "Influence of SiO₂ at the Ta₂O₅/Si interface on dielectric characteristics of Ta₂O₅ capacitance," *J. Appl. Phys.*, vol. 61, no. 6, pp. 2335-2338, 1987.
- [11] H. Shinriki, M. Nakata, Y. Nishioka, and K. Mukai, "Two-step annealing technique for leakage current reduction in chemical vapor deposited Ta₂O₅ film," *IEEE Electron Device Lett.*, vol. 10, no. 11, pp. 514-516, Nov. 1989.
- [12] S.G. Byeon and Y. Tzeng, "High-performance tantalum oxide capacitors fabricated by a novel reoxidation scheme," *IEEE Trans. Electron Devices*, vol. 37, no. 4, pp. 972-979, Apr. 1990.
- [13] D.J. Smith and L. Young, "Optical and electrical properties of thermal tantalum oxide films on silicon," *IEEE Trans. Electron Devices*, vol. ED-28, no. 1, pp. 22-27, 1981.
- [14] G.S. Oehrlein, "Oxidation temperature dependence of the dielectrical conduction characteristics and dielectric strength of thin Ta₂O₅ films on silicon," *J. Appl. Phys.*, vol. 59, no. 5, pp. 1587-1595, 1986.
- [15] C.A. Steidel and D. Gerstenberg, "Thermal oxidation of sputtered tantalum thin films between 100 and 525°C," *J. Appl. Phys.*, vol. 40, no. 9, pp. 3828-2835, 1969.
- [16] J.G. Hwu, M. J. Jeng, W.S. Wang, and Y.K. Tu, "Clockwise C-V hysteresis phenomena

of metal-tantalum oxide-silicon oxide silicon(p) capacitors due to leakage current through tantalum oxide," *J. Appl. Phys.*, vol. 62, no. 10, pp. 4277-4283, Nov. 1987.

[17] T. Kato and T. Ito, "Interfacial oxidation of silicon substrates through Ta₂O₅ films," *J. Electrochem. Soc.*, vol. 135, no. 10, pp.

2586-2590, 1988.

[18] S. Kimura, Y. Nishioka, A. Shintani, and K. Mukai, "Leakage-current increase in amorphous Ta₂O₅ films due to pinhole growth during annealing below 600°C," *J. Electrochem. Soc.*, vol. 130, no. 12, pp. 2414-2418, Dec. 1983.

著 者 紹 介



洪 寧 皓 (正會員)
 1964年 4月 2日生. 1990年 경북대학교 전자공학과 졸업. 1992년 경북대학교 대학원 전자공학과 석사학위 취득. 현재 경북대학교 대학원 전자공학과 박사과정. 주관심분야는 반도체 집적회로 제조공정, 반도체 센서 등임.

田 春 倍 (正會員) 第26卷 第11號 參照
 현재 연암공업전문대학 전자과 전임강사

李 德 東 (正會員) 第25卷 第11號 參照
 현재 경북대학교 전자공학과 교수



朴 孝 德 (正會員)
 1960年 11月 24日生. 1984년 경북대학교 전자공학과 졸업. 1986년 경북대학교 대학원 전자공학과 석사학위 취득. 1986년~현재 경북대학교 대학원 전자공학과 박사과정. 주관심분야는 반도체 집적회로 제조공정, SAW 가스센서 등임.

金 鳳 烈 (正會員) 第25卷 第11號 參照
 현재 연세대학교 전자공학과 교수