

고주파수 동기장치용 DP-PLL의 설계를 위한 위상차 검출방식과 프로세스 알고리즘

(A Phase-Difference Detection Method and its Process Algorithm for DP-PLL Design of the High Frequency Synchronization Device)

余在興,* 林寅七**
(Jae Heung Yuh and In Chil Lim)

要 約

본 논문은 고주파수 동기장치용 DP-PLL(Digital Processing-Phase Locked Loop) 설계를 위한 위상차 검출방식과 검출된 위상차의 평균값, OVCXO(Ovenized Voltage Controlled Crystal Oscillator) 제어값을 계산하고 PLL 기능수행 상태를 감시 제어하기 위한 알고리즘을 논한다. 제시된 방식과 알고리즘의 성능을 알아보기 위하여 16비트 프로세서 및 주변회로, 그리고 OVCXO등으로 DP-PLL을 구현하여 실험하였고, 그 결과 PLL의 위상차 검출과 기준클럭 추적성능, jitter 흡수성과 주파수 안정도가 기존방식의 DP-PLL 동기장치에 비하여 현저히 개선됨을 확인하였다.

Abstract

This paper describes a new phase-difference detection method and the associate process algorithm for calculating the mean value of phase difference detected and OVCXO control value and for monitoring and controlling the DP-PLL operation status to be used in the design of a high-frequency DP-PLL. Through the experiments of DP-PLL implemented with 16-bit processor, memories, peripherals and OVCXO to evaluate the suggested method and algorithm, it is shown that a remarkable improvement in PLL function such as phase detection, and reference clock tracing capability, jitter absorbability and frequency stability compared with other existing DP-PLL synchronization device is achieved.

I. 서 론

PLL(Phase Locked Loop)은 1932년 H'de Bellescize가 "La Reception synchron"을 통해 그 이론을 발표한 이래, 새로운 소자의 개발과 더불어 계속적

인 연구가 진행되어 Analog-digital(Hybrid) PLL, Discrete PLL 그리고 Digital PLL들이 개발되어 왔으며,^[1-11] 그 응용에 있어서도 FM/AM 송수신 회로, 모터의 정밀한 속도제어, 계측기, Computer, 표준신호 발생기, Radar, PCM 통신장치등 광범위하게 이용되고 있다.^[12]

특히, PLL의 일부 기능을 Processor가 수행토록함으로써 고안정도의 동기된 클럭을 얻을수 있도록 고안된 DP-PLL은 1959년 벨연구소에서 IDN(Integrated digital network) 구성시 통신망 동기가 문제점으로 제기되어 연구가 시작된 이래, 1970년대 디지털 교환기의

*正會員, 東洋電子通信(株) 中央研究所
(Oriental Telecom. Company, Ltd., R & D Center)

**正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)
接受日字: 1992年 5月 21日

등장으로 매우 활발히 연구되어 왔으며, 오늘날 세계적으로 개발되고 있는 디지털 교환기 동기장치의 핵심기술로서 널리 활용되고 있다.^[13,14]

한편, 80년대 이후 디지털 전송과 교환이 통합된 디지털 교환망의 확대가 광복합망한 진전을 보이고있는 가운데 최근들어 ISDN의 구축이 가속화되고 있다. 이에따라 광대역 서비스를 위해 보다 높은 속도의 전송레벨과 대용량 전송능력을 갖는 고속 고성능 동기망이 요구되게 되었고, 이에 응용되는 고주파수용 DP-PLL의 고성능화가 동기망 구현에 더욱 중요한 과제로 주목받게 되었다.

DP-PLL은 안정된 출력 특성을 얻을 수 있고, 이상수를 크게할 수 있어 입력 동기 기준신호의 단기간 변동을 쉽게 흡수할 수 있을 뿐 아니라 루프 제어의 융통성등 많은 장점이 있다. 이러한 DP-PLL의 성능은 적절한 루프 파라메타의 설정과 제어 알고리즘에 의해 결정되는데, 기존의 방식은 위상차 검출과 통계처리가 복잡하고 추적 시간이 많이 소요되므로 고 주파수에는 적절치 못하다.

본 논문에서는 전전자 교환기 동기장치에 활용되고 있는^[15-20] DP-PLL의 성능을 향상시키는 새로운 위상차 검출방식과 프로세스 알고리즘을 적용한 고주파수용 DP-PLL의 설계와 실험결과에 대하여 논한다.

II. DP-PLL의 해석

DP-PLL은 입력 기준클럭과 루프출력간 위상오차를 검출하기 위한 디지털 위상비교기와 루프의 필터링 알고리즘을 수행하는 마이크로프로세서, 디지털 신호를 애널로그로 변환시키는 D/A 변환기 및 VCO로 구성되며, 그림1과 같은 해석적 모델로 표현된다.

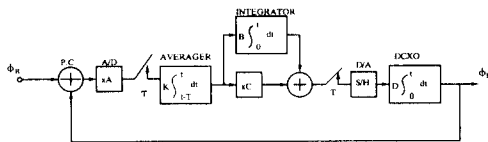


그림 1. DP-PLL의 해석적 모델
Fig. 1. Analytical model for DP-PLL.

여기서 A는 위상검출기의 이득이고, D는 VCO와 D/A의 이득, B는 루프필터의 적분상수, C는 루프필터의 비례상수, T는 위상샘플링 주기, K는 위상샘플링 주파수(1/T), τ 는 위상검출 주기를 나타내며, 이 루프 파라메타들은 DP-PLL의 성능을 결정하는 중요한 요소들이다. 한편, 그림1을 수학적으로 해석하기 위하여 그림2

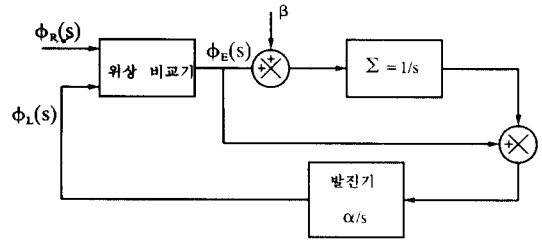


그림 2. 주파수 영역에서의 DP-PLL 일반 모델
Fig. 2. DP-PLL general model in frequency domain.

와 같이 주파수 영역(s)에서 본 DP-PLL의 일반 모델로 나타낸다.^[13]

그림2에서 $\phi_R(s)$ 는 동기 기준클럭의 위상이고, $\phi_L(s)$ 는 루프 출력클럭에서 분주된 클럭 위상이며, $\phi_E(s)$ 는 이들의 위상오차이다. $\alpha=ACD$, $\beta=B/C$ 일때 ϕ_L 과 ϕ_E 는 식(1)과 식(2)로 나타낼 수 있다.

$$\phi_L(s) = \frac{1}{s} \alpha \left(1 + \frac{\beta}{s} \right) \phi_E(s) \tag{1}$$

$$\phi_E(s) = \phi_R(s) - \phi_L(s) \tag{2}$$

식(1)에 식(2)를 대입하여 정리하면 $\phi_E(s)$ 는 식(3)이 되므로,

$$\phi_E(s) = \frac{s^2}{s^2 + \alpha s + \alpha \beta} \phi_R(s) \tag{3}$$

식(1)과 식(3)에 의해 식(4)와 같은 입출력 전달 특성식을 얻을 수 있다.

$$H(s) = \frac{\phi_L(s)}{\phi_R(s)} = \frac{\alpha s + \alpha \beta}{s^2 + \alpha s + \alpha \beta} \tag{4}$$

여기서, 루프의 주파수 대역(Loop band width)을 $\omega_n = (\alpha\beta)^{1/2}$, 제동비(damping factor)를 $\xi = \frac{\alpha}{2(\alpha\beta)^{1/2}}$ 이라고 하면, 식(4)는 식(5)와 같이 표시할 수 있으므로,

$$H(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \tag{5}$$

α 와 β 의 값을 구하여 PLL 특성을 해석할 수 있다.^[13]

III. DP-PLL의 설계

제안한 DP-PLL은 그림3과 같이 수신부, 디지털 위상차 검출부, 디지털 제어 발생기와 마이크로프로세서 및 주변회로, 그리고 분주부로 구성되어 있으며 각각에 대한 기능은 다음과 같다.

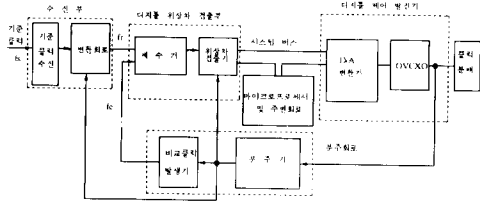


그림 3. DP-PLL의 블럭도
Fig. 3. DP-PLL block diagram.

1. 디지털 위상차 검출부

디지털 위상차 검출부는 수신부로부터 동기 기준클럭을 수신한 후, DP-PLL 출력클럭의 위상차를 검출하는 기능을 수행한다. 기존에는 통신망 동기 기준신호인 1.544Mbps(북미방식: NA) 혹은 2.048Mbps(유럽방식: CEPT)로부터 추출된 클럭을 분주하여 4KHz 동기 기준클럭을 만들고, 이를 사용한 반주기 위상차 검출방식과 연속 검출방식이 널리 사용되어 왔다. 반주기 위상차 검출방식은 그림4와 같이 기준클럭의 반주기동안 위상차를 검출한후 나머지 주기동안 프로세서가 처리토록 되어있어서 정확한 위상차를 검출하기 어려울뿐 아니라, 추적시간이 오래걸리는 단점이 있었다. 이러한 단점을 보완한 연속 검출방식은 그림5와 같이 한주기내의 모든 위상을 연속하여 계수토록 함으로써 정확한 위상차를 검출할 수는 있지만, 위상차를 나타내기 위해서는 많은 비트를 필요하므로 일정한 범위(3비트)내의 위상차만 검출하도록 되어있어서 그 범위에 진입할 때까지 오랜 시간이 소요될 뿐 아니라, 범위를 벗어난 상태에서는 추적이 불가능하게 되는 경우가 발생할 수 있다. 따라서, 이들 방식은 고주파수 위상차를 검출하기에는 부적절하므로 새로운 방식의 도입이 필요하다.

먼저 그림6은 동기용 기준클럭 발생과정을 나타낸 것으로서 8KHz 클럭(f_s)을 수신하여 그림6(a)의 상단 Flip-flop D에 입력시킨 후, DP-PLL 출력클럭을 이분주한 77.760MHz(f_0)로 트리거시킴으로써 그림6(b)와 같이 동기용 기준클럭을 16KHz Frame Pulse로 만들어 위상차 검출주기를 단축하도록 하였다.

그림7은 동기 기준클럭(f_r)과 77.760MHz 계수클럭(f_0)을 수신하여 위상차를 검출하는 과정을 설명한 것이다.

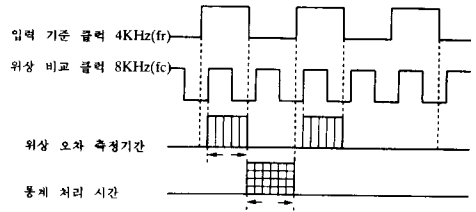


그림 4. 반주기 위상차검출방식
Fig. 4. Timing diagram of Half Cycle Phase-difference detection.

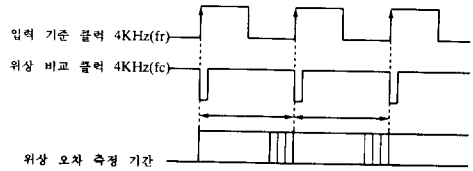


그림 5. 연속 위상차 검출방식
Fig. 5. Timing diagram of Continuous Cycle Phase-difference detection.

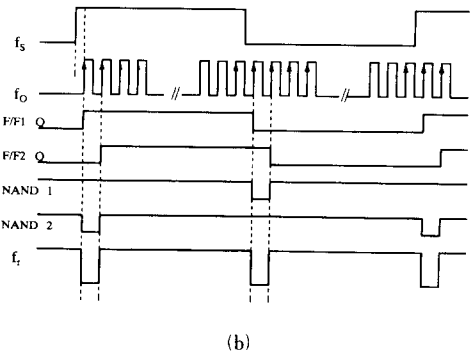
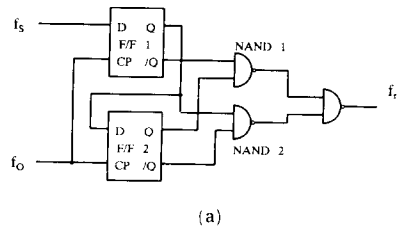


그림 6. (a) 동기용 기준클럭(f_r) 발생회로도
(b) 동기용 기준클럭(f_r) 타이밍도
Fig. 6. (a) Circuit diagram of Synchronous reference clock generation,
(b) Timing diagram of Synchronous reference clock.

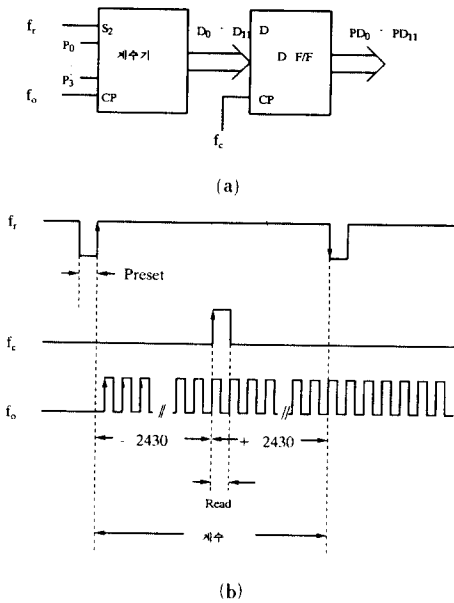


그림 7. (a) 디지털 위상차 검출부 기능수행 회로도
 (b) 디지털 위상차 검출부 기능수행 타이밍도
 Fig. 7. (a) Implementary circuit diagram of digital Phase-difference detection,
 (b) Implementary timing diagram of digital Phase-difference detection.

그림7(a)와 같이 동기용 기준신호는 S2(Parallel Load)에, 계수클럭(f₀)은 CP에 각각 입력되며, 그림7 (b)와 같이 동기용 신호가 "1(High)" 상태인 동안 계수 클럭(f₀)을 계수한다. 이때, f_r은 16KHz Frame Pulse 이고 f₀는 77.760MHz이므로 전체 계수값은 식(6)에 의해 4860개가 되며,

$$f_0 / f_r = N \tag{6}$$

$$N = 2^M \tag{7}$$

$$M = \log_2 N \tag{8}$$

식(7)과 식(8)에 의해 $\log_2 4860 = 12.246741$ 이 되어 12비트가 필요하다.

따라서, 중심값(Zero)을 기준으로 좌, 우 2430을 계수 하도록 하향계수기(down counter)로 구현하였다.

즉, 계수기의 초기값을 D79H (2430)로 고정시킨 후 2430~0~-2430으로 4860개 모두를 계수하게 하였고, 이 경우 2430을 나타내기 위해 11비트가 필요하게 되며, 12 번째 비트는 중심점을 기준으로 좌, 우 (+, -)의 위치를 나타내어 위상차 값을 알 수 있도록 하였다. 이때의 위상차 데이터의 구조는 그림8과 같다.

계수기를 통해 검출된 데이터는 그림7(a)와 같이 위상

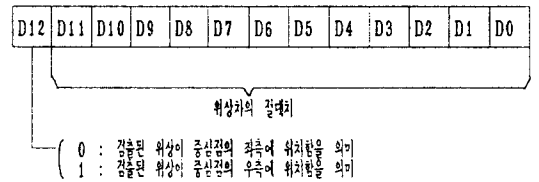


그림 8. 위상차 데이터 구조
 Fig. 8. Phase-difference data format.

차검출기로 보내지게 되며, 위상차 검출기는 그림7(b)와 같이 비교클럭 (f_c)이 "1"로 되는 순간의 값을 위상차 값으로 읽어내게 된다. DP-PLL의 출력클럭이 동기 기준 클럭 (f_r)에 정확히 일치할 경우, 비교클럭 (f_c)의 상승 부분 (rising)은 동기용 기준클럭 (f_r)의 중앙에 위치하여 위상차 값은 "0"이 된다. 그러나, 빠른 경우에는 그림8의 12번째 비트는 "1"이 되며, 이 때는 검출 데이터 보수 값에 양수(+)를 취하여 계산함으로써, 정확한 위상차가 검출될 수 있도록 하였다.

2. 프로세스 알고리즘

제어회로는 그림9와 같이 마이크로프로세서와 ROM, RAM, I/O 및 주변 정합장치로 구성하였고, 그림10의 흐름도에 의해 제어된다. 위상차 검출회로에서 만들어진 16bit 위상차 데이터는 계수기(1024 Serial Counter)에 의해 발생된 주소(address)에 따라 연속적으로 DPRAM에 쓰여지게 되며, 1024개의 위상차 데이터가 쓰여지면 Interrupt가 발생하여 CPU가 데이터를 읽어 가도록 하였다. 이때, Memory Access 충돌현상을 방지하기 위해 메모리 상단부(0~1023)에 데이터가 쓰여지는 동안 CPU는 메모리 하단부 데이터를 읽게 되며, 메모리 하단부(1024~2047)에 데이터가 쓰여지는 동안 CPU는 상단부의 데이터를 읽도록 설계하였다.

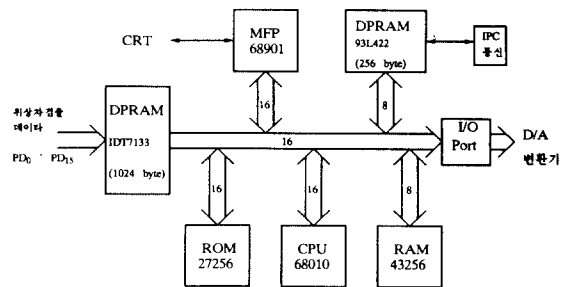


그림 9. 마이크로프로세서와 주변회로
 Fig. 9. Microprocessor and peripheral component.

CPU는 16비트 데이터 버스와 24비트 어드레스 버스를 가지며, 27256 ROM에 내장되어 있는 제어 알고리즘에 따라 위상차 데이터를 읽어들이 시정수가 긴 저역필터 기능을 수행하고, 위상오차를 평균하여 OVCXO 제어 데이터를 연산하며, 93L422 DRAM을 통해 타 프로세서와 통신을 하고, MC68901 MFP를 통해 외부 interrupt에 의한 정보를 주고 받는데 DP-PLL내 모든 유지보수 기능을 총괄 제어한다. 위상 고정루프의 제어과정은 검출된 위상차값을 평균하여 모드를 결정하고, 모드별 가중치를 적용한 제어값을 8.192초 간격으로 적용함으로써 추적시간이 많이 소요될 뿐 아니라, 순간적인 상태변화시 대응키 어려웠던 종래의 방식^[15,16]과는 달리 그림10과 같은 새로운 방식을 도입하였다.

식(10)에 의해 속도(AveVelo)를 계산하였으며, AveVelo값에 데이터 처리시간을 곱한후 전 위치를 합함으로써 현재의 위치(PrePosit)를 알 수 있도록 하였다.

$$AveVelo = \sum |PdAve_i - PdAve_{i-1}| / 10 \quad (10)$$

이러한 과정을 통해 62번째(1024x62)의 데이터를 연산하는 동안 클럭의 속도와 위치를 판단하여 유효범위를 벗어나는 경우에는 FAST 모드에 의한 제어가 이루어지며, 유효범위를 벗어나지 않을 시에는 125번째 까지의 데이터를 연산하여 모드를 판단한 후 OVCXO제어 데이터를 산출하게 함으로써 4초와 8초의 이중 제어방식으로 구성하였다. DP-PLL의 운영 모드는 56초동안 1비트 위상차를 기준으로 FAST와 NORMAL모드로 나누며, 모드에 따라 2³과 2⁰의 루프이득을 적용하되 속도와 위치별로 다시 세분화하여 초기상태에서 동기 기준클럭을 가능한 한 빨리 추적케함으로써 짧은 시간내에 정상상태(normal mode)에 도달하도록 하고, 정상상태에서는 매우 느린 응답특성을 통하여 동기 기준클럭에 인가된 지터나 워드 성분을 충분히 억압하여 안정된 상태로 동기 기준클럭을 추적하도록 하였다.

3. 디지털 제어 발전기와 분주회로

디지털 제어 발전기는 D/A 변환기와 X-tal 발전기로 구성된다.

D/A 변환기는 제어회로에서 발생된 16비트 디지털 신호를 애널로그 신호로 변환시키는 기능을 수행하며, 그 출력은 +5V에서 -5V로서 1비트당 출력 변화량인 최소 제어범위는 $10V / 2^{16} = 152\mu V$ 이다.

OVCXO는 155.520MHz의 ECL 클럭을 발생시키는 고안정 X-tal 오실레이터로써 입력 제어전압이 증가함에 따라 출력주파수가 감소하는 부(-)전달 특성을 가지며, $\pm 1 \times 10^{-9}$ 의 안정도를 유지하도록 설계되었다.

분주회로는 분주기와 비교클럭 발생기로 구성되어 있다. 분주기는 OVCXO 출력인 ECL 레벨의 155.520MHz 클럭을 77.760MHz (fo)와 19.440MHz로 분주하고, 비교클럭 발생기는 19.440MHz 클럭을 받아 16KHz Frame Pulse를 발생시키는 기능을 수행한다.

따라서, II 장의 해석방식에 따라 제안된 DP-PLL의 파라미터를 구해보면, 위상검출기 이득 A는 77.760×10^6 , 루프필터 적분상수 B는 2¹⁷, 루프필터 비례상수 C는 8s, OVCXO와 D/A의 이득 D는 NORMAL일 경우 1.09×10^{12} , FAST일 경우 8.72×10^{12} 가 되므로, Normal Mode에서의 α 와 β 는,

$$\alpha = ACD = 6.78 \times 10^{-4}, \quad \beta = B / C = 9.5 \times 10^{-7}$$

Fast Mode에서의 α 와 β 는,

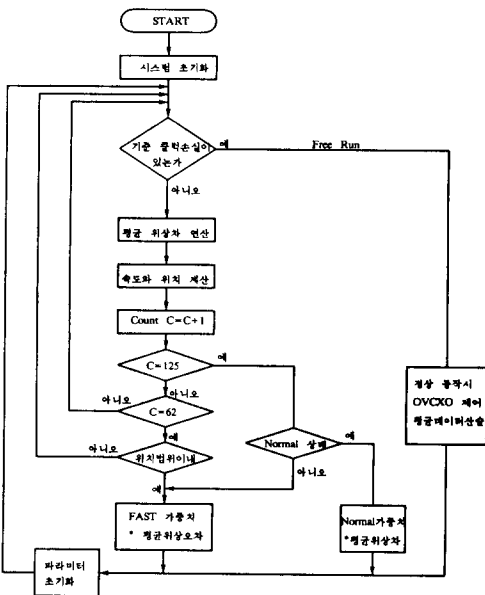


그림 10. 제작된 PLL의 제어흐름도.
Fig. 10. Control flow-chart of implemented PLL.

먼저 기준클럭의 손실여부를 판단한다. 초기상태에서 기준클럭이 손실되었다면 제어중심값 "7FFF"를 유지하고, 정상 운용중이었으면 그때까지의 값만으로 연산한다. 정상상태에서는 1024개의 연속되는 값들간 차를 구하여 10개이상 발생하는 것들은 연산에 포함치 않음으로써 필터링이 수행된다. Pd_i를 i번째 위상차 값이라 하면, 식(9)에 의해 1024개 위상차의 평균값을 소수점 이하까지 구하였고,

$$PdAve = \sum |Pd_i| \times 1000 / 1024 \quad (9)$$

$\alpha'=8\alpha=5.42 \times 10^{-3}$, $\beta'=B/C=9.5 \times 10^{-7}$ 이 됨을 알 수 있고, 이 값들을 통해 주파수 대역과 제동비를 구한 후 식(5)에 적용해 봄으로써 임출력 전달특성을 알 수 있다.

IV. 실험 및 결과고찰

제안된 DP-PLL의 기능 및 성능을 알아보기 위해 III장에서 설명한 설계에 따라 그림 11의 PBA(Printed Board Assembly)를 제작하였다. 이것을 전자교환기 PCM 장치에 연동시켜 2.048Mbps(혹은 1.544Mbps) 데이터를 수신한후, 2.048MHz(1.544MHz) 클럭을 추출하고, 이를 분주한 8KHz 클럭을 기준신호로 사용하였다. PBA의 좌측에 버스 케이블로 연결된 전면판에는 발광 다이오드와 7-Segment가 부착되어 있어서 운용 모드와 제어 데이터등 DP-PLL의 동작 상태를 가시적으로 나타낼 수 있도록 하였다.

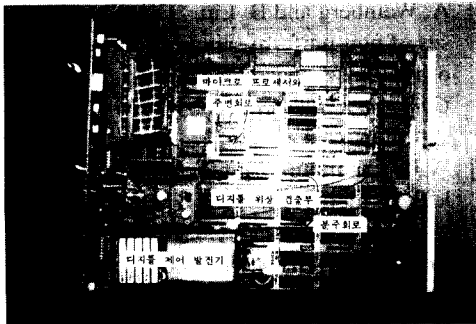


그림 11. 제작 실험한 DP-PLL PBA
Fig. 11. Experimental DP-PLL PBA.

그림12(a)는 동기용 기준클럭과 비교클럭간 추적특성을 oscilloscope로 관찰한 것이다. 동기용 기준클럭(상단 파형)을 고정시켰을때, 초기에는 비교클럭(하단 파형)이 좌우로 빠른 속도로 움직였으며, 제어가 진행됨에 따라 속도가 줄어 결국 그림과 같이 기준클럭의 중심에 비교클럭이 정확히 일치되어 정상적인 제어기능이 수행되고 있음을 관측할 수 있었다.

그림12(b)는 안정된 상태에서 메모리 기능이 있는 디지털 오실로스코프를 이용하여 24시간동안 연속적으로 기준클럭(상단 파형)과 155.520MHz 출력클럭(하단 파형)을 관측한 것으로 정확히 동기된 상태에서 안정도가 유지되고 있음을 보여준다.

그림13은 DP-PLL 프로세스 알고리즘의 수행결과를

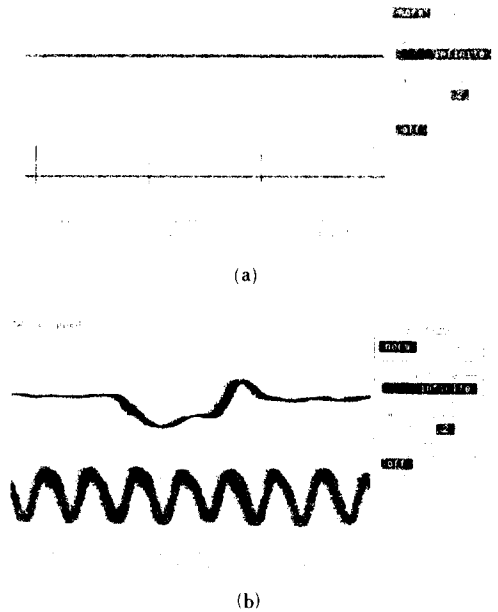


그림 12. 기준신호 추적과정
Fig. 12. Reference Clock tracing process.

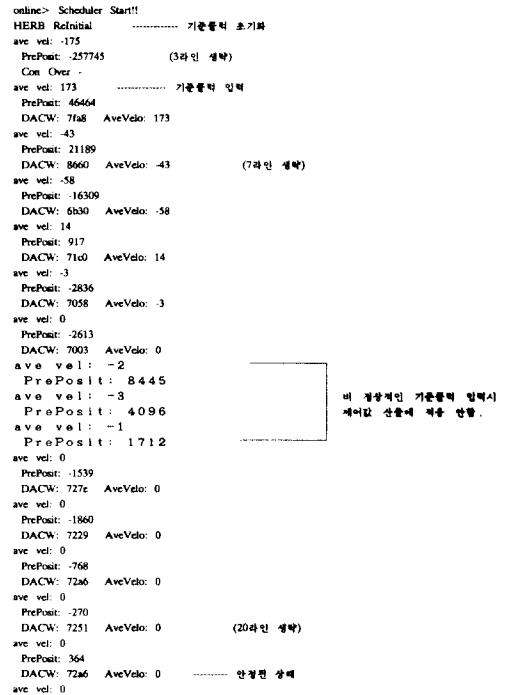


그림 13. DP-PLL의 제어데이터 출력
Fig. 13. DP-PLL control data output.

8초 주기로 RCU(Remote Control Unix) tool을 이용하여 그림9의 RAM에 저장되어지는 제어 데이터를 출력시킨 것이다.

초기 상태(HERB ReInitial)로부터 위상차를 검출하여 속도(ave vel)와 위치(PrePosit)연산을 수행하고 있으며, 이 때는 기준클럭과 OVCXO가 안정되지 못한 상태에서 과다위상차(Con Over)가 발생하기 때문에 그림 10의 제어흐름도에 의해 제어값(DACW)산출은 수행되지 않는다. 30초(3라인x8초) 정도의 시간이 경과하면 OVCXO가 안정되어(기준클럭 입력) 제어값(DACW)이 산출되고, 속도(AveVelo)가 감소하는 방향으로 제어가 진행되고 있음을 알 수 있다. 이때 순간적으로 기준클럭 장애를 발생시키면 제어값 산출은 중단되지만, 정상 상태로 복구되면 바로 전 상태(AveVelo 0)를 유지하고 있으므로 이를 통해 정상적인 필터링 기능이 수행되고 있음을 알 수 있다. 지속적인 제어를 통하여 약 8분후에는 제어값이 고정되어(72a6) 안정상태에 도달함을 확인할 수 있었다.

V. 결 론

본 논문에서 제시한 위상차 검출방식과 프로세스 알고리즘을 활용하여 고주파수 발생용 DP-PLL을 제작하여 그 성능을 실험해본 결과, 기존의 반주기 위상오차 검출방식의 단점으로 나타나는 위상오차의 부정확성이 크게 줄어들고, 고주파수의 위상차를 검출하는 속도가 연속검출방식에서는 매우 빨라야 하는 회로 구현상의 어려움은 ECL소자를 활용함으로써 해결될 수 있음을 보여주었다.

또한, 4초와 8초의 이중제어방식과 OVCXO제어값 연산시 속도와 위치를 적용시킴으로써 Phase Locking 추적시간이 단축되고, Locking상태에서 우수한 Jitter흡수 능력과 높은 안정도가 유지될 수 있음을 확인하였다.

본 논문에서 제안된 위상차 검출방식과 프로세스 알고리즘에 의한 DP-PLL을 향후 CCITT동기식 기본계위(155.520Mbps)가 적용되는 동기식 전송망에서 기본 동기신호를 제공하는 대용량 정보처리장치의 동기식 고주파수 발생기로서 활용하기 위하여 다중화 방식과 차상위 주파수와와의 연동에 관한 연구가 부가적으로 필요하며 집적회로 제품으로 개발하는 과제가 남아있다.

參 考 文 獻

- [1] A. Skjellnes, "phase-locked loop control of thyristor converters", *Proc. IEEE*, vol. 123, no. 10, pp. 999-1001, Oct. 1976.
- [2] L.P. CHU, "A phase-locked AM radio receiver", *IEEE Broadcasting*, 300-308, Oct, 1969.
- [3] C.N. Kelly, S.G. Gupta, "The digital phase-locked loop as a near-optimum FM demodulator", *COM-20*, 406-411, Jun, 1972.
- [4] G.S. Gill, S.C. Gupta, "First-order discrete phase-locked loop with applications to demodulation of angle-modulated carrier", *IEEE. Trans*, COM-20, 454-462, JUN, 1972.
- [5] J. Smith, "Modern communication circuits", McGraw-Hill, Inc., 295-415, 1986.
- [6] E.V. Appleton, "Automatic synchronization of triode oscillators", *Proc. Cambridge Phil. Soc.*, vol. 21, pt. III, P. 231, 1922-1923.
- [7] P.R. Westlake, "Digital phase control techniques", *IRE Trans. commun. Syst.*, vol. CS-8, pp. 237-246, Dec. 1960.
- [8] L.F. Judd, "Sample data analysis of digital phase locked loops", In SWIEEOO Rec. pp. 22.4-1-22, 4-6, Apr. 1967.
- [9] S.C. gupta, "On optimun digital phase locked loop", *IEEE Trans. Commun. Technol.*, vol. COM-16, pp. 340-344, Apr. 1968.
- [10] A. Weinberg and B. Liu, "Discrete time analyses of non-uniform sampling first-and second-order digital phase-locked loop", *IEEE Trans. Commun. Technol.*, vol. COM-22, pp. 123-137, Feb.1974.
- [11] W.E. Larimore, "Synthesis of digital phase-locked loops", in 1968 EASCON Rec., pp. 14-20. Oct. 1968.
- [12] Roland B. Best, "Phase-locked loops" (Book) pp. 69-87, 1984.
- [13] H. Fukinuki and I. Furukawa, "Inelligent PLL using digital processing for network synchronization", *IEEE Trans. on Comm.*, vol. COM-31, no. 12, pp. 1295-1303, Dec. 1983.
- [14] M. Karnaugh, "Model for the organic synchronization of communications systems" B. S.T.J., vol. 45, pp. 1705-1735, Dec. 1966.
- [15] R. Metz, E.L. Reible, and D.F. Winchell, no. 4 ESS; network clock synchronization", B.S.T. J., vol. 60, pp. 1109-1128, July-August 1981.
- [16] Ernst A. Munter, "Synchronized clock for DMS-100 family", *IEEE Trans. on Comm.*, vol. COM-28, no. 8, pp. 1276-1284, August 1980.
- [17] M. Makino, T. Yasushi and M. Taka, "Network synchronization system", Review of Electrical Communication Laboratories vol. 27, no. 9-10, pp. 818-829, Sept.-Oct. 1979.
- [18] 연구보고서 "네트워크 동기방식 구성에 관한 연구", 한국전기통신연구소. 1983. 12.

[19] 연구보고서 “종합 정보 통신 시스템 개발 및 시범사업중 네트워크 동기에 관한 연구”, 한국전기통신연구소 1984, 12.
 [20] J. Greco, J. Garodnick, and D.L. Schilling,

“An all digital phase locked loop for FM demodulation”, in *Proc. Int. Conf. Commun.*, June 1972.

著 者 紹 介



余 在 興 (正會員)

1946年 7月 5日生. 1972年 2月 한양대학교 전자공학과(학사). 1982年 3月 ~ 1984年 9月 한양대학교 산업대학원 전자계산학과(석사). 1984年 2月 ~ 1987年 9月 한양대학교 대학원 전자공학과 박사과정 수료. 1972年 1月 ~ 1976年 1月 KIST 연구원. 1976年 2月 ~ 1979年 3月 동양정밀공업(주) 중앙연구소 제 1연구 부장. 1979年 3月 ~ 1983年 3月 KTRI, KETRI 연구실장. 1983年 3月 ~ 1984年 8月 대영전자 공업(주) 연구소장. 1984年 8月 ~ 현재 동양전자통신(주) 전무, 중앙연구소장.

林 寅 七 (正會員)

第25卷 第8號 參照

현재 한양대학교 전자공학과 교수