

# Convex 구조를 갖는 MOSFET 소자의 제작 및 그 전기적 특성에 관한 연구

## (A Study on the Fabrication of the Convex Structured MOSFET and Its Electrical Characteristics)

金基洪,\*\* 金賢哲,\*\* 金興植,\*\* 安哲\*  
(Gi Hong Kim, Hyun Chul Kim, Heung Sik Kim, and Chul An)

### 要約

종래 MOSFET 소자의 채널 길이가  $\text{sub-}\mu\text{m}$  영역으로 줄어들어 따른 짧은 채널 효과를 개선하고자 2차원적으로서는 동일한 채널 길이를 갖고있으면서 벽면 높이에 따라 3차원적으로 채널 길이를 확장시킬 수 있는 convex 구조를 갖는 MOSFET을 제안하였다. 벽면 높이가 약  $0.4\mu\text{m}$ 인 convex 소자와 종래 평면 소자를 함께 제작하여 전기적 채널 길이를 비교한 결과, NMOS에서는 약  $0.56\mu\text{m}$ , PMOS에서는  $0.78\mu\text{m}$ 의 증가를 알 수 있었으며, 문턱 전압의 변화, 동작 전류의 변화, 기판 전류의 특성, 항복 전압등의 DC 특성과 링 발진기를 이용한 인버터당 지연 시간을 비교하였다. 또한 공정 및 소자 시뮬레이션을 병행하여 제작된 시료와의 차이점을 검토하였다.

### Abstract

To improve the characteristics of sub- $\mu\text{m}$  short channel MOSFET device, a new device having the convex structure is proposed. This device has 3-dimensionally expandable channel length according to the vertical etched silicon height. For the purpose of comparing the DC and AC characteristics, planar device is also fabricated. Comparing the channel length, the convex device with  $0.4\mu\text{m}$  silicon height is larger about  $0.56\mu\text{m}$  in NMOS and  $0.78\mu\text{m}$  in PMOS than planar devices. DC characteristics, such as threshold voltage, operational current, substrate current and breakdown voltage are compared together with AC characteristics using the ring oscillator inverter delay. Also process and device simulation are performed and the differences between convex and planar device are also compared.

### I. 서론

MOS 소자는 바이폴라(Bipolar)에 비해 저 가격으로 고집적을 이룰 수 있는 장점과 미세가공 기술의 발달로 특히 ROM(Read-Only-Memory), RAM(Random-

Access-Memory) 등의 기억 소자에 널리 이용되고 있다.

그러나, 고집적화에 따른 채널 길이(channel length)의 감소에 따라 종래의 긴 채널 소자에서는 볼 수 없었던 여러가지 짧은 채널 효과(short channel effect)가 발생하여 소자의 특성을 열화시키게 되었다. 짧은 채널 현상으로는 1) 펀치스루우(punch-through)에 의한 낮은 항복 전압(breakdown voltage), 2) 문턱 전압(threshold voltage)의 감소, 3) 고온 전자효과(hot electron effect)에 의한 기판 전류 증가 및 게이트 산화막 내의 전자 포획(trapping)과 그에 따른 소자 수명의 감소<sup>[1,2,3]</sup> 4)

\* 正會員, 西江大學校 電子工學科  
(Dept. of Elec. Eng., Sogang Univ.)

\*\* 正會員, 金星 일렉트론株式會社  
(GoldStar Electron Co.)

接受日字 : 1992年 4月 9日

DIBL(Drain-Induced-Barrier-Lowering)<sup>[4], 5)</sup> Sub-threshold 특성 저하 등을 들 수 있다. 특히 sub- $\mu\text{m}$  채널의 NMOS 소자는 충격 이온화(impact ionization) 현상에 의해 급격히 소자들의 특성이 열화되어 이러한 문제들을 해결하기 위해 새로운 구조들이 고안되었는데, 드레인 영역 근처의 전계를 줄임으로써 충격 이온화 현상을 감소시키는 LDD(lightly doped drain), Modified LDD(MLDD, ITLDD, PLDD), DD, PD 등의 구조와 3차원적으로 채널 길이를 확장시킨 grooved (concave) 게이트 구조<sup>[5,6]</sup> 등이 등장하였다.

본 연구에서는 종래의 2차원적으로 sub- $\mu\text{m}$  채널 길이를 갖는 평면 소자(그림 1(b)의 문제점을 개선하기 위해

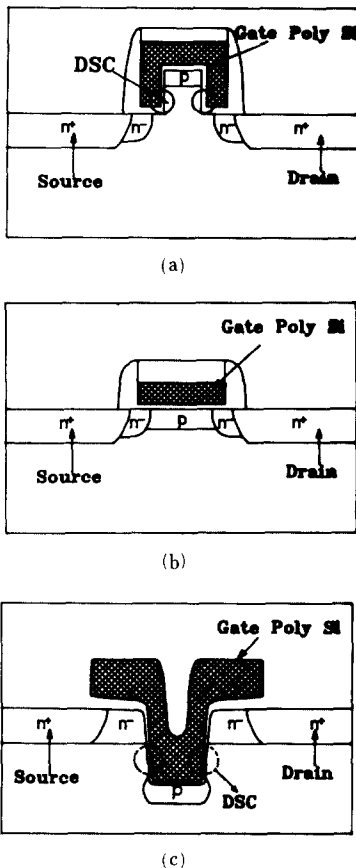


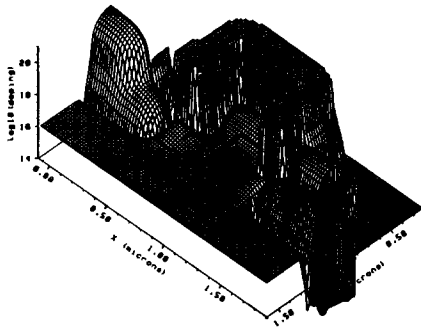
그림 1. MOSFET 소자의 구조별 단면도  
(a) Convex 소자 (b) 종래의 평면 소자  
(c) Convex 소자

Fig. 1. The structure dependent cross-sectional view in MOSFET.  
(a) Convex structured MOSFET,  
(b) Conventional planar MOSFET,  
(c) Concave structured MOSFET.

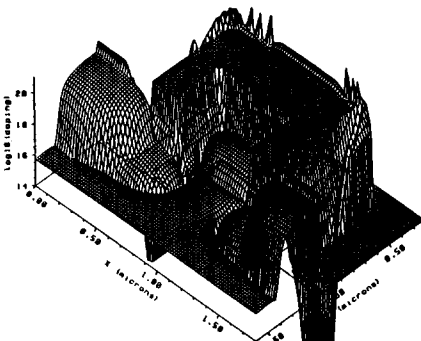
2차원적으로는 동일한 채널 길이를 가지면서 3차원적으로 확장시킨 convex MOSFET 소자에 관한 것이다. 이 convex MOSFET 구조는 그림 1(a)와 같이 소스/드레인 사이에 채널을 이루는 실리콘 영역이 돌출된 형태로 3차원적으로 채널 길이 확장이 가능하여 짧은 채널 효과를 줄일 수 있을 뿐만 아니라, DSC(drain separated from channel implanted region)가 실리콘 돌출 부위 측벽에 존재하게 되어 드레인 영역 근처의 전계 크기를 약화시켜 충격 이온화도 줄일 수 있는 장점이 있다. 이러한 장점을 공유하는 구조로 concave MOSFET 그림1(c)이 있는데, 이는 채널 길이가 트랜치 벽면을 따라 밑으로 확장되는 점과 트랜치 측벽에 DSC가 형성되는 것으로부터 알 수 있다. 그러나 concave MOSFET은 게이트가 소스(혹은 드레인)과 overlap되는 영역이 소스/드레인 접합 부분까지 확장되므로 Cgs(혹은 Cgd)가 커져 회로 구현 시 큰 지연 시간을 초래할 수 있고, 트랜치 형성시에 발생하는 실리콘 표면의 damage 등의 공정상의 문제점, 트랜치 모서리 영역에서의 crystal plane 방향의 변화에 따른 게이트 산화막의 불균일 등 소자의 신뢰성 측면에서 많은 문제점도 포함하고 있음을 예측할 수 있다. 한편 Convex 소자의 예상되는 문제점으로는 실리콘 돌출 영역에 의한 step-coverage와 같은 공정상의 문제점과 기판 농도가 최적화되지 않은 경우 펀치 스루우에 의한 항복 전압의 감소 등도 예상할 수 있다. 이 convex MOSFET 소자는 종래의 평면 소자 제작 공정 중 well 공정 후에 게이트 포토 공정과 포토레지스터 에칭(ashing) 기법을 추가 사용하여 측면 임계치수를 돌린 뒤 실리콘 식각 공정을 실시하여 제작하였으며, 이렇게 제작된 소자의 DC 특성과 인버터 회로의 지연 시간 등을 측정, 분석하였다. II 장에서는 시뮬레이션, III 장에서는 시료의 제작, IV 장에서는 소자의 특성 검토, V 장에서는 결론 및 향후 방향에 대해 논의하도록 한다.

## II. Convex 소자의 시뮬레이션

Convex 소자의 실리콘 벽면에서의 불순물 농도를 정확하게 알기 위해 2차원 공정 시뮬레이터가 필요하여 본 연구에서는 TMA사에서 제공한 SUPREM-IV를 사용하였으며, 그 결과는 그림 2와 같다. 이때 convex 구조의 실리콘 높이는  $0.4\mu\text{m}$ 로, 2차원 채널 길이는  $1.0\mu\text{m}$ 로 설정하였다. 그림에서 보는 바와 같이 V<sub>조절</sub> 이온 주입 시 실리콘 벽면에는 보론의 주입이 없는 관계로 NMOS의 경우에는 벽면에서의 불순물 농도가 표면의 농도에 비해 떨어지며, PMOS에서는 매몰 채널이 형성되지 못하는 DSC영역이 존재함을 볼 수 있다. 또한 보다 상세히 살펴



(a)



(b)

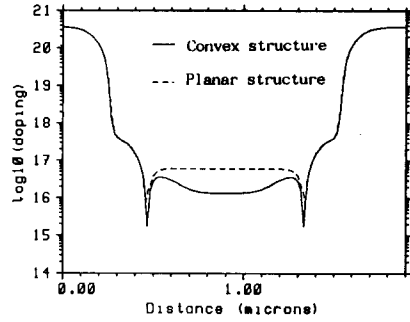
그림 2. Convex 소자의 3차원적 불순물 분포도  
(a) NMOS (b) PMOS

Fig. 2. 3-dimensional dopant distribution in the convex structured MOSFET.  
(a) NMOS, (b) PMOS.

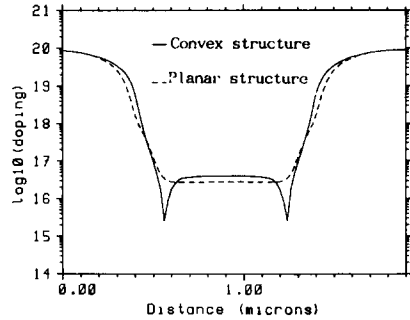
보기 위해 소스 /스레인을 가로지르는 영역에서의 종래의 평면소자와의 불순물 농도차이와 convex 소자의 위치별 불순물 농도를 1차원적으로 각각 그림 3, 4에 나타내었다.

SUPREM-IV를 이용한 공정 시뮬레이션 결과를 PISCES-II B 소자 시뮬레이터의 입력으로 사용하여  $I_{ds}-V_{gs}$ ,  $I_{ds}-V_{ds}$ ,  $I_{sub}-V_{gs}$ , potential contour의 관계를 종래의 평면소자와 비교하여 그림 5, 6, 7, 8에 각각 나타내었다.

그림 5의  $I_{ds}-V_{gs}$ 를 살펴보면, 공정 시뮬레이션에서 예측한 바와같이 NMOS 경우에 convex 소자의  $V_t$ 는 약 0.65V로 종래 소자와 동일하고, 즉 DSC 영역이  $V_t$ 에는 영향을 주지 못하며, 채널 길이 확장에 의해 트랜스컨덕턴스( $G_m$ )를 나타내는 기울기가 감소함을 볼 수 있다. 또한 PMOS에서는 convex 소자의  $V_t$ 가 약 -1.6V로 종래 소자의 -0.6V보다 DSC 영역에 의해 -1.0V의 차이



(a)



(b)

그림 3. 소스 /드레인을 가로지르는 영역에서의 1차원적 불순물 농도

(a) NMOS 소자 (b) PMOS 소자

Fig. 3. 1-Dimensional dopant distribution in the source /drain cross area.

(a) NMOS, (b) PMOS.

를 보여준다.

한편 그림 6의  $I_{ds}-V_{ds}$  관계에서 convex 소자의  $I_{ds}$ 가 종래의 평면소자에 비해 작은 이유는 실리콘 벽면에 의해 채널 길이가 늘어난 때문임을 예측할 수 있다. 이는 그림 8의 poteial contour의 형태에 의해서도 입증된다. 또한 그림 7에서 convex 소자(NMOS)의 기관 전류( $I_{sub}$ )가 낮은 이유는 채널 길이 확장 이외에도 DSC 영향으로 추측할 수 있다. 즉 convex 소자가 신뢰성에 있어 종래의 평면소자에 비해 탁월함을 미루어 짐작할 수 있다.

### III. 시료의 제작

Convex 소자를 구현하기 위해 그림 9과 같은 순서로 제작하였고, 1.0 $\mu$ m twin-well CMOS 공정에서 well 공정 이후에 추가로 게이트 포토 공정을 진행한뒤, 포토레지스터 에칭 기법<sup>[7]</sup>을 이용하여 측면 임계치수 (CD :

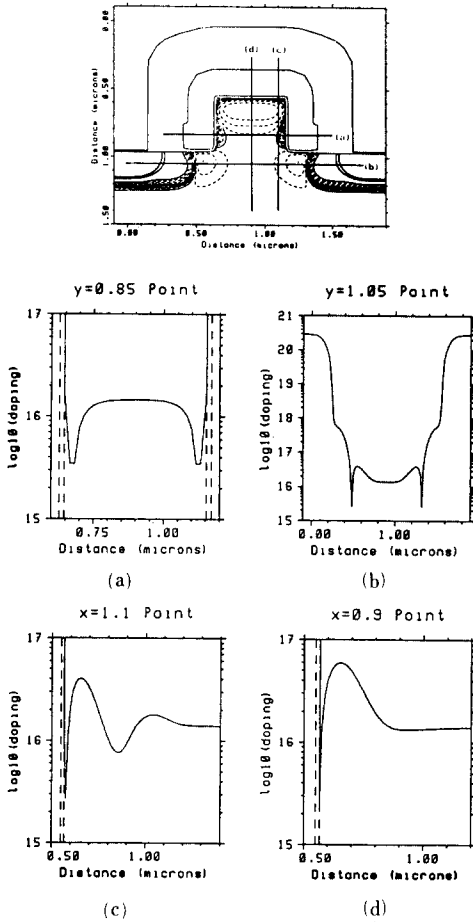
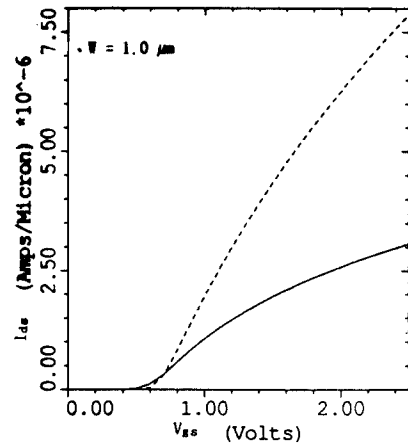


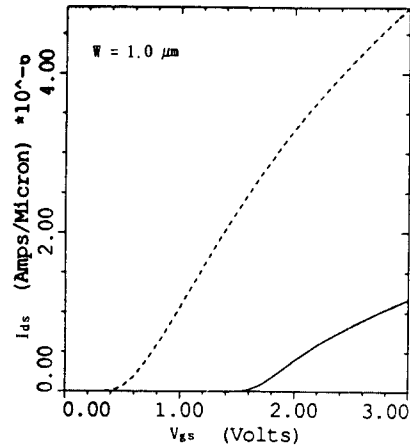
그림 4. Convex NMOS 소자의 위치별 1차원적 불순물 농도

Fig. 4. 1-Dimensional area dependent dopant distributions in the convex NMOS.

Critical Dimension)를 줄인 후, 실리콘 식각을 삼입하였으며, 보다 상술하면 다음과 같다. (100) 9~12Ω·cm P형 실리콘 기판에 N-well, P-well의 이온 주입을 phosphorus를 1.3E13/cm<sup>2</sup>, 125KeV으로, BF<sub>2</sub>는 4.0E12/cm<sup>2</sup>, 60KeV로 차례로 행한 뒤, 열확산하여 약 4.6μm의 깊이의 twin-well을 형성한다. 이어서 종래의 소자에서는 실행하지 않으나 convex 구조 형성을 위해 게이트 포토 공정을 행한 뒤, 이른바 포토레지스터 에칭 기법으로 일컫는 측면으로 포토레지스터를 약 0.3μm 임계치수를 줄인다. 이어서 well 확산시 성장되었던 산화막 캡층과 실리콘을 건식 식각법으로 이방성 식각하고, 포토레지스터와 산화막층을 차례로 제거하면 convex 구조가 형성된다. (그림 10) 이후 공정은 종래와 동일하게 LOCOS 소자 격리, NMOS와 PMOS의 문턱전압(V<sub>t</sub>)조절을 위해



(a)



(b)

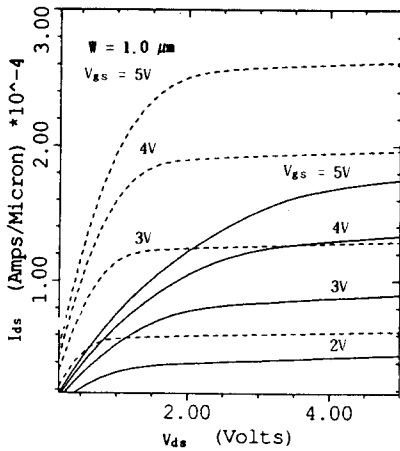
그림 5. 종래의 평면 소자와 convex 소자의 I<sub>ds</sub>-V<sub>ds</sub> 관계 비교

(a) NMOS (b) PMOS  
(종래의 평면 소자 : 점선, convex 소자 : 실선)

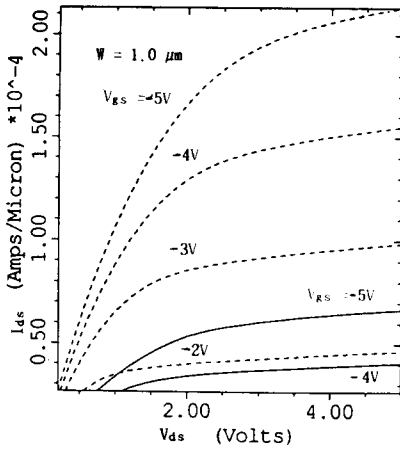
Fig. 5. The comparison of I<sub>ds</sub>-V<sub>gs</sub> characteristics between planar and convex device.

(a) NMOS, (b) PMOS.  
(Planar device : dotted line, Convex device : solid line)

B1.4E12/cm<sup>2</sup>, 30keV과 B, 2.4E12/cm<sup>2</sup>, 30keV를 각각 실시하였고, 200Å 게이트 산화막 성장, 0.4μm 두께의 다결정 실리콘 증착과 n<sup>+</sup> 도핑, HLD(High temperature Low pressure CVD) 산화막을 이용한 게이트 캡층의 증착을 차례로 실시한다. 이어서 게이트 형성을 위한 포토 공정이 수반되는데, convex 소자의 경우 mis-alignment가 생기지 않도록 유의해야한다. 게이트를 형성한 뒤에는 LDD를 위한 phosphorus 1.0E12/cm<sup>2</sup>, 80KeV로



(a)



(b)

그림 6. 종래의 평면 소자와 convex 소자의  $I_{ds}$ - $V_{ds}$  관계 비교

Fig. 6. The comparison of  $I_{ds}$ - $V_{ds}$  characteristics between planar and convex device.

(a) NMOS, (b) PMOS.  
(Planar device : dotted line, Convex device : solid line)

n-이온 주입을 수행한 뒤, 약  $0.25\mu\text{m}$ 의 sidewall spacer를 만든다. 이후에는 소스/드레인 영역을 만들게 되는데, NMOS의 n+ 소스/드레인은 As를  $5.0E15/\text{cm}^2$ , 80KeV, PMOS의 p+ 소스/드레인은  $\text{BF}_2$ 를  $3.0E15/\text{cm}^2$ , 80KeV로 이온 주입한다. 소스/드레인이 형성된 후에는 HLD 산화막  $2000\text{\AA}$ 과 BPSG  $5000\text{\AA}$ 을 차례로 증착시키고,  $950^\circ\text{C}$ 로 열처리하여 flowing 시킴으로써 전기적 절연막이 이루어지게 되며, 최종적으로 접촉창 형성, 금속 증착 및 합금 등의 순으로 진행하여 소자를 완성한다.

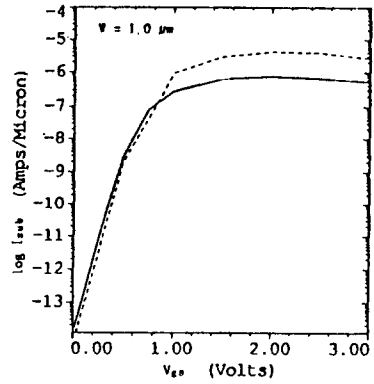
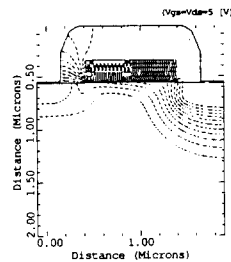


그림 7. 종래의 평면 소자와 convex 소자의  $I_{ds}$ - $V_{ds}$  관계 비교 (NMOS의 경우)

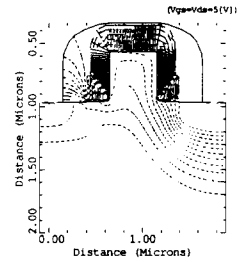
(종래의 평면 소자 : 점선, convex 소자 : 실선)

Fig. 7. The comparison of  $I_{ds}$ - $V_{ds}$  characteristics between planar and convex device in NMOS.

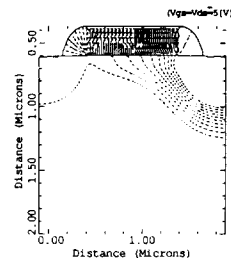
(planar device : dotted line, convex device : solid line)



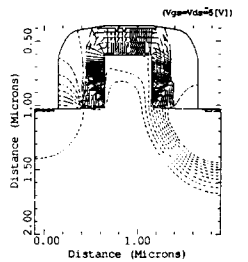
(a)



(b)



(c)



(d)

그림 8. Potential contour의 비교

- (a) 종래의 평면소자 NMOS
- (b) convex 소자 NMOS
- (c) 종래의 평면소자 PMOS
- (d) convex 소자 PMOS

Fig. 8. The potential contour characteristics of NMOS and PMOS in planar and convex devices.

- (a) planar NMOS device,
- (b) convex NMOS device,
- (c) planar PMOS device,
- (d) convex PMOS device.

<b>Well 형성</b>
N-well이온 주입 : P, 1.3E13/cm <sup>2</sup> , 125KeV P-well이온 주입 : BF <sub>2</sub> , 4.0E12/cm <sup>2</sup> , 60KeV
<b>*** Convex 구조 형성 ***</b>
게이트 PHOTO P/R ashing: 약 0.15 $\mu$ m/side 산화막 식각: 1300Å 실리콘 식각: 약 4000Å P/R 제거/산화막 제거
<b>소자격리(LOCOS isolation)</b>
T <sub>nit</sub> /T <sub>ox</sub> : 1400Å / 250Å 채널 스톱 이온 주입 : BF <sub>2</sub> , 4.0E13/cm <sup>2</sup> , 60KeV T <sub>rox</sub> : 7000Å
<b>문턱 전압 조절</b>
V <sub>7N</sub> 이온 주입 : B, 1.4E12/cm <sup>2</sup> , 30KeV V <sub>7p</sub> 이온 주입 : B, 2.4E12/cm <sup>2</sup> , 30KeV
<b>게이트 형성</b>
T <sub>poly</sub> : 4000Å (n <sup>+</sup> doping) T <sub>ox</sub> : 200Å (WET oxidation)
<b>LDD 형성</b>
n- 이온 주입 : P, 1.0E13/cm <sup>2</sup> , 80KeV p- 이온 주입 : BF <sub>2</sub> , 4.0E13/cm <sup>2</sup> , 80KeV S/W spacer : 2500Å (HLD)
<b>소스/드레인 형성</b>
N <sup>+</sup> 이온 주입 : As, 5.0E15/cm <sup>2</sup> , 80KeV P <sup>+</sup> 이온 주입 : BF <sub>2</sub> , 3.0E15/cm <sup>2</sup> , 80KeV
<b>절연막 증착(절속층 형성)</b>
T <sub>BPSG</sub> /T <sub>LTO</sub> : 5000Å / 2000Å
<b>금속 증착 / 합금</b>
Al/0.5 $\mu$ Cu/1 $\mu$ Si : 450 °C, 30분

그림 9. 시료 제작 흐름도

Fig. 9. Process sequence for a sample preparation.

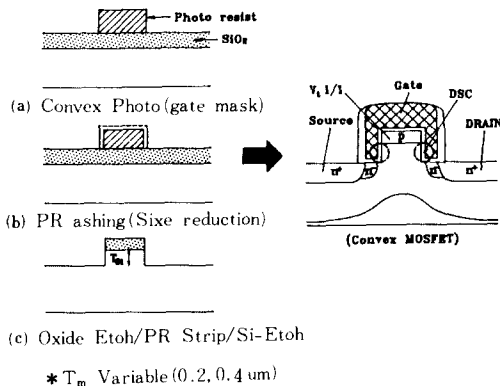


그림 10. NMOS에서의 convex 구조 형성 순서 및 최종 단면도

Fig. 10. The sequence of convex structure formation and the final cross section in NMOS.

#### IV. 소자의 특성

앞 절에서 설명한 소자의 특성을 비교 분석하기 위해 종래의 평면소자(시료A)와 convex 소자(시료B)의 DC, AC 특성을 살펴보고자 한다. DC 특성으로는 채널 길이에 따른 트랜스콘덕턴스( $G_m$ ), 문턱 전압, 동작 전류, 항복 전압, DIBL(Drain Induced Barrier Lowering) 등과 짧은 채널에서의  $I_{ds}$ - $V_{ds}$ , 기판 전류, 및  $\Delta L_{eff}$  등을 비교하고, AC 특성으로는 링 발진기를 이용한 인버터당 지연 시간에 대해 살펴보기로 한다.

##### 1. DC 특성

표 1은 시료 A, B의 채널 길이에 따른 NMOS에서의 최대  $G_m$  값을 나타내었다.

표 1. 채널 길이에 따른 최대  $G_m$  값

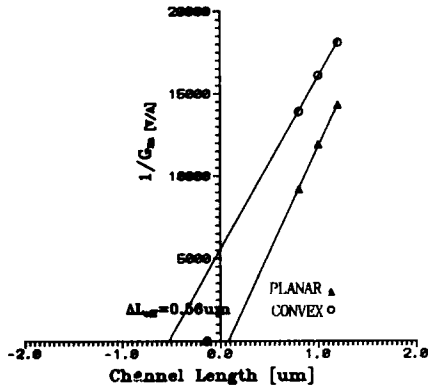
Table 1. The value of the maximum  $G_m$  with the channel length.

단위 [ $\mu$ A / V]

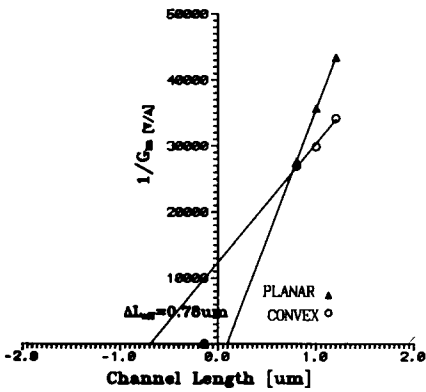
구 분		20/1.2	20/1.0	20/0.8	20/0.6
NMOS	시료A	70.1	84.3	103	139
	시료B	49.6	56.6	64.9	80.2
PMOS	시료A	-23.1	-28.1	-36.2	-49.0
	시료B	-29.3	-33.5	-37.1	-43.3

최대  $G_m$ 에 있어서 NMOS의 경우에는 convex 소자가 종래의 평면소자에 비해 약 30% 정도의 감소가 있다. 한편 정확한 유효 채널 길이를 측정하기 위해서는 보다 새로운 측정 방법<sup>[8]</sup>이 동원될 필요가 있으나, 본 연구에서는 채널 길이의 변화폭( $\Delta L_{eff}$ )이 중요하므로 가장 널리 사용되는  $1/G_m$  방법을 이용하였다. 이때 표 1의 값을 사용하여 구한 채널 길이의 변화폭( $\Delta L_{eff}$ )을 살펴보면, 그림 11과 같이 convex 소자(시료B)가 NMOS에서는 약 0.56 $\mu$ m, PMOS에서는 약 0.78 $\mu$ m의 채널 길이가 확장되어 있음을 알 수 있으며, 향후 convex 소자의 정확한 채널 길이 측정 방법은 계속되어야 할 과제라 생각한다.

문턱 전압에 있어서는 시뮬레이션 결과와 마찬가지로 NMOS의 경우 두 시료가 약 0.65V로 거의 동일한 값을 보여주며, convex 소자가 채널 길이에 덜 민감하나, 기판의 전압(back bias :  $V_{bs}$ )에는 보다 영향을 많이 받고 있음을 알 수 있다(그림 12). 이는 Convex 소자에서 돌출된 실리콘 영역이 존재하므로써 기판 전압에 따른 공핍층이 커져 문턱 전압 변화폭이 증가된 것으로 생각된다. 또한 PMOS에서는 종래 소자의  $V_{th}$ 는 약 -0.8V를 나타낸 반면, convex 소자의 경우 -1.2V로 -0.4V의 차이



(a)



(b)

그림 11. 1/Gm 방법을 이용한 채널 길이의 변화폭( $\Delta L_{eff}$ )

(a) NMOS (b) PMOS

Fig. 11. The variations of effective channel length using 1/Gm method.

(a) NMOS, (b) PMOS.

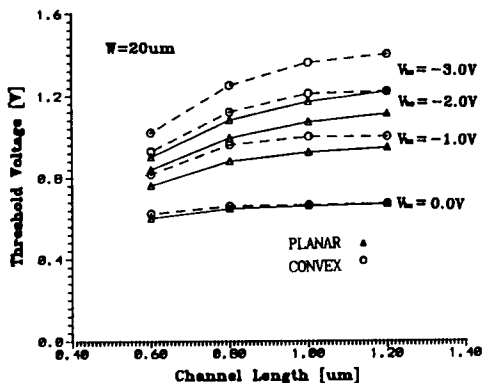


그림 12. NMOS에서의 채널 길이에 따른 문턱 전압 특성  
Fig. 12. The threshold voltage characteristics of NMOS device vs. channel length.

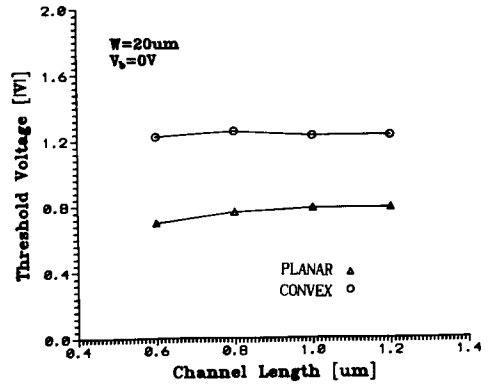


그림 13. PMOS에서의 채널 길이에 따른 문턱 전압 특성  
Fig. 13. The threshold voltage characteristics of PMOS device vs. channel length.

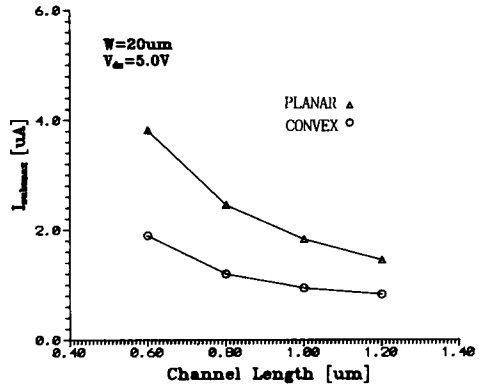


그림 14. NMOS에서의 채널 길이에 최대 기판 전류 특성  
Fig. 14. The maximum substrate current characteristics of NMOS device vs. channel length.

를 보이는데, 이것은 시뮬레이션에서 예측한 값인 -1.0V 차이와는 거리가 있으나, DSC 영역에 의한 것임을 간접적으로 입증하는 것임에는 틀림없다.(그림 13)

한편 DSC 영역의 형성과 채널 길이의 확장으로 얻는 가장 큰 장점은 NMOS에서 드레인 영역 근처의 낮은 전계에 의해 충격이온화 현상이 줄고, 그에 따라 홀-전자쌍의 생성이 감소하여, 소자 수명에 심각한 영향을 미치는 게이트 산화막내에 트랩되는 전자의 양이 줄어드는 현상이다. 이것을 간접적으로 확인하는 것이 홀 전류인 기판 전류인데, 그림 14의  $I_{sub} - V_{gs}$  관계로부터 최대  $I_{sub}$ 가 convex 소자의 경우 종래 소자에 비해 1/2정도로 감소하는 것으로 소자의 수명이 크게 증가되어 신뢰성 향상에 기여할 수 있음을 알 수 있다.

동작 전류( $V_{gs}=V_{ds}=5V$  일때의 드레인 전류로 정의)의 특성도 앞에서 설명한 바와 같이 convex 소자의 채널 길이 증가에 기인하여 종래의 소자에 비해 채널 길이 1.0 $\mu m$ 에서 NMOS의 경우 약 18%, PMOS의 경우 약 23%의 감소를 나타내고 있다.(그림 15) 특히 PMOS는 낮은  $V_t$ 의 영향도 포함되어 있다.

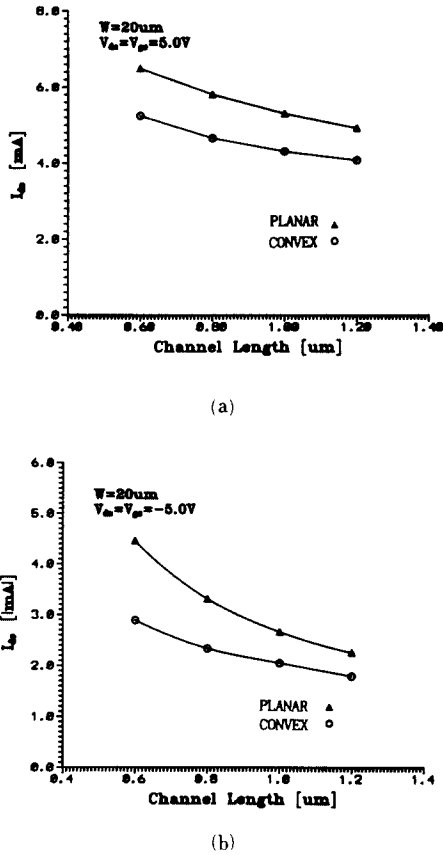


그림 15. 채널 길이에 따른 동작 전류 특성  
(a) NMOS (b) PMOS

Fig. 15. The operational current characteristics of NMOS and PMOS devices vs. channel length.  
(a) NMOS, (b) PMOS.

항복 전압은 sub- $\mu m$  소자에서 문제가 되고있는 펀치스루우 현상을 고려하기 위해 드레인 전류가 1nA 흐를 때로 정의하고 측정하였다. 그 결과 그림 16에서 보는 바와 같이 NMOS에서는 채널 길이 0.6 $\mu m$ 에서 convex 소자가 종래 소자에 비해 약 4V 정도 낮은 값을 보이는데, 이것은 그림 3의 공정 시뮬레이션에서 소스/드레인을 가로지르는 영역의 농도가 낮은 것에 기인한다. 이를 확인하기 위해 드레인 전압을 10.0V로 고정하고, 기판전압과 게이트 전압을 -로 바꾸면서 소스 전류를 측정한 결과를 그림 17에 나타내었다. 그림에서 보는 바와 같이 종래 평면 소자는 기판 전압에 무관하며, 게이트전압이 (-)로 커질수록 소스 전류가 감소되는 반면 펀치스루우가 우세한 반면, Convex소자는 기판 전압에 따라 소스 전류가 감소되는 벌크 펀치스루우 현상이 두드러짐을 알 수 있다. 즉 Convex 소자의 기판 농도를 증가시키는 방법을 수행하면 쉽게 개선 가능하며, 그 예로서 문턱 전압 조절시 DBI(Deep Boron Implantation)공정으로 추가를 진행하여 농도를 증가시키는 방법을 들 수 있다. 그러나, PMOS에서는 NMOS와는 반대 현상으로 convex 소자가 오히려 절대치가 약 6.5V 큰 항복전압을 나타내는데, 이는 매몰 채널이 실리콘 도출 부위에 형성되어 펀치스루우에 의한 항복 전압을 높여주기 때문이다.

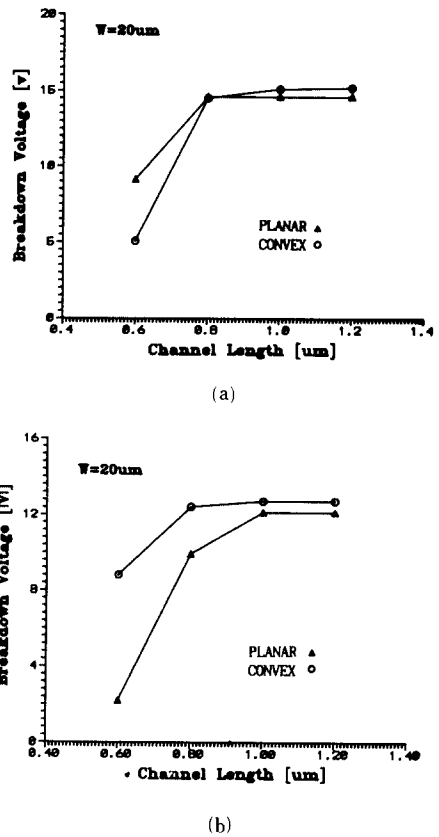
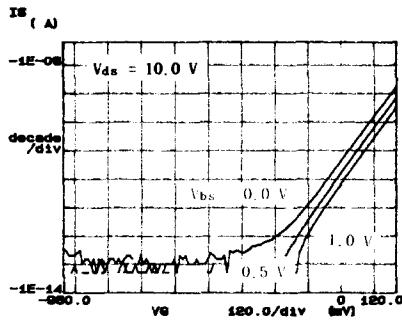


그림 16. 채널 길이에 따른 항복 전압 특성  
(a) NMOS (b) PMOS

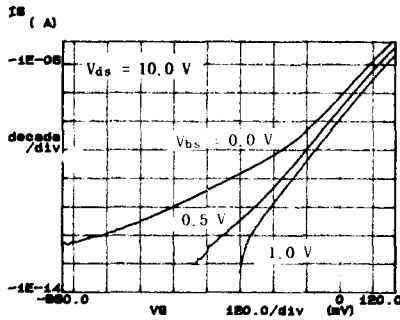
Fig. 16. The breakdown voltage characteristics of NMOS and PMOS devices vs. channel length.  
(a) NMOS, (b) PMOS.

트 전압을 -로 바꾸면서 소스 전류를 측정한 결과를 그림 17에 나타내었다. 그림에서 보는 바와 같이 종래 평면 소자는 기판 전압에 무관하며, 게이트전압이 (-)로 커질수록 소스 전류가 감소되는 반면 펀치스루우가 우세한 반면, Convex소자는 기판 전압에 따라 소스 전류가 감소되는 벌크 펀치스루우 현상이 두드러짐을 알 수 있다. 즉 Convex 소자의 기판 농도를 증가시키는 방법을 수행하면 쉽게 개선 가능하며, 그 예로서 문턱 전압 조절시 DBI(Deep Boron Implantation)공정으로 추가를 진행하여 농도를 증가시키는 방법을 들 수 있다. 그러나, PMOS에서는 NMOS와는 반대 현상으로 convex 소자가 오히려 절대치가 약 6.5V 큰 항복전압을 나타내는데, 이는 매몰 채널이 실리콘 도출 부위에 형성되어 펀치스루우에 의한 항복 전압을 높여주기 때문이다.





(a)



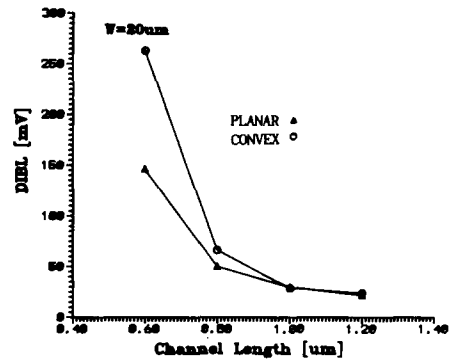
(b)

그림 17. 채널 길이 0.6 $\mu$ m인 NMOS에서의 게이트 전압과 기판 전압에 따른 항복 전압 특성  
(a) 종래의 평면 소자 (b) convex 소자

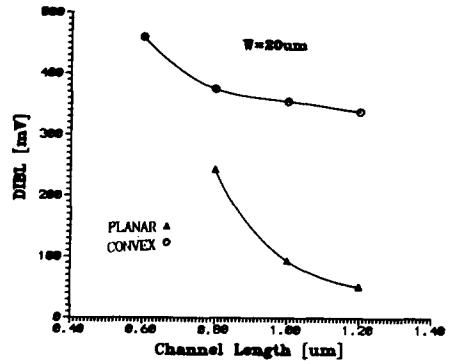
Fig. 17. The breakdown voltage characteristics according to the gate and drain voltages in NMOS whose channel length is 0.6 $\mu$ m.  
(a) Planar device, (b) Convex device.

한편 DIBL 특성과 subthreshold 특성을 그림 18, 19에 각각 나타내었는데, convex 소자가 종래 평면 소자에 비해 절대값이 크기 때문에 다소 떨어지는 특성을 보이나, 채널 길이가 줄어들어 따른 변화폭은 오히려 convex 소자가 작아 다소 안정된 형태를 보이고 있다. 이것에 대한 해결책으로 항복 전압의 경우와 마찬가지로 DBI공정 추가로 함께 해결이 가능하고, 또한 게이트 산화막의 두께 감소 및 소스/드레인의 접합 깊이를 줄여주기 위한 방법을 병행하면 보다 최적화된 소자의 특성을 기대할 수 있을 것으로 생각된다.

AC 특성으로는 채널 폭과 길이가 각각 20 $\mu$ m와 1.0 $\mu$ m인 CMOS 17단의 인버터로 구성된 링-발진기에서의 인버터당 지연시간( $\tau_d$ )을 측정하였으며(그림 20, 21), convex 소자로 이루어진 경우  $V_{cc}=5V$ 에서  $\tau_d$ 가 0.30nsec로 종래 소자의 경우인 0.26nsec에 비해 약 0.04nsec 차이로 15% 정도 밖에 늦어지지 않음을 볼 수 있다.



(a)



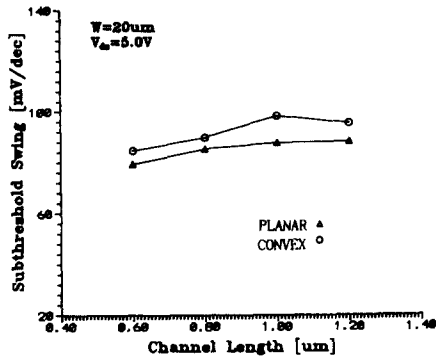
(b)

그림 18. 채널 길이에 따른 DIBL 특성  
(a) NMOS (b) PMOS

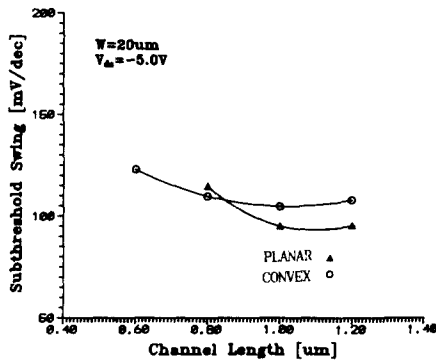
Fig. 18. The DIBL characteristics of NMOS and PMOS devices vs, channel length.  
(a) NMOS, (b) PMOS.

### V. 결론 및 향후 방향

앞의 결과로부터 convex 소자가 sub- $\mu$ m 영역에서 종래의 평면 소자보다 안정된 특성을 보임을 알 수 있다. 또한 CODE(Channel Only Dopant Enhancement) 방법<sup>[9]</sup>이나 DBI 공정에 의해 기판 농도를 증가시켜 최적화하고, 새로이 개발된 tilt/twist 이온 주입 방법에 의한 벽면 DSC 영역 이온 주입으로 PMOS의  $V_t$  조절과 아울러 게이트 산화막 두께의 감소와 소스/드레인 접합 깊이를 줄인다면 보다 신뢰성 있는 sub- $\mu$ m 소자가 됨을 예측할 수 있다. 또한 제작 공정 중에 발생하는 mis-alignment의 해결을 위한 자기 정렬 방법의 고안과 회로에 응용될 경우 LEVEL 3등 현재의 MOS 모델 파라미터로는 정확한 분석이 어려운 문제점을 내포하고 있으므로 새로운 모



(a)



(b)

그림 19. 채널 길이에 따른 subthreshold swing 특성  
(a) NMOS (b) PMOS

Fig. 19. The subthreshold swing characteristics of NMOS and PMOS devices vs. channel length.

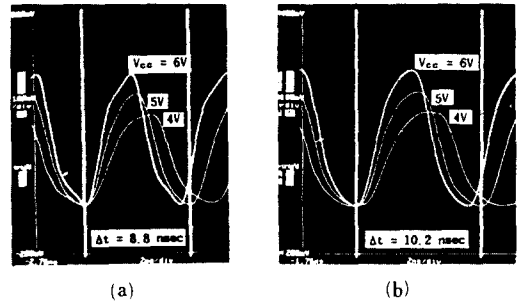
(a) NMOS, (b) PMOS.

델의 설정 및 파라미터의 추출이 필요하리라 생각된다.

그 이외에도 SOI 소자 형태와 유사하게 돌출된 실리콘 영역의 농도를 낮게하여 완전 공핍을 유도하고, 기판 영역은 높은 불순물 농도를 갖게하는 소자에 대한 연구도 병행하면 상당히 흥미로운 것으로 사료된다.

參 考 文 獻

[1] C. Hu, S.C. Tam, F.C. Hsu, P.K. Ko, T.Y. Chan and K.W. Terrill, "Hot-electron induced MOSFET degradation-- model, monitor and improvement," *IEEE Tran. on Elec. Dev.*, vol. ED-32, no. 2, pp. 375-385 February 1985.  
 [2] E. Takeda, and N. Suzuki, "An empirical medel for device degradation due to hot-carri-



(a)

(b)

그림 20. 링-발진기에서의 전송 지연 주기 비교

(a) 종래 평면 소자로 구성된 경우

(b) convex 소자로 구성된 경우

Fig. 20. The propagation delay time characteristics of ring-oscillator consisted of 17 CMOS inverters.

(a) Ring-oscillator fabricated by planar devices,

(b) Ring-oscillator fabricated by convex structured devices.

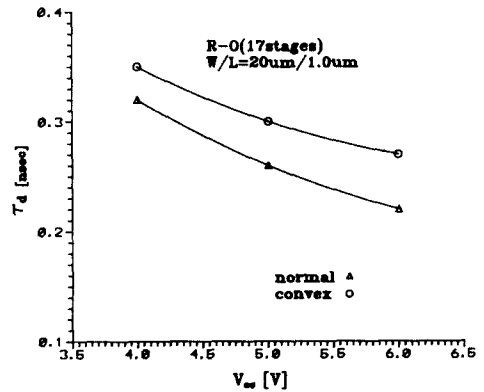


그림 21. Vcc에 따른 인버터당 지연시간(td)

Fig. 21. The delay time per CMOS inverter( $t_d$ ) Characteristics vs.  $V_{cc}$ .

er injection," *IEEE Electron Device Letters*, vol. EDL-4, no. 4, pp. 111-113, 1983.

[3] M. Koyanagi, a. Lewis, R. Martin, T. Huang, and J. Chen, "Hot electron induced punchthrough(HEIP) effect in submicron PMOSFETs," *IEEE Trans. Electron Devices*, ED-34, pp. 839-844, 1987.  
 [4] P.R. Troutman, "VLSI limitations from drain-induced Barrier lowering," *IEEE Trans. Electron Devices* vol. ED-26, no. 4, pp. 461-469,

- 1979.
- [5] E. Takeda, H. Kume, and s. Asai, "New grooved-gate MOSFET with drain separated from channel implanted region (DSC)," *IEEE Trans. Electron Device*, vol. ED-30, no. 6, pp. 681-686, 1983.
- [6] K. Sunouchi, H. Takato, a. Nitayama, and K. Hieda, "Double LDD concave(DLC) structure for sub-half micron MOSFET," *IEEE Int. Elec. Dev. Meeting*, pp. 226-229, 1988.
- [7] J. Chung, M.C. Jeng, J.E. Moon, A.T. Wu, T. Y. Chan, P.K.Ko, and C. Hu, "Deep-submicrometer MOS device fabrication using a photoresist-ashing technique," *IEEE Electron Device Letters*, vol. EDL-9, no. 4, pp. 186-188, 1988.
- [8] K. Ng, and J. Brews, "Measuring the effective channel length of MOSFETs," *IEEE Circuits and Devices*, pp. 33-38, 1990.
- [9] 송재혁, 김기홍, 박영준, 민홍식, "CODE MOSFET 소자의 제작 및 특성," *전자공학회지* 제27권, 제6호. pp. 895-900, 1990.

---

 著 者 紹 介
 

---

金 基 洪 (正會員) 第 27 卷 第 6 號 參照  
 현재 금성일렉트론(주)  
 연구소 선임연구원

金 賢 哲 (正會員)  
 1958年 12月 1日生. 1984年 2月 인천대학교 전자공학과  
 졸업. 1986年 2月 인하대학교 전자공학과 대학원 졸업.  
 1986年~ 현재 금성일렉트론(주) 연구소 선임연구원.  
 주관심분야 : 미세 Transistor 구조 및 공정 : 소자  
 Modeling & Simulation 등임.



金 興 植 (正會員)  
 1954年 11月 16日生. 1977年 2月 인  
 하대학교 전자공학과(공학사). 1989  
 年 2月 숭실대학교 반도체공학과(공  
 학석사). 1991年 8月 숭실대학교 전  
 자공학과 박사과정 수료. 1979年 6月  
 ~1984年 5月 한국전자기술연구소  
 연구원. 1984年 6月~1989年 12月 금성반도체(주) 선임  
 연구원. 1990年 1月~현재 금성일렉트론(주) 연구소 개  
 발실장. 주관심분야 : CMOS TECH, for Process In-  
 tegration ASIC 제품기술, 신뢰성 및 FMA 등임.

安 哲 (正會員) 第 28 卷 A編 第 4 號 參照  
 현재 서강대학교 전자공학과  
 교수