

TFT Matrix형 액정판넬의 주사전극 구동 IC 개발

(Scanning Electrode Driver IC Development for TFT Matrix-Type Liquid Crystal Panel)

李 華 伊,* 鄭 教 泳,** 卞 相 基,** 劉 泳 甲***

(Hwa E Lee, Kyo Young Jeong, Sang Ki Byeon, and Young Gap You)

要 約

본 논문에서는 컬러 액정 텔레비전의 액정판넬에 적용되는 주사전극 구동 IC를 개발하였다. 이 칩은 액정판넬의 전기적인 특성을 고려하였고, NTSC 방식의 컬러 텔레비전 디스플레이의 사양을 만족한다. 설계에서는 논리 및 회로 시뮬레이션을 하였으며, 고전압 공정을 사용하여 제조되었다. 신호전극 구동 IC와 함께 사용하여 상업용 컬러 액정판넬에 적용이 가능한 완벽한 칩을 개발하였다.

Abstract

A design of scanning electrode driving IC chip has been implemented aiming at the application to liquid crystal color television displays. The chip reflects the design characteristics of high quality liquid crystal panels and satisfies specifications of NTSC type color television displays. The design was verified using logic and circuit simulation, and fabricated using a high voltage CMOS process. A fully working die has been obtained that can be readily applicable to commercial color liquid crystal panels.

I. 서 론

정보기기의 화면표시장치는 음극선관 중심에서 평면판 기술을 채택하는 방향으로 급속하게 발전하고 있다. 현재 디스플레이 기기는 여러 응용분야에서 용도

에 따라 많은 종류의 디스플레이 기기가 개발되고 있다. 소비자의 다양한 요구에 따라 화질의 개선, 무게의 감소, 화면의 소형화 또는 대형화등을 점차적으로 개선하고 있다. 또한 재료기술, 반도체기술과 화면처리 기술의 복합적인 발전은 평면 표시기기의 발전을 더욱 가속시키고 있으며, 특히 CRT를 대체할 수 있는 디스플레이 기기들이 많이 개발되고 있는데, 이들 평면 표시기기중에서 액정디스플레이는 가장 보편화 되고 있는 분야중의 하나이다.

액정디스플레이는 원래 플랫 매트릭스 디스플레이가 가지는 소형, 박형이라는 특징과 더불어 저전압, 저소비전력 구동이 가능하다는 장점을 갖추고 있다.^[1, 2, 3] 이 액정디스플레이는 같은 시기에 개발되고 있었던 CMOS LSI와의 인터페이스 기술 확립에 의해서 전자

*正會員, 淸州大學校 電子工學科

(Dept. of Elec. Eng., Chongju Univ.)

**正會員, 現代電子産業(株) 半導體研究所

(Semiconductor R&D Lab., Hyundai Electronics Industries Co., Ltd.)

***正會員, 忠北大學校 情報通信工學科

(Dept. of Dacom. Eng., Chungbuk Univ.)

接受日字: 1992年 1月 21日

계산기, 시계 등의 분야에서 응용되었으며, 휴대용TV, 노트북컴퓨터, 랩톱컴퓨터등에 활용되고 있다.^[4] 전자기기의 소형화, 박형화 추세에 액정디스플레이가 적극적으로 이용되며, 표시화면의 대형화에도 투사형 액정디스플레이가 이용되는 것은 대용량 정보기기와 고품질TV의 보급에 결정적으로 유리한 요소가 되기 때문이다.^[5, 6, 7] 액정디스플레이의 실용화에 있어서 액정판넬의 개발 못지 않게 중요한 것은 적절한 구동회로도 개발되어야 하며, 또한 표시품질향상측면에서도 기존의 CRT와 경쟁이 되어야 하는 것이다.^[8]

화면의 표시 품질향상은 기존의 CRT 화면에 비견할만한 수준이 요구되어지며, 이에 따라 액정기술은 단순 매트릭스 방식의 TN (Twisted Nematic)형에 비해 보다 나은 TFT형 액티브 매트릭스 방식으로 전환하고 있다. 특히 기존의 액정디스플레이는 화질의 개선을 위한 구동 방식에 있어서 액티브 매트릭스 방식을 사용하는데, 액티브 소자로는 TFT (Thin Film Transistor)를 중심으로 한 트랜지스터구동형이 주류를 이루고 있다.^[9] 이것은 현재의 휴대용 텔레비전에서 뿐만아니라, 중소형 고품질 텔레비전에 적용하여도 충분히 좋은 화질을 제공할 것이다.

본 연구를 통하여 액정텔레비전인 TFT형 컬러 액정텔레비전에서 사용되는 TFT형 컬러 액정판넬의 주사전극 구동을 위한 row driver IC (RDIC)를 개발하였다. 이것은 기존의 액정구동이 (+), (-)의 양방향 고전압을 사용하므로써 크기와 무게가 부담이 되었으나, 이 연구에서는 (+) 방향의 전원만을 고려한 액정구동 방식을 채택함으로써 전원회로를 단순화하고, 이에 따라 system의 경량화와 소형화에 결정적인 기여를 하게 하였다. 또한 고전압 CMOS 공정의 개발에 따라 고전압 소전력 IC 제품군의 구현이 가능하게 되었다. 이 IC는 현 TV에의 적용뿐만아니라, 고품질TV (HDTV)에 사용될 구동회로의 준비로 적절하다고 본다. 이 논문은 2장에서 주사전극 구동의 원리를 설명하고, 3장에서는 논리 및 회로 시뮬레이션 과정과 4장에서는 설계 및 구현 과정을 기술하였다. 여기에는 IC의 테스트 결과가 수록되었고, 5장에 결론을 맺었다.

II. 주사전극 구동 IC의 구조 및 동작원리

고화질 액정화면을 구동하기 위한 회로를 설계하기 위해서 사양과 구조를 결정해야 한다. 우선 기존의 화상규격에 호환성이 있는 사양과 이를 구현하기 위한 구조가 결정된다.

1. 액정디스플레이 표시판넬의 구성

텔레비전의 화면을 표시하는 영상신호 전달 방식에는 여러가지가 있으나, 본 논문에서는 NTSC형의 영상신호를 TFT형 컬러 액정디스플레이 판넬에 전달하는 시스템을 대상으로 설계되었다. 그림 1에서는 480 x 240 픽셀 크기인 TFT형 컬러 액정디스플레이 판넬을 디스플레이로 사용하는 액정텔레비전의 시스템 구성을 보여주고 있다. 화면부는 액티브 매트릭스 방식의 TFT형 컬러 액정디스플레이 판넬이고, 주사전극에는 80개를 출력하는 주사전극 구동 (row driver) IC가 3개 연결되어있다. 신호전극에는 120개를 출력하는 신호전극 구동 (column driver)가 4개 연결되어 있다. 먼저 수신된 복합영상신호가 tuner, IF, chroma 블럭을 통과한 후에는 R, G, B 신호로 분리되어 영상정보를 저장하여 출력하는 신호전극 구동 IC (CDIC)에 전달된다. 동시에 수평주사전극을 순차적으로 선택하는 주사전극 구동 IC (RDIC)가 구동하게 된다. 이때 구동 IC들의 신호 제어는 제어 IC가 하게 된다. 각각의 CDIC가 아날로그 (analog) 영상신호를 일단 임시로 저장한 후에, RDIC의 주사신호에 따라 한 행의 영상신호를 한꺼번에 픽셀에 전달하게 된다. 이때 3개의 RDIC가 사용되는데, 각 주사전극은 화면의 깜빡거림 (flicker) 현상이 나타나지 않도록 초당 30회이상 구동되도록 RDIC가 주사신호를 판넬에 순차적으로 보내야 한다.

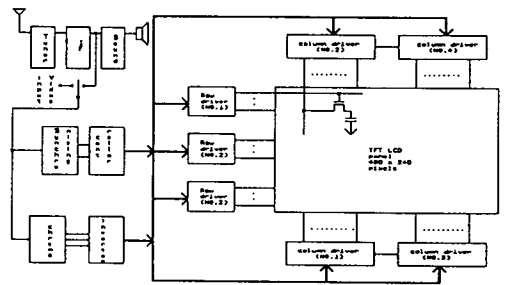


그림 1. 액정텔레비전의 시스템 구성
Fig. 1. System diagram of LCD television.

그림 1에는 액티브 매트릭스방식의 TFT형 컬러 액정디스플레이 판넬이 제시 되어있다. 먼저 컬러 액정디스플레이 판넬의 구조는 액정디스플레이 판넬의 각 픽셀에 R, G, B의 컬러 필터를 부착한 것을 말한다. 여기서 스위칭 트랜지스터는 TFT로 구성되는데, TFT는 MOSFET 구조를 가지는 게이트 (gate), 드레인 (drain), 소스 (source)로 구성되고, 이 TFT의

소스에는 캐패시터 회로에 증가되는 구조체가 연결되어 있고, 드레인에는 영상신호가 들어가는 입력 구조로 되어있다. RDIC는 이 TFT의 게이트를 ON/OFF 하여 캐패시터를 영상신호의 전위로 충전/방전 시킴으로써 영상신호를 화면에 전달하게 된다.

2. 내부구조 및 동작원리

한개의 수평주사전극 구동회로 RDIC는 각각 80개의 수평주사선들을 순차적으로 구동시킬 수 있도록 설계되었다. 480 x 240 픽셀 크기를 갖는 액정디스플레이에서 주사전극에는 각각 80개를 출력하는 주사전극 구동 IC 3개가 연결된다. 따라서 240개의 주사전극을 순차적으로 선택하는 기능을 하므로, 여기서 1/240 duty의 시간은 1개의 주사전극이 매주사시 마다 1/240 시간 동안만 선택된다는 것을 의미한다. 매 1/30초마다 이 짧은 시간내에 픽셀 캐패시터를 충분히 충전/방전 시켜야 하므로 액정디스플레이 구동 IC의 구동 전압이 높아야 한다. 이를 위하여 RDIC의 제조 공정에서는 고전압 공정을 추가하여 사용하였다.

그림 2에서는 RDIC의 내부구성을 나타냈다. RDIC의 내부 구성은 데이터 입력 (DI), 클럭 (CL), 양방향 시프트 레지스터 (bidirectional shift register), 레벨 시프터 (level shifter), 액정디스플레이 구동 출력 (X1 - X80), M 신호 (AC 구동 신호) 입력, 데이터 출력 (DO) 부분으로 구성되어 있다. 입력된 데이터 (DI)의 전달 방향을 결정하는 SHL 신호 및 클럭 (CL)의 동작모드를 결정하는 FCS 신호가 있고, 입력된 데이터는 양방향 시프트 레지스터 회로를 거쳐 레벨 시프터 회로로 전달된다. 액정디스플레이 구동회로는 액정디스플레이 구동 전압을 선택하는 멀티플렉서 (multiplexer)와 출력 구동 트랜지스터 (output driving transistor)로 구성되어 있다. 이 IC는 80개의 기능블럭으로 나눌 수 있으며, 양방향 시프트 레지스터, 레벨 시프터, 멀티플렉서, 출력 구동 트랜지스터를 포함하는 회로를 구동 블럭이라고 한다면, 이 80개의 구동 블럭이 배열되어 있다.

이 RDIC의 데이터 입력 (DI) 핀에 주사신호 (scanning pulse)가 입력되면 클럭에 의하여, 첫번째 구동 블럭의 양방향 시프트 레지스터에 저장되고, 레벨 시프터, 멀티플렉서, 출력 구동 트랜지스터를 거쳐서 최종출력으로 나오게 된다. 또한 첫번째 구동 블럭의 양방향 시프트 레지스터의 출력이 레벨 시프터로 전달되는 동시에, 두번째 구동 블럭의 양방향 시프트 레지스터의 입력으로 전달된다. 두번째 구동 블럭 또한 첫번째 구동 블럭의 동작순서와 같은 방법으로 동작되어 출력으로 나타나게 된다. 따라서 수평 주사신호 데이

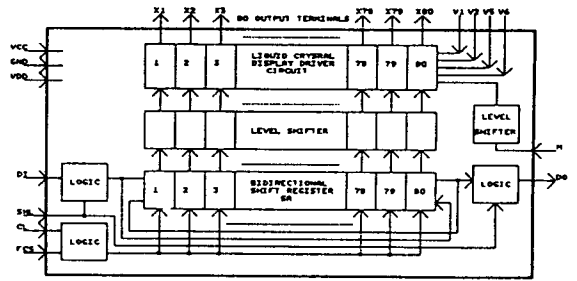


그림 2. RDIC의 내부구성
Fig. 2. Block diagram of RDIC.

타가 80개의 구동 블럭을 순차적으로 전달되면서 각각의 구동 블럭 출력으로 나타나게 된다. 또한 80개의 양방향 시프트 레지스터를 거친 데이터는 데이터 출력 단자인 DO 단자의 출력으로 전달되고, 이 데이터 출력은 다음 RDIC의 데이터 입력으로 전달되는 동작을 하게 된다.

RDIC의 내부회로중에서 액정디스플레이 구동 전압을 선택하여 주사전극에 출력하는 회로를 살펴보기로 한다. 그림 3에는 액정디스플레이 구동회로를 나타내고 있다. 이 회로는 +35V에서 0V의 전원전압으로 동작하는 레벨시프터 (level shifter), 멀티플렉서 (multiplexer), 출력 구동 트랜지스터 (output driving transistor)로 구성되어 있다. 고전압 전원을 사용하는 또 다른 부분은 M 신호 블럭의 레벨 시프터이다. M 단자에 입력된 5V~0V의 입력신호는 레벨 시프터를 거쳐 높은 전압으로 된다. 이 출력(M1, MB1)은 액정디스플레이 구동회로의 멀티플렉서 입력으로 전달된다. 구동회로의 레벨 시프터는 양방향 시프트 레지스터에서 출력된 5V~0V의 출력레벨을 입력하여 35V~0V의 레벨로 출력한다. 레벨 시프터 출력과 M 신호 (AC 구동신호) 회로의 출력을 입력한 멀티플렉서의 출력은 출력 구동 트랜지스터의 게이트를 ON 시킴으로써 외부에서 공급되는 액정디스플레이 구동 전압이 주사전극으로 출력된다. 입력된 데이터 (DI)와 M 신호와의 조합에 의해 선택되는 액정디스플레이 구동 전압은 데이터가 "1"일 경우 선택전압 V1, V2가 선택되고, 데이터가 "0"일 경우에는 비선택전압 V5, V6가 선택된다. 데이터는 FCS가 "1"일때 클럭의 상승시에 데이터가 전달되고, FCS가 "0"일때 클럭의 하강시에 데이터가 전달된다. 구동 전압의 범위는 $VDD \geq V1 \geq V6 \geq V5 \geq V2 \geq GND$ 의 레벨순서로 출력된다. 이때 VDD는 +35V이고, GND는 0V이다. 프레임 주파수 (frame frequency)의 1/2의 주파수를 M 신호 입력으로 받는다.

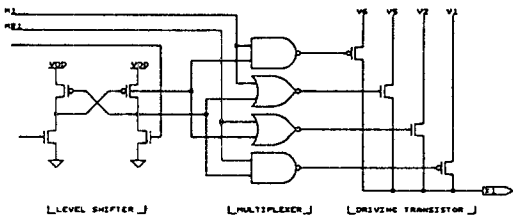


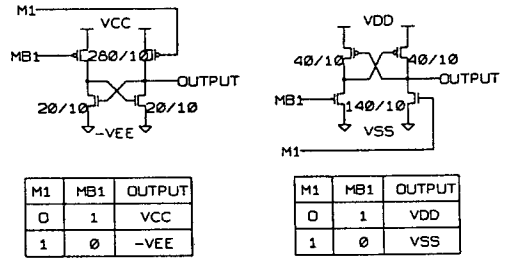
그림 3. 액정디스플레이 구동회로
Fig. 3. LCD driver circuits.

3. 개선된 레벨 시프터 회로

액정디스플레이 구동전압 공급회로의 전원전압 변화로 인하여 RDIC의 전원전압이 변화하여, RDIC의 내부회로중에 레벨 시프터 회로를 개선하였다. 일반적으로 상업화되어 있는 액정디스플레이 구동전압 공급회로에서는 외부에서 공급하는 액정디스플레이 구동전압이 +5V에서 -20V정도의 범위에서 분할된 전압이 RDIC의 액정디스플레이 구동전압 ($+5V \geq V1 \geq V6 \geq V5 \geq V2 \geq -20V$) 단자로 공급되어진다. 즉 RDIC에서는 두개의 전원전압을 사용하게 되어 전원회로가 커지고 복잡해진다. 내부 데이터 경로 회로에서는 5V를 사용하고, 구동회로에서는 외부에서 공급되는 액정디스플레이 구동전압에 따라 전원전압이 결정된다. 이때 RDIC의 내부 구동 회로 전원전압은 +5V에서 -20V를 사용하게 된다.

그러나 본 논문의 액정디스플레이 구동전압 공급회로에서는 +35V에 0V정도의 범위에서 분할된 액정디스플레이 구동전압 ($+35V \geq V1 \geq V6 \geq V5 \geq V2 \geq 0V$)을 RDIC가 공급받도록 사용하였다. 이때 RDIC의 내부 구동회로 전원전압은 +35V에서 0V를 사용하게 된다. 일반적으로 상업화되어 있는 RDIC의 액정디스플레이 구동전압을 변경함에 따라 RDIC의 내부회로중에 레벨 시프터 회로를 수정하게 되었다. 그림 4에서 (a)는 수정전의 회로이고, (b)는 수정후의 회로를 나타내고 있다.

그림 4의 (a)에서 레벨 시프터 동작은 CMOS중의 PMOS ON/OFF에 따라 출력이 되고 있다. 그러나 (b)에서는 전원전압의 변화로 인하여 CMOS중의 NMOS 동작에 따라 출력되어 진다. 이때 (a)의 PMOS 트랜지스터 크기와 (b)의 PMOS 트랜지스터 크기를 비교해보면, (b)의 트랜지스터 크기가 많이 작아졌다는 것을 알 수 있다. 이것으로 인하여 칩 레이아웃 면적을 줄일 수 있고, 또한 CMOS중의 NMOS 트랜지스터로 스위칭 하므로 속도도 5ns 정도 개선할 수 있었다. 본 논문의 레벨 시프터 회로의 기능은 단순하



(a) (b)

그림 4. 레벨 시프터 회로

- (a) 수정전 회로
- (b) 수정후의 회로

Fig. 4. Level shifter circuit.

- (a) Circuit before revision,
- (b) Circuit after revision.

게 전압레벨 변환 역할만을 한다. CMOS의 스위칭 특성을 이용하여, 즉 CMOS의 PMOS와 NMOS의 게이트에 문턱전압 이상의 전압이 인가되었을 경우에만 트랜지스터가 동작하게 된다.

Ⅲ. 논리 및 회로 시뮬레이션

상위설계에 있어서, 액정디스플레이 구동 IC의 전기적인 특성과 기능은 액정디스플레이 픽셀의 전기적인 모델과 그것을 구동하는 기능에 대한 시뮬레이션을 수행하여 확인하게 된다. 여기서는 논리 시뮬레이션과 회로 시뮬레이션을 수행하였다.

1. 논리 시뮬레이션

액정 TV의 수평주사를 위한 RDIC의 기능들을 시뮬레이션하기 위하여 SILOS를 사용하였다.^[10] 먼저 클럭 (CL)의 동작 모드를 결정하는 FCS 신호와 데이터 입력 (DI)의 전달방향을 결정하는 SHL 신호의 입력값을 결정 한 후에 입력되어진 데이터가 제대로 전달되는지 시뮬레이션 하였다. FCS의 논리값이 "1"일 경우에는 클럭이 상승시에 데이터가 전달되고, "0"일때는 하강시에 데이터가 전달된다. 또한 SHL의 논리값이 "1"일 경우 데이터 전달 방향은 X1에서 X80으로 진행되고, "0"일 경우에는 X80에서 X1으로 전달된다.

입력된 데이터 (DI)와 M 신호 (AC 구동신호)의 조합에 의해 액정디스플레이 구동전압이 선택되어 출력으로 전달하는지 확인하였다. 그림 5에서는 FCS=1, SHL=1일 경우의 클럭 동작과 전달 방향 및 입력된 데이터 (DI)와 M 신호와의 조합으로 정해진 액정디

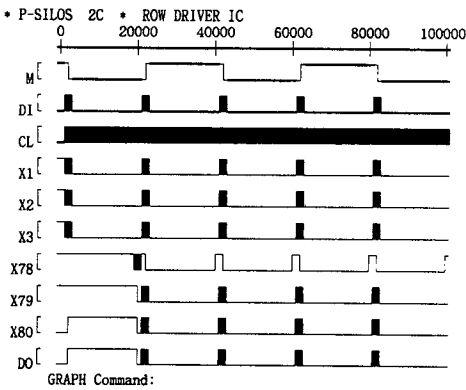


그림 5. FCS=1, SHL=1일 경우의 논리 시뮬레이션 결과
 Fig. 5. Logic simulation results when FCS is 1 and SHL is 1.

스플레이 구동전압 레벨이 출력 (X1 → X80)으로 전달되는 것을 보여주고 있다. 이때 입력된 데이터 (DI)는 클럭 (CL)의 상승시에 데이터가 전달되어 X1에서 X80으로 데이터가 전달하게 된다. X1에서 X80으로 전달된 양방향 시프트 레지스터의 최종출력은 데이터 출력 단자 (DO)에 나타나게 된다. 입력과 출력의 논리 레벨은 "1"과 "0"으로 동작하게 함으로써 기능만을 확인하였다. RDIC의 동작에 필요한 모든 조건 및 동작 순서에 대하여 정해진 기능을 수행하는지를 확인하였다.

2. 회로 시뮬레이션

논리 시뮬레이션 후에 RDIC의 회로 시뮬레이션은 HSPICE를 이용하여 수행되었다.[11] 우선 트랜지스터 크기 변경을 통해 회로의 기능적인 특성과 전기적인 특성의 충족 여부를 시뮬레이션을 통하여 확인하였다. 먼저 DC 특성을 위하여는 논리 레벨을 만족하는 기본적인 트랜지스터 크기를 결정한후, 데이터 출력의 트랜지스터 크기를 변경하면서 IOH, IOL 조건에 따라 VOH, VOL 값을 사양에 만족시킬 수 있도록 설계하였다. 시뮬레이션 항목인 VOH는 데이터 출력 (DO)의 출력이 높을 경우에 대한 전압레벨을 정의하고 있고, VOL은 데이터 출력 (DO)의 출력이 낮을 경우에 대한 전압레벨을 정의한다. 선택된 액정 구동전압이 정확하게 구동 트랜지스터를 통하여 전달되는지를 점검하는 RON 시뮬레이션 항목이 있다. 이것은 구동 트랜지스터가 멀티플렉서의 출력과 M 신호회로의 출력과의 조합에 의해 선택되었을 경우, 구동 트랜지스터

는 동작하게 된다. 이때 구동 트랜지스터의 ON 저항 성분으로 인하여 액정디스플레이 구동전압이 많이 강하된다. 강하되는 전압의 범위를 설정하여 그 범위를 넘는 값이 출력으로 전달되지 않도록 구동 트랜지스터의 크기를 결정하도록 한다. 많이 강하된 전압이 출력으로 전달되었을 경우, 액정디스플레이 동작 전압 범위를 만족할 수 없다. RON 항목도 사양에 정해진 값을 충분히 만족시키는 것이 시뮬레이션 결과에서 잘 나타났다. DC 특성 시뮬레이션 결과는 VOH값이 4.8685V, VOL값이 0.301V, RON값이 0.412K으로 나타났다.

AC 특성 시뮬레이션은 먼저 블록별로 시뮬레이션하였고, 각각의 블록 기능과 지연시간을 점검하였다. 여기서 특히 테스트 항목에 있는 데이터 출력 지연 시간 (TDD) 만족여부를 중점적으로 검증하였다. 그림 6에서는 데이터 출력 지연시간 시뮬레이션 결과를 보여주고 있다. 클럭에 의해 입력된 데이터가 1개의 양방향 시프트 레지스터를 거쳐 데이터 출력 (DO)으로 전달되는데 걸리는 지연시간을 말한다. 즉 입력된 데이터 (adi)는 클럭 (acl)의 상승시에 데이터가 전달되어 한개의 양방향 시프트 레지스터를 거친 후에 데이터 출력회로를 거쳐 출력 (ado)으로 전달된다. 이때 데이터 출력단자 (DO)에는 부하 캐패시터 30pF가 연결되어야 한다. 이것은 데이터 출력단자 (DO)에서의 부하 캐패시터, 즉 fan-out을 고려한 캐패시터 성분을 고려한 것이다. 시뮬레이션 결과는 200ns 정도로 충분히 만족되도록 설계하였다.

RDIC의 회로 시뮬레이션은 회로의 기능적인 동작을 수행하면서 전기적사양에 따른 특성 등을 점검하였

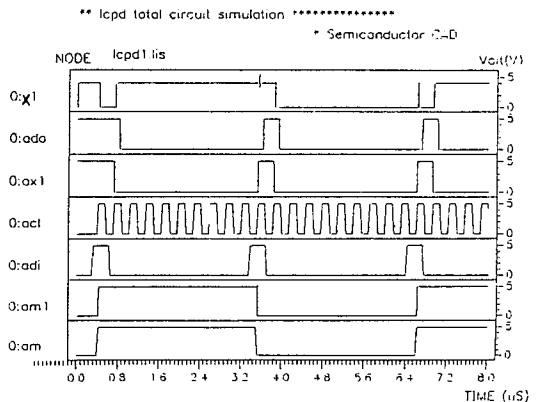


그림 6. 데이터 출력 지연시간 시뮬레이션 결과
 Fig. 6. Simulation results of data output delay time.

고, 사양서에 나타나 있는 모든 조건을 충분히 만족시킬 때까지 설계의 개선을 병행하였다.

IV. 물리적인 설계 및 구현

논리 및 회로 시뮬레이션을 거친 구동회로는 특별히 설정된 공정의 설계규칙에 맞게 레이아웃을 진행하였으며 그 결과를 검증하였다.

1. 공정순서 및 설계규칙

RDIC에는 데이터 저장회로와 구동회로로 구성되어 있다. 이 데이터 저장회로는 저전압 논리회로로서 저전압 CMOS 공정이 사용되고, 구동회로에는 고전압 CMOS 공정이 사용된다. 데이터 입력단자로 들어온 scanning pulse는 80개의 양방향 시프트 레지스터를 순차적으로 거치게 된다. 이렇게 scanning pulse를 순차적으로 진행시키면서 저장하는 회로는 낮은 전원전압을 사용한다. 각각의 양방향 시프트 레지스터 출력은 액정디스플레이 구동회로를 거쳐 선택된 액정디스플레이 구동전압을 선택하여 출력하는 구동회로에서는 높은 전원전압을 사용한다. 그래서 두가지 경우에 대한 공정이 필요하다.

공정순서를 살펴보면, 저전압 공정을 기준으로 하여 고전압 동작이 가능하도록 공정을 작성하였다. 저전압 공정과정에 고전압 트랜지스터의 특성을 개선하기 위한 마스크를 삽입하여 공정을 진행하도록 하였다. 먼저 N-well 마스크를 사용하여 N-well 공정에서 N-well depth를 $7\mu\text{m}$ 정도 확산하고, ISO 마스크를 사용하여 active 부분을 정의한 다음, C/S IMP 마스크를 사용하여 채널 stop implant 공정을 진행하였다. 그리고 고전압 PMOS의 접합면 항복전압을 35V 이상으로 높이기 위하여 DDD (Double Doped Drain) 구조로 공정을 진행 하였고, 또한 고전압 NMOS는 LDD (Light Doped Drain) 구조로 공정하였다. 여기에 P- 마스크와 N- 마스크를 사용하였다. 또한 HV field 마스크를 사용하여 고전압 블럭의 field 문턱전압을 50V 이상으로 하기 위하여 field oxide를 저전압 블럭의 field oxide 보다 더 많이 성장시키도록 하였다. 저전압 부분의 field oxide를 10000Å 정도 성장하고, HV field 마스크를 사용하여 13000Å 정도 성장하였다. 따라서 고전압 블럭의 field oxide는 23000Å 정도로 하였다.

고전압 PMOS와 NMOS의 문턱전압을 1.2V~1.4V로 높이기 위하여 HVTP 마스크를 사용하였다. 저전압 트랜지스터의 문턱전압은 0.6V~0.7V 정도이다.

고전압 트랜지스터의 게이트 oxide 항복전압도 35V 이상으로 높이기 위하여 GATE 마스크를 사용하여 저전압 트랜지스터의 gate oxide 보다 훨씬 더 많이 성장시키도록 하였다. 고전압 트랜지스터의 게이트 oxide를 1000Å 정도 성장하고, 저전압 트랜지스터의 게이트 oxide를 250Å 정도 성장하였다. 따라서 고전압 블럭의 게이트 oxide는 1250Å 정도 성장하였다. 또한 gate oxide 항복과 게이트와 소스/드레인 사이에서 발생하는 채널항복을 방지하도록 게이트와 소스/드레인 사이에 field oxide가 성장되도록 트랜지스터 구조를 만들었다. 고전압 트랜지스터의 게이트에 높은 전압이 인가될 경우, gate oxide가 파괴될 수 있으므로, gate oxide의 두께를 크게 하여야 한다. 또한 고전압 트랜지스터가 동작할때 게이트와 소스 또는 게이트와 드레인 사이에서 채널이 완전하게 형성되도록 구조를 만들었다. POLY, N+, P+, CONTACT, METAL, PAD 마스크를 사용하여 저전압과 고전압 트랜지스터의 완벽한 구조를 형성하였다. 제조된 저전압 트랜지스터의 최소 크기는 NMOS를 기준으로 하여 7/2.5 (width/length), 고전압 트랜지스터의 최소 크기는 20/10 (width/length)으로 만들었다.

레이아웃 설계에서는 저전압 공정의 설계규칙을 기초로 하여 저전압 회로에는 저전압 설계규칙을 적용하고, 고전압 회로에는 고전압 공정을 고려한 설계규칙을 적용하였다. 저전압 회로의 설계규칙은 일반적인 것이지만, 고전압 설계규칙은 저전압 설계규칙을 변경하여 높은 전압에서도 트랜지스터가 동작하도록 설계규칙의 범위를 넓게 적용하여 작성되었다. 이 설계규칙들을 결정하기 위하여서는 공정순서에 따라 공정 변수 및 모델 변수를 충족시키는 범위내에서 공정 진행시에 문제되는 각 mask align tolerance, etch bias, 확산시의 측면확산 등을 충분히 고려하였다. 저전압 설계규칙에서는 최소 채널 길이는 2.5 μm 로 하였고, 고전압 설계규칙에서는 높은 전압이 트랜지스터 단자에 공급되므로 이를 고려하여 최소 채널 길이를 10 μm 로 채택하였다. 또한 PMOS의 DDD 구조와 NMOS의 LDD 구조를 고려하여 설계규칙들이 결정되었다.

2. 칩 레이아웃 및 검증

이 RDIC의 레이아웃 작업을 하기 전에 반드시 고려할 중요한 사항은 package 조립의 형태를 미리 결정하는 것이다. 입·출력 갯수가 많은 RDIC의 layout은 package 형태에 따라 정해진 칩의 크기내에서 진행하였다. 이에따라 RDIC의 package는 QFP(Quad Flat Package) 형태를 채택함에 따라서, 칩내의 pad 사이의 간격과 크기를 만족하는 범위내에서 칩 레이아웃이

행해졌다.

먼저 양방향 시프트 레지스터, 레벨 시프터, 멀티플렉서, 출력 구동 트랜지스터를 포함하는 한개의 블록을 레이아웃하여 어느정도의 크기인지를 확인하여 전체 배치 및 배선시에 정해진 칩 크기를 만족할 수 있는지 확인하고 레이아웃을 최적화 하였다. 또한 레이아웃 작업시 고전압 구동 트랜지스터들에 대한 latch-up에 의한 오동작 방지를 위하여 철저한 guard-ring을 고려하였고, 입출력 pad에는 외부의 충격과 voltage surge에 의한 소자의 파괴를 방지하기 위하여 ESD (Electro Static Discharge) 보호 다이오드를 삽입하였다. 전체적으로 80개의 구동블럭, M 신호 블럭 및 제어 블럭으로 구성하였다. 완성된 칩은 약 5.3mm × 5.0mm의 칩 크기를 갖는다. 그림 7에서는 공정후의 칩 사진을 나타냈다. RDIC는 93개의 입·출력 pad들이 있다. 왼쪽에 있는 pad들이 입력 pad와 전원 공급 pad들이다. 또한 80개의 구동블럭중에 칩의 윗부분에 40개의 구동블럭이 있고, 아래쪽에 40개의 구동블럭이 있다. 한개의 구동블럭은 양방향 시프트 레지스터, 레벨 시프터, 멀티플렉서, 출력 구동 트랜지스터 회로로 구성되어 있다. 중앙에는 입력된 신호들을 조합하여 구동 블럭을 제어하는 회로가 있다.

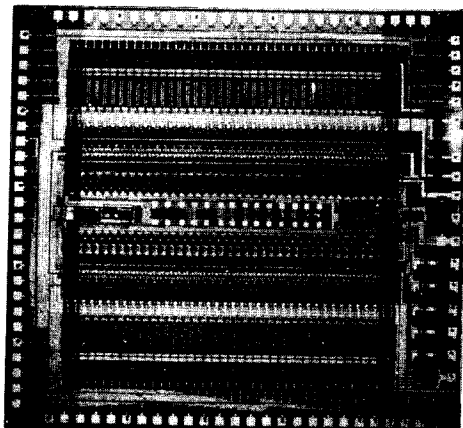


그림 7. 공정후의 칩 사진
Fig. 7. Chip photo after process.

레이아웃 작업이 블럭별로 진행되면서 검증 작업도 병행하여 진행하였다. SUN사의 SPARC workstation에서 CADENCE사의 IC설계 소프트웨어인 EDGE를 사용하였다. 레이아웃 작업을 수행하면서 블럭별로 DRC (Design Rule Checker)를 수행하고, LVS (Layout versus Schematics Checker)를 수행

하였으며, 동시에 ERC (Electrical Rule Checker)도 수행하였다. 또한 전체적인 칩 레이아웃 작업이 완성되었을 때도 검증 작업을 반복 수행하여 설계가 완벽하게 완성되도록 하였다.

3. 구현 및 테스트

액정 컬러 TV의 액티브 매트릭스형 패널 회로의 수평 주사회로는 성공적으로 상용용 칩이 확보되었다. RDIC의 제조는 국내의 반도체 제조회사에서 고전압 공정을 이용하여 진행되었으며, 이 결과는 그림 7에서 공정 후의 칩 사진으로 보여주고 있다. 이 RDIC의 웨이퍼 측정을 위하여 별도의 probe card를 제작하여 사용하였다. 웨이퍼 상태에서 공정확인을 위한 DC 변수의 측정과 모든 전기적인 특성을 만족하는지를 점검하였고 좋은 결과를 획득하였다.

테스트 벡터를 사용하여 전기적인 특성을 측정하는 동시에 기능적인 측정을 병행하였다. 측정항목에 따라 작성된 테스트 벡터를 사용하여 RDIC의 전기적인 DC / AC 항목을 측정하였다. 여기서 앞서 3장에서 수행한 시뮬레이션 결과를 비교하였는데, 측정치와 시뮬레이션 값이 완벽하게 일치하였다. 표 1에서 웨이퍼의 측정결과를 보면 저전압 트랜지스터의 문턱전압 (Vt)은 모델 변수의 입력된 값인 0.7V와 비슷하게 나왔으나, 고전압 트랜지스터의 문턱전압 (Vt)은 모델 변수의 값인 1.4V 보다 약간 높게 측정되었다. 그러나 이것이 소자 동작에는 영향을 미치지 않는었다. 또한 접합면 항복전압은 약 38V 정도로 예측한 정도의 전압

표 1. 웨이퍼의 테스트 결과
Table 1. Test results of wafer.

	크 기	Vt(v)	Idsat (mA)	BVDSS (V)	
				최소	최대
NMOS (LV)	50/2.5	0.892	10.18	19.6	
PMOS (LV)	50/2.5	-0.693	-4.205	16.7	
NMOS (HV)	50/10	2.20	12.22	38.5	
PMOS (HV)	50/10	-1.60	-5.61	-38.0	
측정 항목	측정 조건	측정치	제한 값		단위
			최소	최대	
VOH	IOH=0.4mA	4.98	4.6		V
VOL	IOL=0.4mA	0.02		0.4	V
RON	VCC=5V VDD=10V I=±150μA	670		2K	Ω
TDD	Load=30pF	0.28		3	μS

이였으므로 동작 조건을 만족하였다. 또한 고전압 트랜지스터의 동작특성을 측정하면서 게이트에 높은 전압인 35V까지 인가하였지만, 고전압 트랜지스터의 동작에는 어떤 문제점도 발생되지 않았다. 고전압 트랜지스터의 게이트에 높은 전압을 인가하면 gate oxide가 파괴되거나, 또는 채널 항복이 일어나 트랜지스터의 동작에 나쁜 영향을 끼치게 된다. Field oxide의 항복전압을 측정하였는데, 항복전압이 거의 50V 정도로 측정되었으므로 예상했던 결과치를 만족하였다.

RDIC의 DC 측정 항목이었던 VOH, VOL, RON들은 사양을 만족하였으며, 또한 시뮬레이션 결과치와도 일치한다는 것을 확인하였다. 기능적인 측정과 더불어 수행되었던 AC 측정 항목인 TDD (data output delay time)도 280~300ns 정도로 만족하였으며, 시뮬레이션 결과 (200ns)보다는 80ns 정도 delay 시간이 길게 측정되었다. 또한 DC/AC 측정항목이외에도 입력/출력핀의 open/short 측정을 한 결과, 모든 입력/출력핀들이 정상적인 동작을 하였다. 이 측정은 입력/출력핀에서 다이오드 전압이 측정되는지를 실험하였다. 입력핀들의 누설전류 측정에서도 0.02~0.3 μ A 정도로 제한치인 25 μ A 보다 훨씬 적게 측정되었다. RDIC에 대한 test 결과는 기능적인 것과 전기적인 특성의 전 항목을 만족하였다.

4. 전력소모 감소회로의 설계

이 RDIC가 단순 매트릭스 방식의 액정디스플레이 판넬을 사용하는 노트북 컴퓨터의 휴대용 제품에 실장되었을 경우에 배터리의 전력 소모를 줄이기 위하여 전력소모 감소회로를 적용하여 사용할 수 있도록 설계하였다. 컴퓨터의 전원이 ON 상태에서 컴퓨터를 사용하지 않고 있을 경우에 주사전극 구동 IC에서 선택전압(V1)을 고정적으로 출력하고, 신호전극 구동 IC에서도 마찬가지로 선택전압(V1)을 출력한다면 액정디스플레이 판넬에 걸리는 전압은 0V가 된다. 즉 주사전극 구동 IC와 신호전극 구동 IC가 동시에 똑같은 선택전압을 출력하면 액정디스플레이 판넬에 걸리는 전압은 0V가 되어 전력소모가 없게 된다. 개발된 RDIC는 데이터가 표시되지 않을 경우 비선택전압을 출력하게 되므로 조금의 전력소모가 있다.

전력소모의 감소를 위한 핀이 한개가 추가되고 별도의 회로가 필요하다. 주사전극 구동 IC가 전력소모의 감소를 위한 핀이 있을 경우, 동시에 신호전극 구동 IC에서도 전력소모의 감소를 위한 핀이 있어서, 제어 IC에서 신호를 동시에 받아들여 똑같은 선택전압을 출력하여 액정디스플레이 판넬에 0V가 걸리도록 한다.

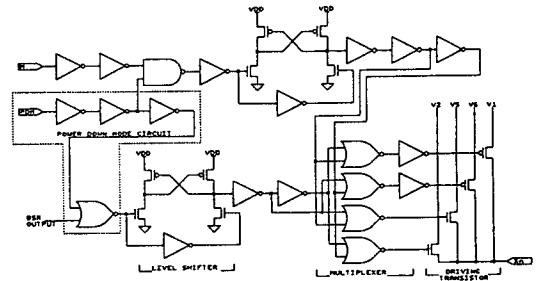


그림 8. 전력소모 감소회로
Fig. 8. Power down mode circuit.

그림 8에 전력소모 감소회로를 나타냈다. 전력소모의 감소를 위한 핀에 0가 인가되면 M 신호 입력 (AC 구동신호)과 양방향 시프트 레지스터의 출력에 상관 없이 모든 출력핀에 선택전압 V1을 출력하게 된다. 제어 IC로부터 전력소모 감소 단자에 "0" 신호가 입력되면 양방향 시프트 레지스터의 출력을 무시하고 전력소모 감소 단자에 입력된 신호를 레벨 시프터, 멀티플렉서, 출력 구동 트랜지스터로 전달한다. 동시에 전력소모 감소 단자의 신호는 M 신호 회로로 입력되어 레벨 시프터 회로를 거쳐 멀티플렉서 회로의 입력으로 들어간다. 전력소모 감소 단자에 입력된 "0" 신호에 따라 멀티플렉서는 V1 전압을 출력하는 구동 트랜지스터를 선택하여 V1 전압이 액정디스플레이 판넬의 주사전극으로 출력되도록 한다.

V. 결 론

본 논문에서는 액정디스플레이를 컬러 텔레비전에 적용하기 위하여 설계 제작된 수평 주사전극 구동 IC인 RDIC를 개발하였다. 이것은 기존의 액정구동이 (+), (-)의 양방향 고전압을 사용하므로써 크기와 무게가 부담이 되었으나, 이 연구에서는 (+) 방향의 전원만을 고려한 액정구동 방식을 채택함으로써 전원 회로를 단순화 하였고, 따라서 system의 경량화와 소형화에 결정적인 기여를 하게 하였다. 또한 고전압 CMOS 공정의 개발에 따라 고전압 소전력 IC의 구현이 가능하게 되었다. 이 IC를 제작하여 측정한 결과에서는 전기적 사양인 DC 특성 및 AC 특성을 모두 만족하였고, 기능적인 사양에서의 동작 특성도 완벽하다는 것을 확인하였다. 이 RDIC의 개발과정에서는 충분한 논리 및 회로 시뮬레이션, 레이아웃 및 레이아웃 검증 작업이 포함되었으며, 제작후의 측정 결과와 시뮬레이션 결과의 비교를 통하여 칩이 잘 동작되는 것을 확인하였다.

회로 설계시에 일반적으로 상입화되어 있는 액정디스플레이 구동전압 공급회로를 변경함에 따라 내부회로중의 레벨 시프터를 변경하였으며, 이 회로는 트랜지스터 크기의 축소를 통한 실리콘 면적의 효율을 높이도록 하였다. 또한 휴대용 컴퓨터 또는 노트북 컴퓨터의 액정 패널 주사전극 구동 IC로 사용될 경우 소비전력을 줄일 수 있도록 전력소모 감소회로를 적용하여 설계하였다. 이것은 기존의 구동 IC에서 진 일보한 기능과 특성을 갖는 것으로서 향후 개발될 신호전극 구동 IC와 함께 TFT형의 액티브 매트릭스 컬러 액정디스플레이 TV에 광범위한 활용이 예상된다.

參 考 文 獻

- [1] J. Belzer, A. Holzman and A. Kent, "General display systems and technologies", SID Seminar Lecture Notes, vol. 8, pp. 457, 1977.
- [2] B. W. Faughnam, "Polysilicon active-matrix liquid crystal displays", Information Display, vol. 5, no. 10, pp. 8-11, Oct. 1989.
- [3] K. Kondon, H. Fujita and K. Iwasa, "Driving method for a large area diode matrix using SiNx", Japan Display' 89., pp. 448-451, Kyoto, 1989.
- [4] 한국전자통신연구소, "차세대 display LCD 기술동향", 주간기술동향 400, TIS-89-22호, pp. 30, 1989.
- [5] S. Ishihara, K. Adachi and E. Takata, "6 inch full color LCD with driving IC directly mounted on", Japan Display' 89., pp. 442-443, Kyoto, 1989.
- [6] T. Patton, "Color TFT-LCDs", Information Display, vol. 5, no. 10, pp. 4-7, Oct. 1989.
- [7] B. S. Scheuble, "Liquid crystal displays with high information content", SID Seminar Lecture Notes, vol. 2, pp. 12/1-38, May. 1989.
- [8] L. E. Tannas, "Flat-panel displays displace large, heavy, power-hungry CRTs", *IEEE Spectrum*, vol. 26, no. 9, pp. 34-35, Sept. 1989.
- [9] S. Morozumi, "Active-matrix display", SID Seminar Lecture Notes, vol. 2, pp. 10/1-29, May. 1989.
- [10] SILOS II User's Manual : Logic and Fault Simulator, SIMUCAD INC., 1988.
- [11] HSPICE II User's Manual : Circuit Simulator, SIMUCAD INC., 1988.
- [12] 유영갑등, "Advanced Liquid Crystal Panel Driver IC 개발", 충북대학교 산업과학기술연구소 최종보고서, 1991년 5월.
- [13] 이화이, 정교영, 변상기, 유영갑, "액정표시판넬의 구동 IC 개발", 현대전자산업(주) 반도체기술 논문집, 제4권, 1호, pp. 76-82, 1991년 8월.

著 者 紹 介



李 華 伊(正會員)

1967年 12月 25日生. 1990年 2月 서울산업대학 전자공학과(공학사) 1992年 8月 청주대학교 전자공학과(공학석사).1984년 7월~1989年 7月 금성반도체(주) 반도체연구소 연구원보. 1990年 1월~1992年 6月

충북대학교 정보통신산업연구소 연구원. 1992年 7월~현재 서두로직(주) 전자기술연구소 연구원. 주관심분야는 반도체 메모리테스트, ASIC설계, DSP설계 등임.

鄭 教 泳(正會員)

현대전자산업(주) 반도체연구소 LCD개발실장



卞 相 基(正會員)

1950年 5月 23日生. 1974年 2月 연세대학교 전자공학과(공학사). 1978年 8月 연세대학교 대학원 전자공학과(공학석사). 1986年 5月 University of Florida전자공학과(공학석사). 1989年 8月 Auburn

University 전자공학과(공학박사)1978年 6월~1984年 7월 국방과학연구소 선임연구원, 1989年~1992年 2월 현대전자 반도체연구소 수석 연구원. 1992年 3월~현재 전자부품종합기술연구소 기능소재개발실장, 주관심분야는 고유전율 박막소자, 고주파 부품 및 UHF 무선통신기기 등임.

劉 泳 甲(正會員)



1948年 3月 22日生. 1975年 8月 서강대학교 전자공학과(공학사). 1981年 8月 미국 미시간대학교 전기전산학과(공학석사). 1986年 4月 미국 미시간대학교 전기전산학과(공학박사). 1975年 8월~1979

年 8月 국방과학연구소 연구원.1982年 4월~1986年 4월 미시간 전산연구소. 1986年 2月 1988年 2月 금성반도체(주) 책임연구원. 1988年 3월~현재 충북대학교 정보통신공학과 학과장, 정보통신 산업연구소장. 1991年 5月 전국정보통신 교수협의회 부회장. 주관심분야는 반도체 직접회로테스트, 고장극복형 컴퓨터 구조, 가변익항공기제어, 중·대형 컴퓨터 제작 및 제조기술, 정밀인쇄장치 구조설계 등임.