論文 92-29A-11-13

출력단 ESD 보호회로의 설계 및 그 전기적 특성에 관한 연구

(A Study on the Design of the Output ESD Protection Circuits and their Electrical Characteristics)

金興植,* 宋漢廷,* 金基洪,* 崔民成,* 崔承哲**

(Heung Sik Kim, Han Jung Song, Gi Hong Kim, Min Sung Choi, and Seung Chul Choi)

要 約

집적회로에서 ESD 특성을 만족하기 위하여 보호 회로 사용은 필수적이다. 본 논문은 출력단 보호 회로에서의 ESD 현상을 분석하기 위하여 먼저 보호 회로에서의 개별 소자들의 동작을 이해하고 다이오드와 트랜지스터 갯수를 변수로 하여 테스트 패턴을 설계한 내용을 다룬다. 시료는 0.8um CMOS 공정을 이용하여 제작하였고, SPICE 시뮬레이션을 병행하여 출력단 노드 전압과 측정된 ESD 전압과의 관계를 도출하였다. 다이오드 및 트랜지스터의 갯수가 많을수록 ESD 특성은 향상되며 입출력을 동시에 사용하는 bi-directional 회로의 경우가 출력단으로만 사용되는 회로보다 100-300[V] 더 높은 특성을 가진다. 추가로 패드 밑에 다이오드를 설계하여 반도체 칩 면적의 감소와 더불어 기생저항을 줄임으로써 종전의 ESD 보호 회로에 비해 400[V] 정도 ESD 전압의 개선 효과가 있었다.

Abstract

In integrated circuits, protection circuits are required to protect the internal nodes from the harmful ESD(Electrostatic discharge). This paper discusses the characteristics of the circuit components in ESD protection circuitry in order to analyze the ESD phenomina, and the design methodalogy of ESD protection circuits, using test pattern with a variation of the number of diode and transistor. The test devices are fabricated using a 0.8μm CMOS process. SPICE simulation was also carried out to relate output node voltage and measured ESD voltage. With increasing number of diodes and transistors in protection circuit, the ESD voltage also increases. The ESD voltage of the bi-directional circuit for both input and output was 100-300[V], which in higher than that of only output(uni-directional) circuit. In addition, the ESD protection circuit with the diode under the pad region was useful for the reduction of chip size and parasitic resistance. In this case, ESD voltage was improved to a value about 400[V].

*正會員, 金星 일렉트론 株式會社
(GoldStar Electron Co.)
**正會員, 崇實大學校 電子工學科
(Dept. of Elec. Eng., Sungsil Univ.)
接受日字 : 1992年 7月 14日

I. 서 론

반도체 칩(Chip)은 다기능과 높은 집적도를 요구하는 시스템의 필요성에 의해 회로 밀도가 점점 높아지는 추세에 있고, 그에 따라 단위 소자의 크기 또한 급속도로 줄

이끌고 있다. 이러한 추세는 소자의 신뢰성 측면에서 많은 문제점을 제기하고 있으며, 특히 ESD에 의한 보호와 이에 따른 역효과를 최소화하기 위한 반도체 칩 내에 적절한 보호 회로를 추가 삽입하여 시스템의 안전성을 유지하고자 하는 노력이 요구된다. 반도체 칩에서의 ESD 효과를 분석하기 위해서 사용되는 모델로는 크게 HBM (Human Body Model) 및 MM(Machine Model)의 두가지로 구분하여 적용되고 있으며, 각각 Mil-Std-Spec과 JIS-Spec에 규정되어 있다.[1]

현재까지는 ESD 특성을 실험적인 결과에 의하여 구하는 것이 보통이고, 시뮬레이션을 통한 예측은 아직 매우 어려운 상태이다. 또한 반도체 칩이 고집적화 되면서 내부회로에 쓰이는 개별 소자의 크기는 줄어드는 반면에 ESD 보호 회로에 필요한 소자의 갯수 및 이 소자가 차지하는 레이아웃(LAYOUT)상의 크기는 오히려 증대되어 초고집적 반도체 칩 면적을 작게 하는데 걸림돌이 되고 있다.

본 논문에서는 이러한 문제점을 해결하고자 시뮬레이션 도구로써 SPICE를 선정하여 ESD 보호 회로의 노드 전압과 측정된 ESD 전압과의 상관관계를 유추하는 시도를 하였고, 또 이 결과를 패드 영역 내에 ESD 보호 회로의 개별 소자인 다이오드를 삽입하여 종래 형태의 보호 회로와 ESD 전압을 측정 비교 함으로써 초고집적 반도체 칩에의 적용 가능성을 살펴 보았다.

본 논문의 구성은 Ⅱ장 본론에서 보호 회로의 구조 및 동작 원리, 테스트 패턴(Test Pattern)의 설계, 시료의 제작, 시뮬레이션 및 측정 결과를 나타내었고, Ⅲ장에서는 결론에 대해 기술하였다.

Ⅱ. 본 론

1. 출력단 보호 회로의 구조

반도체 IC의 정전기 보호 회로는 높은 정전기를 띠고 있는 물체와 순간적인 접촉이 일어날 때, 이 회로를 거치는 동안 정상 동작 전압 이하의 상태로 낮추어 줌으로서 칩이 파괴되는 것을 방지하는 역할을 한다. 이 보호 회로는 입력단과 출력단으로 나눌 수 있고, 일반적으로 입력단의 경우 보다 출력단의 경우 많은 제한 요소를 갖게된다. 따라서 본 연구에서는 현재 주로 문제가 되고있는 출력단의 보호 회로에 관해서만 논의하기로 한다.

먼저 출력단에서의 보호 회로 형태는 다음의 그림 1과 같이 3가지 경우로 생각할 수 있는데, (a)는 출력단을 트랜지스터만으로 구성한 경우이고, (b)는 다이오드를 첨가해서 트랜지스터와 함께 사용하는 경우이다. 또한 (c)는 다이오드와 트랜지스터의 구조에서 출력과 입력을 선택적으로 사용 가능한 경우(이하 bi-directional로 약칭하기로 함)의 보호 회로를 나타내고 있다.

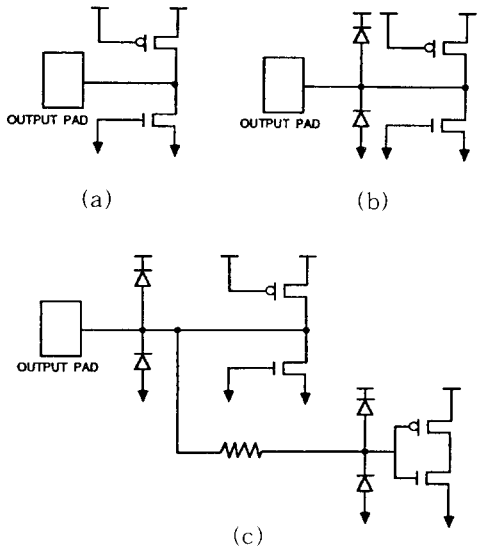


그림 1. 출력단에서의 ESD 보호회로 형태
(a) 트랜지스터만으로 구성된 보호회로
(b) 다이오드와 트랜지스터로 구성된 보호회로
(c) 출력과 입력을 선택적으로 사용하는 보호회로

Fig. 1. The structures of output ESD protection circuits.
(a) The protection circuit consisted of only transistors,
(b) The protection circuit consisted of diodes and transistors,
(c) The bi-directional protection circuit.

2. 출력단 보호 회로에서의 트랜지스터와 다이오드의 동작

앞절에서 설명된 출력단 ESD 보호 회로의 동작에 대해서 NMOS와 PMOS 트랜지스터로 구성된 경우를 이용해 간략히 설명하면 다음과 같다.

우선 출력단 패드에 외부로 부터 순간적인 (+) 전압을 갖는 ESD 펄스가 가해진 경우를 생각하면, Vdd 단자(PMOS의 소스)는 접지되고 Vss 단자(NMOS의 소스)는 floating 되었을 때는 PMOS의 단면을 따라 P-N 다이오드 순방향 상태로 동작하는 경우가 발생하고, 반대로 Vdd 단자가 floating되고 Vss 단자가 접지되었을 때는 NOMS의 단면을 따라 P-N 다이오드의 역방향 상태가 된다. 그런데 역방향 바이어스 상태에서는 공핍층에 높은 전계가 걸리어 눈사태 현상에 의한 항복 현상이 순방향 바이어스 상태보다 크게 일어나게 되므로 상대적으

로 (+) 전압의 ESD 펄스가 가해진 경우에는 Vss 단자를 접지 시켰을 때가 문제가 되며, NMOS에 의해 ESD 특성이 좌우된다. 마찬가지로 (−) 전압을 갖는 ESD 펄스가 가해진 경우에는 Vdd 단자를 접지시킨 상태, 즉 PMOS의 P-N 다이오드가 역방향 바이어스 상태 일 때가 문제가되나, 정공, 전자의 carrier multiplication의 특성차를 고려하여 PMOS의 면적이 NMOS에 비해 2−3배 이상 크게 설계되므로 ESD 특성에 있어서 (+) 전압을 가하고 Vss가 접지된 경우보다 유리하게 된다. 따라서 출력단 ESD 보호 회로에서는 (+) 전압을 갖는 ESD 펄스를 가하고 Vss 단자를 접지시킬 경우에 주로 문제가 되고 있다. 즉 ESD 특성은 NMOS가 좌우 하게 되고, 특히 sub-m 채널 길이 소자에서는 드레인 전계를 줄이기 위한 LDD(Lightly Doped Drain) 구조를 채택하고 있는데, 이것이 ESD 특성을 더욱 악화시키는 요인이 되고있다.[2],[3] 그러므로 이하에서는 (+) 전압을 갖는 ESD 펄스가 가해지고 Vss단자가 접지된 상태인 최악 조건에 관해서만 논의하기로 한다.

한편 다이오드와 트랜지스터로 구성된 출력단 보호회로에서 NMOS 트랜지스터의 동작을 살펴보면 다음과 같다. 이때 소스는 접지되어 있고 드레인은 높은 정전압이 가해지며, 이순간 내부에서는 드레인-기판간의 접합이 역바이어스가 되고 기판-소스간의 접합은 순바이어스 상태가 되어 드레인 기판 소스간에 NPN 바이폴라 동작을 하게 된다. 또한 드레인과 기판사이에는 역방향 다이오드가 병렬로 연결되어 다이오드의 동작과 동시에 바이폴라 트랜지스터의 베이스 전류 역할을 하고 있는 상태로 그림 2에 (+) ESD 펄스하에서 출력단 트랜지스터의 동작을 설명하기 위한 단면도와 등가 회로를 나타내었다.[4]

또한 역바이어스 상태에서 동작하게 되는 다이오드의 전류-전압 특성곡선은 그림 3과 같으며, 커패시턴스 성분으로만 이용되는 누설 전류가 흐르는 상태(①)와 항복(breakdown)에 의한 과도 상태(②), 그리고 일정한 내부 저항을 가지며 많은 전류를 허용하는 상태(③)의 3가지로 구분된다. 이때 상태(③)에서의 내부 저항은 다이오드 면적이 클수록 작은 값을 갖는다.

3. 테스트 패턴의 설계 및 시료 제작

보호 회로 구조와 기생 회로의 성분에 따른 특성을 분석하기 위하여 테스트 패턴을 설계하여 그림4와 같은 0.8μm CMOS 표준 공정 흐름도 순서대로 시료를 제작하였다. 이때 테스트 패턴의 구조는 그림 5와 같다. 그림 5(a)에서는 전체 테스트 패턴을 개괄적으로 나타내었고, 그림 5(b)에 세가지 형태의 기본 구조의 레이아웃만 별도로 표시하였다. 그림 5(b)는 다이오드와 트랜지스터로 구성된 구조(그림 5(b)-1)와 bi-directional의 경우로

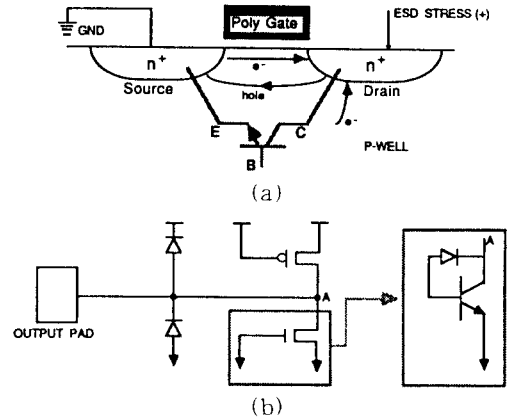


그림 2. 출력단 NMOS 트랜지스터의 (+)ESD 펄스하에서의 동작
(a) 출력단의 단면도 (b) 등가 회로

Fig. 2. The protection mechanism under (+) ESD pulse in output protection circuit which was consisted of NMOS transisor.
(a) The cross section in output circuit,
(b) The equivalent circuit.

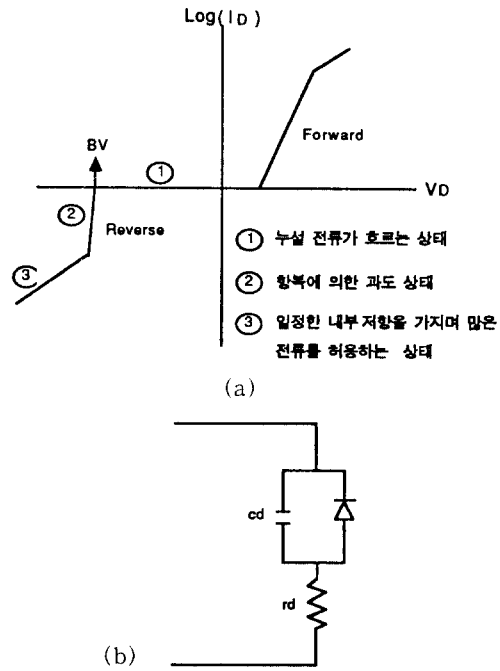


그림 3. 다이오우드의 역바이어스에 따른 특성
(a) 다이오우드의 I-V 곡선(영역별 구분)
(b) 등가 회로

Fig. 3. The diode characteristic under reverse bias.
(a) The diode I-V characteristic curve,
(b) The equivalent circuit.

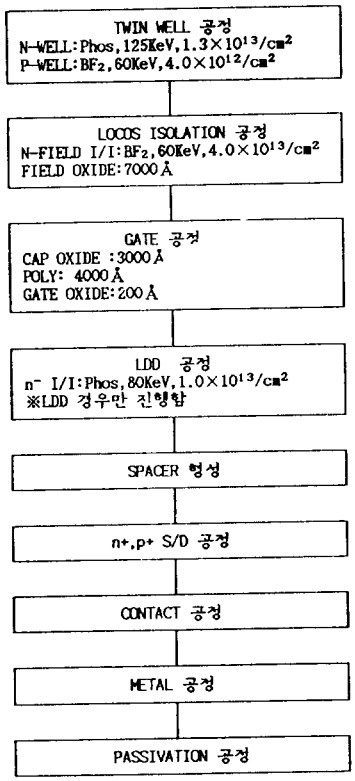
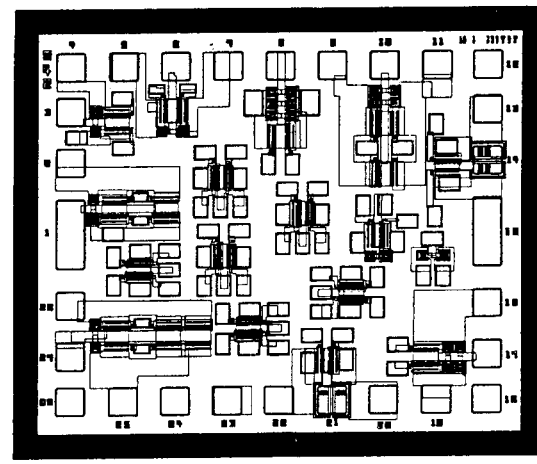
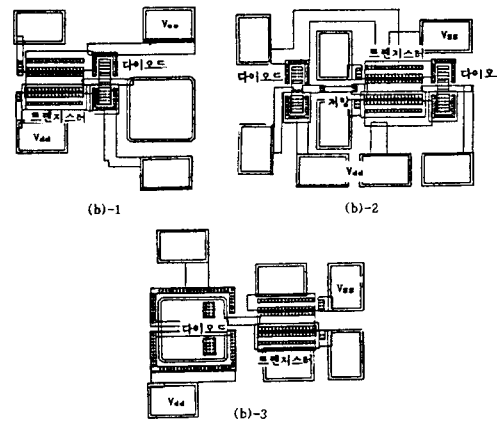


그림 4. 시료 제작 공정 흐름도
Fig. 4. The process flow for sample preparation.



(a)



(b)

그림 5. 테스트 패턴의 형태(평면도)
(a) 출력단 ESD 보호 회로(전체 테스트 패턴 레이아웃)
(b) 3가지 형태의 ESD 보호 회로
(b)-1 다이오드와 트랜지스터로 구성된 경우
(b)-2 bi-directional인 경우
(b)-3 패드밑에 다이오드가 있는 경우

Fig. 5. The feature of ESD test pattern (Top view).
(a) The output ESD protection circuit. (Total test pattern layout),
(b) The three types of output ESD protection circuit layout.
(b)-1 The layout of ESD protection circuit consisted of diode and trnasistor,
(b)-2 The layout of Bi-directional protection circuit,
(b)-3 The layout of the protection circuit which was located under the pad.

입력단과 동일 유형인 저항이 삽입된 구조(그림 5(b)-2) 및 패드 밑에 다이오드가 위치한 형태(그림 5(b)-3)를 보여주고 있다.

이 테스트 패턴내에 출력단 다이오드와 트랜지스터의 면적에 따른 ESD 특성을 비교하기 위해 다이오드와 트랜지스터의 갯수를 1개에서 3개까지 변화시키면서 설계되었고, 개별 트랜지스터의 채널 길이를 0.8μm, 1.0μm, 20.0μm 3가지로 추가 설계하여(그림 5(a)) 채널 길이에 따른 ESD 전압의 변화를 관찰하였다. 또한 bi-directional 구조도 함께 설계하여 출력단만 있는 경우와 비교를 하였고, 공정을 일부 변경하여 LDD 구조를 제작함으로써 종래 소자와의 ESD 특성을 비교하였고, 그 패드(Pad)에서 보호 회로까지 설계 및 공정상에서 발생되는 병렬 저항의 최소화 및 보호 회로가 차지하는 면적을 최소로 줄여 칩의 효율성을 높이기 위해 패드 지역 내에 다이오드가 포함된 구조를 추가로 설계하였으며(그림 5(b)), 조립 공정시의 조건(Power, Force)을 변화시키고 패드 금속 두께를 다르게 제작하여 그 특성을 비교하였다.

4. 시뮬레이션 및 측정 결과

ESD 현상을 보다 이론적으로 분석하기 위하여 SPICE를 이용한 시뮬레이션을 진행하였으며, 그림 6은 SPICE 시뮬레이션을 하기 위한 ESD 보호 회로의 등가회로이다.

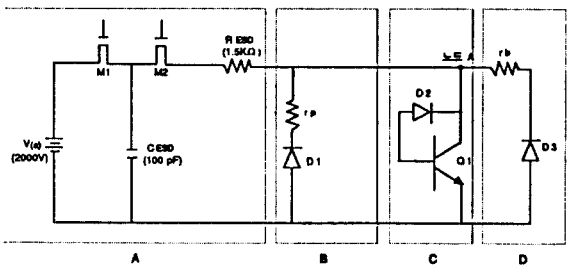


그림 6. 시뮬레이션을 위한 ESD 보호회로의 등가회로
A 부분 : HBM 등가회로
B 부분 : 다이오드의 등가회로
C 부분 : NMOS 트랜지스터의 등가회로
D 부분 : 출력과 입력을 선택적으로 사용시의 등가회로

Fig. 6. The ESD protection equivalent circuits for simulation.
A part : HBM equivalent circuit,
B part : Diode equivalent circuit,
C part : Transistor equivalent circuit,
D part : The equivalent circuit in case of bi-directional.

A 부분은 HBM의 등가 회로이며(MIL-STD-883C), V(a)는 전원을 공급하는 전원소스이고, 이때 R,C는 각각 1.5kΩ과 100pF로서 인체를 저항과 커패시턴스로 모델링한 값이다. 또한 M_1, M_2는 NMOS 트랜지스터로서 커패시턴스 성분을 없도록 만들어 순수한 스위칭 특성만 나타나게 하였다. 시뮬레이션에 사용된 전압은 2000볼트[V]의 입력이 인가되었을 때로 그 조건은 다음 식 1과 같이 나타낼 수 있다.[4]

$$\varepsilon = \frac{1}{2} \times C \times V^2 = 0.2\ [mJ]$$

$$\tau = R \times C = 150\ [nS]$$

$$I = \frac{V}{R} = 1.3\ [A] \qquad (1)$$

B 부분은 다이오드가 ESD 전압 인가하에서의 동작을 고려한 등가 회로이다. 병렬 저항(rp)은 설계 및 공정상 발생되는 기생 저항 성분이고, 다이오드(D1)는 커패시턴스 성분과 항복 상태 그리고 일정한 내부 저항을 갖는 역바이어스 특성을 이용하게 된다. 또한 C 부분은 출력단 트랜지스터가 ESD 전압 인가하에서의 동작을 고려한 등가회로이며, Q_1은 ESD 전압 인가시 내부적으로 일어나는 바이폴라 트랜지스터 특성을 나타내고, D_2는 드레인과 기판 사이의 역바이어스가 걸리는 다이오드이다. 마지막단의 D부분은 출력과 입력을 선택적으로 사용하는 핀일 경우의 등가 회로이며, rb및 D_3는 각각 입력측 보호회로의 동작을 위한 저항과 다이오드를 나타내고 있다.

그림 6의 등가 회로를 토대로 한 SPICE 시뮬레이션 결과를 살펴보면 다음과 같다. 먼저 개별 트랜지스터만의 경우(그림 6의 A부분과 C부분으로만 구성됨)에서 기생 NPN 바이폴라 트랜지스터의 전류 이득 β값과 기생 다이오드(D2)에 포함된 항복 이후의 높은 저항상태 (그림 3(a)의 ③영역)일 때의 저항값(rd2)의 변화에 따른 시뮬레이션 특성을 그림 7에 나타내었다. β값이 클수록 rd2의 값이 작을수록 노드 A의 전압은 낮아지게 된다. 이는 기생 NPN 바이폴라(Q1)의 β가 커지면 전류를 흡수할 수 있는 용량이 커지기 때문이며, 저항 rd2가 작을수록 NPN 바이폴라 베이스에 흐르는 전류가 많아져 상대적으로 콜렉터 전류를 증가시킬 수 있기 때문으로 생각된다.

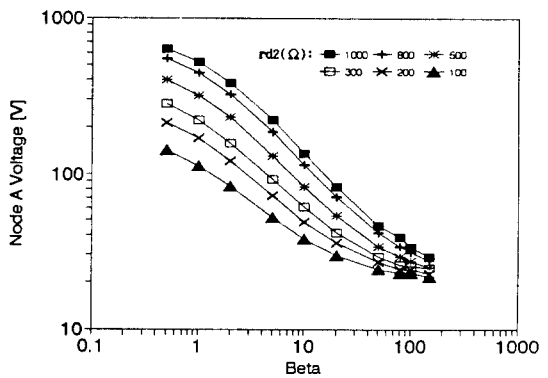


그림 7. 개별 트랜지스터에서의 β와 rd2에 따른 시뮬레이션 노드 A 전압 특성

Fig. 7. The simulated node A voltage characteristics in single transistor according to the β and rd2.

트랜지스터에 다이오드가 달린 경우 (그림 6의 A부분, B부분, C부분으로 구성됨)에서 (트랜지스터 C 부분 : Q1의 β는 20, D2의 rd2는 200Ω으로 고정), 다이오드(D1)의 내부저항(rd1) 크기에 따른 노드 A의 전압을 그

림8에 표시하였다. 트랜지스터와 다이오드 1개로 구성된 경우, rd1이 작을수록 노드 A 전압은 감소하며, 또한 트랜지스터 갯수가 증가할수록 노드 A의 전압이 낮아짐을 알 수 있다. 이것은 다이오드나 트랜지스터의 면적이 커지게 되면 전류 흡수 용량이 증가됨을 의미한다.

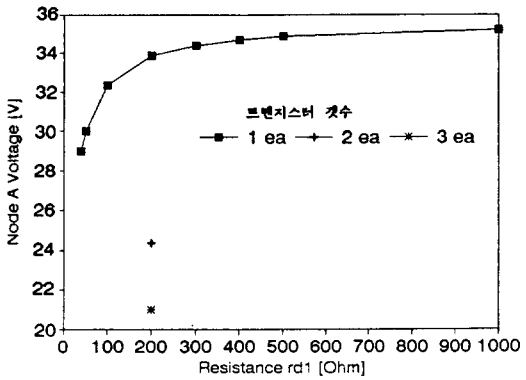


그림 8. 트랜지스터와 다이오드로 구성된 경우에서 다이오드 내부저항(rd1)과 트랜지스터 갯수에 따른 시뮬레이션 노드 A 전압 특성

Fig. 8. The simulated node A voltage characteristics according to the diode internal resistances(rd1) and the amount of transistors in the circuit consisted of transistor and diode.

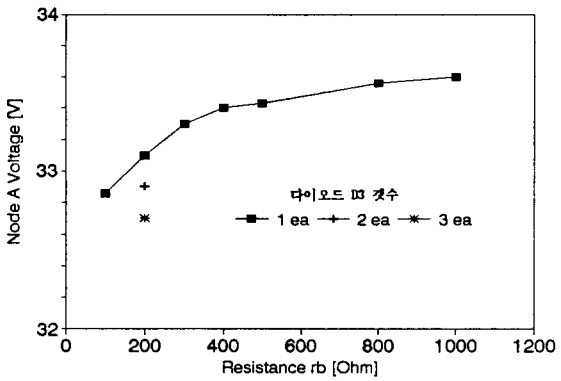


그림 9. bi-directional의 경우에서 입력저항(rb)과 다이오드(D3) 갯수에 따른 시뮬레이션 노드 A 전압특성

Fig. 9. The simulated node A voltage characteristics according to the input resistance (rb) and the amount of diode(D3) in the bi-directional protection circuit.

한편 bi-directional인 경우 (그림 6의 A, B, C, D전부로 구성됨)에서 다이오드 D1의 내부저항은 190Ω, rp는 10Ω으로 고정하고, 트랜지스터 Q1은 앞의 경우와 동일한 조건으로 고정한 상태에서 입력저항 rb 와 다이오드 D3의 갯수를 변화시키면서 노드 A 전압을 그림9에 나타내었다. 이때 다이오드, D3와 D1은 동일하다고 가정하였다. 여기에서 rb가 작을수록, 다이오드 D3의 갯수가 많을수록 노드 A 전압은 떨어지는데, 이는 앞의 경우와 동일하게 생각할 수 있으며, 또한 bi-directional의 경우가 트랜지스터와 다이오드로 구성된 경우보다 낮은 노드

표 1. 테스트 패턴내에 설계된 여러가지 보호 회로의 종류별, 변수별 시뮬레이션 노드 A 전압 (2000V의 정전압이 가해진 경우)과 측정된 ESD 전압

Table 1. The simulated node A voltage(when the input ESD voltage is 2000V) measured ESD voltage in several kinds of variables and protection circuits which were designed in the test pattern.

보호 회로의 구분	테스트 패턴내의 변수		시뮬레이션 노드 A 전압[V]	측정된 ESD 전압[V]
개별 트랜지스터	W/L = 20μm/0.8μm		48.0	500
	W/L = 20μm/1.0μm		49.5	450
	W/L = 20μm/20μm		437.4	270
출력핀 (다이오드와 트랜지스터로 구성된 보호 회로)	다이오드 (D1) 갯수	NMOS 갯수 W/L=100μm/1.2μm		
	1	1	35.2(60.6)	2000(350)
	1	2	26 (35.4)	3400(650)
	1	3	22.7(29.2)	>4500(200)
	1	1	35.2(60.6)	2000(350)
	2	1	33.8(52.9)	2150(280)
	3	1	32.6(46.9)	2200(200)
	2	2	25.5	3700(250)
bidirection pin (출력과 입력을 선택적으로 사용하는 보호 회로)	1	1, rb=125 Ω	34.3	2100
	1	1, rb=250 Ω	34.6	2100
	2	1, rb=125 Ω (rb : 입력저항)	25.3	3500
패드 밑의 다이오드 유무 有	2	•1	39	1450
패드 밑의 다이오드 유무 無	2	•1	41	1000

( )안의 값은 LDD 공정을 적용했을 경우임.
W : 채널 폭 L : 채널 길이
다이오드(D1) 면적 : 30μm×20μm
• : NMOS의 크기는 W=20μm L=1.2μm임.

A 전압을 보이고 있는데, 이것으로부터 bi-directional의 ESD 전압이 높을 것으로 예측할 수 있다.

앞에서 추출한 시뮬레이션 결과와 제 3절의 공정 순서대로 제작된 시료를 이용하여 측정한 ESD 전압을 표1에 나타내었다. 이때 시뮬레이션 결과와 비교하기 위해 테스트 패턴에 설계된 ESD 보호 회로의 종류별, 변수별(트랜지스터의 크기, 갯수, 다이오드의 갯수, rb 등)로 구분하여 살펴보았으며, 추가적으로 LDD여부에 따른 공정상의 변수와 함께 패드내에 다이오드를 삽입하여 회로 레이아웃 면적을 최소화하고 기생 병렬 저항 rp를 줄인 형태에 대한 ESD 특성도 동시에 살펴보았다.

표1의 값을 종류별로 구분(개별 트랜지스터, 출력 보호 회로, bi-directional 회로 등)하여 시뮬레이션된 노드 A 전압과 측정된 ESD 전압의 관계를 그림10에 그래프로 표현하였다.

그림 10에서 보면 LDD 구조가 아닌 종래 소자의 형태를 갖는 보호 회로의 경우 종류에 관계없이 노드 A 전압이 낮을수록 측정된 ESD 전압이 일정하게 커짐을 볼 수 있으며, 선형 회귀에 의해 근사적인 직선식을 구해보면

$$y = -176x + 8100 \qquad (2)$$

(x : 노드 A 전압, y : ESD 전압)

가 됨을 알 수 있다. 즉, 노드 A 전압을 낮게하는 칩 설계를 할 경우 높은 ESD 전압을 기대할 수 있고 향후 ESD 보호 회로의 구현시 용도에 따라 필요한 ESD 전압을 정의하고 그에 따른 출력단 NMOS 크기를 조절함으로써 레이아웃 면적 등을 최적화할 수 있다.

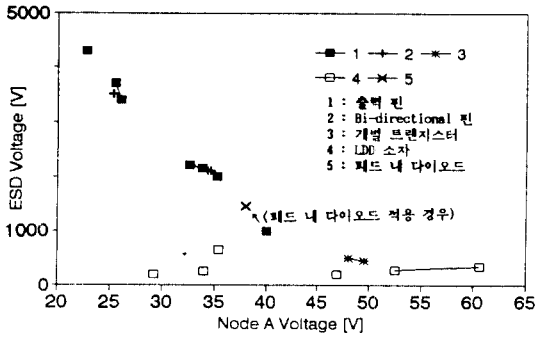


그림10. 시뮬레이션 노드 A 전압과 측정된 ESD 전압과의 관계

Fig. 10. The relation between simulated node A voltage and measured ESD voltage.

그러나, LDD소자의 경우 ESD 스트레스 인가시 수백 볼트의 낮은 전압에서 누설 전류가 흐르는데, 이것은 n^-의 큰 저항 영역에서 열이 크게 발생하여 pn^- 다이오드 접합부근이 열화되기 때문으로 알려져 있다.[1]

또한 패드 내부에 다이오드가 있는 보호 회로의 경우에는 종래의 경우에 비해 약 400V 정도의 더 높은 ESD 전압을 보이고 있는데 이것은 다이오드의 기생저항 rp가 감소되었기 때문이다. 따라서 향후 패드내에 보호 회로를 삽입하여 기생 저항을 줄이는 것에 대한 연구가 필요하리라 사료된다. 특히, 패드내에 보호 회로가 있는 경우 패키지 공정중에 발생될 수 있는 문제점(누수, OPEN 등)을 확인하고자 조립 공정 조건(본딩시의 Power, Force)과 시료의 패드 영역 금속 두께를 변화시킨 후 ESD 전압을 측정하였고, 그 결과를 표 2에 나타내었다.

표 2. 금속의 두께와 패키지시 본딩 조건의 차이에 따른 ESD 특성(패드 밑에 다이오드가 있는 ESD 보호 회로의 경우)

Table 2. The ESD characteristics according to the Al film thickness and bonding conditions under package assembly.(The case of protection circuit which was located under the pad.)

본딩조건(Power/Force) [w/g] / 보호회로의 구분	금속 두께 1 ($MOSi_2$/Si:0.75μm)					금속 두께 2 ($MOSi_2$/Si:1.5μm)				
	50/48	50/38	45/43	40/48	40/38	50/48	50/38	45/43	40/48	40/38
1. 다이오드 + 125Ω + 내부 셀	760	750	780	790	750	750	740	750	730	OPEN
2. 다이오드 + 125Ω + 내부 셀	960	920	910	930	950	930	960	890	940	1010 (OPEN)
3. 다이오드 + 125Ω + 내부 셀	1060 (LKG)	970	1050	1050	1020	1090	1030	1020	1050	1060 (OPEN)
4. 다이오드 + 125Ω + 내부 셀	1420	1450	1450	1450	1460	1450	1450	1490	1450	1480

표 2에서 보는 바와 같이 본딩 조건이 Power, Force가 크고 금속 두께가 얇은 경우 누설 전류가 흐르며, 본딩 조건이 Power와 Force가 작고 금속 두께가 큰 경우 패키지가 open으로 나타나는 것을 볼 수 있다. 즉, 적절한 금속 두께와 본딩 조건에서 패키지가 수행되면 패드내에 보호 회로가 존재해도 안전함을 알 수 있다. 그러나 신뢰성 차원에서 추가적인 연구가 요구되며, 이상의 방법을 다원화 및 설계 규격 축소에 따른 소자 사용의 제한을 받는 고집적화 제품 추세에서 보면 면적 효과에 이어 또 다른 파생 장점을 줄 것으로 기대된다.

Ⅲ. 결 론

이상의 시뮬레이션 및 측정 결과로 부터 ESD 특성은 출력단 다이오드/트랜지스터의 갯수가 많을수록, 즉 면적이 클수록, 채널 길이가 짧을수록, 출력단만 있는 경우보다 bi-directional의 경우가, LDD 구조보다는 종래 형태의 경우가 개선됨을 알 수 있다. 그리고 시뮬레이션 노드 A 전압과 ESD 전압과의 상호 관계를 도출해냄으로써 ESD 전압과 출력단 레이아웃 면적과의 최적화된 보호 회로 설계를 유추할 수 있다.

또한 패드 밑에 다이오드가 위치한 보호 회로의 경우 적절한 본딩 조건을 선택하여 패캐지로 조립하면 레이아웃상 보호 회로가 차지하는 설계 면적을 줄이면서 ESD 특성도 양호함을 볼 수 있다.

參 考 文 獻

[1] T. N. Bhar, and E. J. McMahon, *Electrostatic Discharge Control*, Hayden Book Co. Inc., 1983.

[2] C. Duvvury, and R. Rountree, "Output ESD protection techniques for advanced CMOS processes," *EOS/ESD Sym. Proceedings*, pp. 206~211, 1988.

[3] C. Duvvury, R. A. McPhee, D. A. Baglee, and R. N. Rountree, "ESD protection reliability in 1μm CMOS technologies," *IEEE IRPS*, pp. 199~205, 1986.

[4] N. Khurana, T. Maloney, and W. Yeh, "ESD on CHMOS Devices - Equivalent Circuits, Physical Models, and Failure Mechanisms," *IEEE, IRPS*, pp. 212~223, 1985.

著 者 紹 介

金 興 植 (正會員) 第29卷 A編 第8號 參照
현재 금성일렉트론(주) 연구소 책임연구원

宋 漢 廷 (正會員)
1963年 2月 2日生. 1986年 2月 한양대학교 전자공학과 졸업(공학사). 1988年 2月 한양대학교 전자공학과 석사과정 졸업(공학석사). 1988年 1月～현재 금성일렉트론(주) 연구소 주임연구원. 주관심분야는 Sub-um급 ASIC Process Integration 및 제품기술, FMA 등임.

金 基 洪 (正會員)
1958年 10月 7日生. 1981年 2月 서강대학교 전자공학과 졸업(공학사). 1985年 2月 同 대학원 전자공학과 석사과정 졸업(공학석사). 1992年 8月 同 대학원 공학박사 학위 취득. 1984年 12月～현재 금성일렉트론(주) 연구소 선임연구원. 주관심분야는 High-Density Memory, ASIC, SOI 등임

崔 民 成 (正會員)
1947年 2月 23日生. 1970年 서울대학교 응용물리학 석사. 1970年～1972年 육군사관학교 교관. 1976年 미국 노스웨스턴大 재료학 석사. 1979年 플로리다大 금속재료학 박사. 1979年～1984年 IBM근무. 1984年 5月～현재 금성일렉트론(주) 연구소 FAB 담당 이사.

崔 承 哲 (正會員)
1931年 6月 23日生. 1954年 10月 공군사관학교 졸업(공학사). 1963年 1月 미국 TEXAS A&M 졸업(공학석사). 1963年 3月～1973年 2月 공군사관학교 전자공학과 교수. 1981年～1983年 독일 AACHEN TECHISCHE HOCHSCHULE 파견교수. 1973年 3月～현재 숭실대학교 전자공학과 교수.