

전자식 안정기용 반도체(Ⅰ) (역율보상 집적회로)

신동명, 이훈철, 김덕중

삼성전자(주) MICRO본부 전력전자 사업담당

1. 서 론

최근 국내외적으로 환경보호 및 에너지 절약운동이 고조됨에 따라 각종 전자기기의 전력소모를 극소화 하기 위한 노력이 활발히 진행 되고 있다. 조명기기 분야에서도 여러가지 형태로 조명 효율을 높이는 노력이 진행되고 있으며 특히 절전효율이 높은 조명기기에 대한 Rebate 제도를 수립함으로써 이 분야의 연구 개발을 적극 지원하고 있다.

전자식 안정기는 고주파(20KHz 이상)에서 형광램프를 구동시킴으로써 깜빡임과 가청잡음이 없을 뿐 아니라 종래의 저주파(60Hz) Choke Coil 방식에 비해 10~20%의 광효율(Luminous Efficacy)이 증가하고 누설전력이 적으므로 같은 광출력에 대해 20~25%의 절전효과를 얻을 수 있다[1~6]. 또한 전자식 안정기는 고주파 변환을 하기 위하여 입력 전원을 정류한 DC 전원을 사용 하는데 이러한 정류회로를 채용한 전자식 안정기에서는 역율이 낮아서 유효전력에 비해 대단히 큰 피상전력을 소비할 뿐만 아니라 전원에 고주파를 발생시켜 다른 전기 장치에 장애를 일으키는 문제점이 있다. 유럽, 미국 등 선진국은 이미 이러한 고조파 왜곡에 대한 규제 표준을 제정하였고 우리나라도 최근 전자식안정기 Rebate 제도의 도입과 함께 고조파 왜곡율을 엄격히 규제하게 되었다.

본 논문에서는 이러한 고조파 왜곡율을 극소화하고 역율을 극대화 하기 위해 최근에 개발한 역율보

상용 반도체 집적회로(KA7524)와 그 응용에 대해 기술하고자 한다.

2. 역율보상용 반도체 집적회로

2.1 회로구성 및 기본동작

KA7524는 그림 1에 나타난 것과 같이 Self Start Logic 회로, Undervoltage Lockout 회로, Precision Voltage Reference 회로, Latch 회로, Multiplier, Current Sense Comparator, Zero Current Detector, Feedback Error Amplifier, Totem Pole Output 회로 등으로 구성되어 있다. 전체적인 회로동작은 그림 2에서와 같이 AC 입력

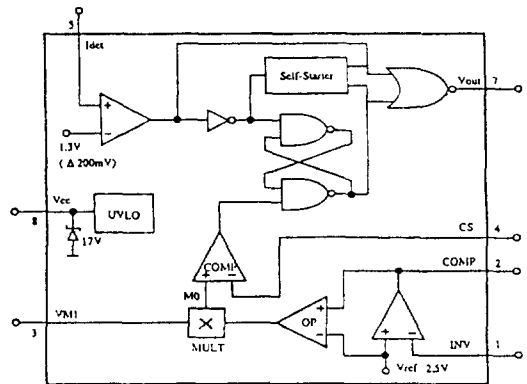


그림 1. 역율 보상 집적회로 (KA7524) 구성도

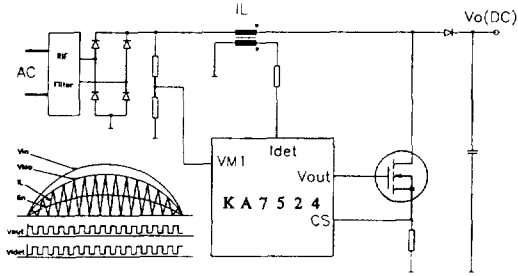


그림 2. KA7524의 기본 동작 회로

에서 정류된 전압파형(VMI)과 DC 출력전압의 Error를 Multiply한 VMO를 Inductor의 Peak Current 기준으로 정하고, Turn-on시에 증가되는 Inductor의 current가 VMO에 도달하면 MOSFET을 Turn-off 시키고(Vout low) 따라서 Inductor Current가 점차 감소하여 Zero가 되면 Vout은 High로 되면서 MOSFET을 Turn-on 시킨다(Zero Current Switching). 이와 같은 동작을 정상적으로 반복 하면서 입력전류가 입력전압을 따라가도록 하기 위해서 입력전압 주파수 보다 훨씬 빠른 속도로 Switching 시킨다.

2.2 Self Starting Logic 회로

정상 동작을 반복하기 이전의 동작 초기에는 Under Voltage Lockout 회로에 의해 Latch회로가 Set되어 Vout이 Low 상태로 있기 때문에 Switching 동작이 일어나지 못한다. 이러한 상태에 있을 때 Triggering Pulse 신호를 발생시켜 Latch를 풀어주고 MOSFET을 Turn-on 시키는 Starting 회로가 필요한데 KA7524에서는 그림 3에 제시하는 바와 같이 간단하고 새로운 Idea로 Logic회로를 구성하여 이 문제를 해결하였다. Start시와 정상 동작시의 Logic Sequence가 표 1에 제시되어 있고, 정상 동작시의 파형은 그림 4에 나타나 있다.

Current Sense 전압이 증가하여 VMO에 도달하면 Latch회로를 Set 시키고 Vout을 High에서 Low 상태로 변화 시킨다. 따라서, Idet 신호는 Low에서 High 상태로 되고 이 신호에 의해서 Latch가 풀어지지만 NOR회로에 연결된 Vout은 여전히 Low 상태를 유지한다. 이후에 Idet 신호가 들어오면 Vout은 Low에서 High로 되어 MOS-

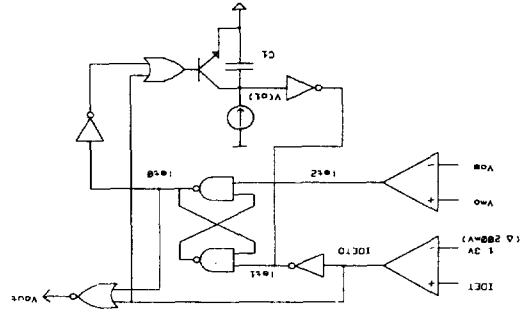


그림 3. Self Starting Logic 회로

표 1. LOGIC SEQUENCE

	Idet	Vcs	Ideto	Lato	V(C1)	Lat 1	Vout
START 시	L	L	L	H	L	H	L
	L	L	L	L	H	L	High
정상 동작시	L	H	L	H	L	H	High
	L	L	L	H	L	H	L
	H	L	H	L	L	L	L
	L	L	L	L	L	H	High

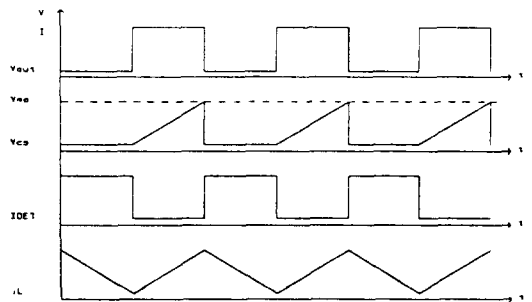


그림 4. 정상 동작시 파형

FET을 Turn-on 시킨다. 이때 어떤 이유로 Idet 신호가 들어오지 못하면 동작초기 상태에서처럼 Self Starting Pulse가 Logic 회로에 의해 주어져서 MOSFET을 Turn-on 시킨다.

2.3 Multiplier 회로

Multiplier 회로는 입력전류의 크기와 파형을 Multiply해서 Current Sense Comparatator의 비교기준 전압을 제공하고 있으며 Multiplier의 출력은 다음과 같다.

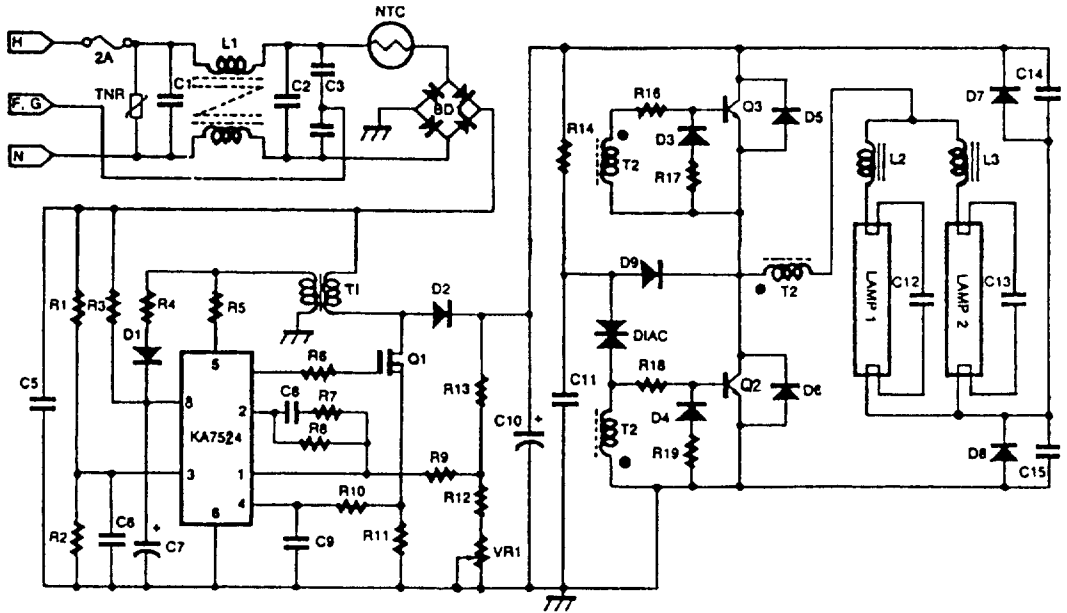


그림 5. 역률 보상용 IC(KA7524)를 사용한 전자식 안정기

$$V_{m0} = G * (V_{m2} - V_{ref}) * V_{m1}$$

여기서 V_{m0} 는 Multiplier의 출력, V_{m2} 는 Error Amplifier 출력, V_{m1} 은 정류전압을 저항비로 감소시킨 전압이며 G 는 Multiplier Gain이다. V_{m1} 은 전류파형, $(V_{m2} - V_{ref})$ 는 전류의 크기를 제공한다.

2.4 실험결과 및 고찰

그림 5는 KA7524를 전자식 안정기 System에 적용한 응용회로이며 표 2는 그림 5의 응용회로에 대한 측정 DATA이다. 이 측정 DATA에서 알 수 있듯이 역률이 0.99로 거의 1에 근접한 값을 가지

고 있으며 고조파 왜곡(THD)의 값도 10% 이내로 나타나 있다. 그림 6에는 그림 5의 응용회로에 대한 입력전류의 파형이 평균값으로 나타나 있다. 이 그림에서 보면 입력전류의 파형은 500uS 미만의 DEAD TIME을 갖는 정현파임을 알 수 있다.

3. 결론

이상에서 역률보상용 반도체 집적회로의 기능 및 측정결과에 대해 알아보았다. 역률보상용 회로를 전원장치 입력단에 사용하여 역률을 1에 가깝게 높여주면 전원선에서의 고조파 왜곡을 감소시킬 수

표 2. 그림 5의 측정결과

Test Item	Test Data
Input Voltage(AC) (V)	219.5
Input Current (ACrms) (A)	0.3587
Input Real Power (W)	78.33
Power Factor	0.994
Input Current(Fundamental) (A)	0.3569
THD (%)	9.75

@ Measurement : Voitech. (PM3000)

*Input Current Harmonics

*** HARMONICS ***

AH00 = +0.0024 A	AH13 = 00.25% - 189.2 deg
AH03 = 08.86% - 198.3 deg	AH15 = 00.26% - 094.4 deg
AH05 = 01.54% - 137.0 deg	AH17 = 00.21% - 275.5 deg
AH07 = 02.66% - 198.3 deg	AH19 = 00.21% - 118.4 deg
AH09 = 02.56% - 164.6 deg	AH21 = 00.22% - 092.6 deg
AH11 = 00.59% - 229.9 deg	AH23 = 00.23% - 085.0 deg
	09.75% Athd

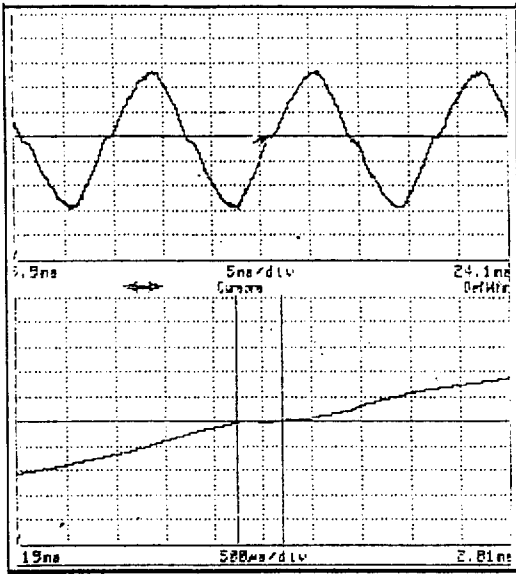


그림 6. 그림 5에서 측정된 입력 전류 파형

있을 뿐만 아니라, 상용 전원으로 부터 최대의 유효 전력을 얻을수가 있어서 전력 이용율도 크게 늘일 수 있다. 최근에는 전 세계적으로 NOISE에 대한 규제와 아울러 THD를 낮추기 위한 역률개선 전용의 반도체 집적화가 활발하게 진행되고 있다. 이번에 삼성전자(주)에서 개발한 KA7524는 역률개선을 위해 필요한 회로를 집적화 시켜 제어함으로써 THD를 낮춘은 물론 전자식 안정기 및 SMPS 등 SYSTEM을 간단하게 하여 제품의 경쟁력을 향상 시키는데 도움을 줄 것이다.

참 고 문 헌

- [1] William R. Alling, "Important Design Parameters for Solid-State Ballasts", IEEE Trans. Ind. Appl., pp. 203-207, Mar./Apr. 1989
- [2] R. R. Verderber, O. C. Morse and F. M. Rubinstein, "Performance of Electronic Ballast and Controls with 34- and 40-Watt F40 Fluorescent Lamps", IEEE Trans. Ind. Appl., pp. 1049-1059, Nov./Dec. 1989
- [3] E. E. Hammer and C. A. Ferreria, "F40

Fluorescent Lamp Considerations for Operation at High Frequency", IES Journal, pp. 63-74, Oct. 1985

- [4] Edward E. Hammer, "Fluorescent Lamp Operating Characteristics at High Frequency", IES Journal, pp. 211-224, Oct. 1984
- [5] Edward E. Hammer, "High Frequency Characteristics of Fluorescent Lamps up to 500KHz", IES Journal, pp. 52-61, Dec. 1987
- [6] Dragan M. Vasiljevic, "The Design of a Battery-Operated fluorescent Lamp", IEEE Trans. Ind. Elec., pp. 499-503, Nov. 1989



신동명(申東明)

1960년 10월 1일생. 1982년 영남대 공대 전자공학과 졸업. 1984년 7월 삼성전자(주) 입사 현재 삼성전자(주) 근무



이훈철(李勳哲)

1963년 1월 12일생. 1989년 경북대 공대 전자공학과 졸업. 1991년 동대학원 전자공학과 졸업(석사). 1991년 2월 삼성전자(주) 입사. 현재 삼성전자(주) 근무.



김덕중(金德重)

1952년 2월 3일생. 1974년 서울대 공대 재료공학과 졸업. 1982년 미국 U. C. Berkeley 전자공학과 졸업(석사). 1984년 미국 U. C. Berkeley 전자공학과 졸업(공학박). 1984~90년 미국 GE/Siliconix사 근무, Power Device 연구개발. 1990년 5월 삼성전자(주) 입사. 현재 삼성전자(주) 전력반도체 사업담당 이사로 근무.