

Ti-Polycide 게이트에서 게이트산화막의 절연파괴특성

고종우 · 이내인 · 김일권 · 김영욱 · 박진성* · 안성태

삼성전주(주) Memory사업부분 기반기술센터

*조선대학교 재료공학과

Dielectric Breakdown Characteristics of the Gate Oxide for Ti-Polycide Gate

J.W. Ko, N.I. Lee, I.K. Kim, Y.W. Kim, J.S. Park* and S.T. Ahn

Advanced Tech. Center, Memory Division, Samsung Electronics Co.

*Dept. of Material & Science Engineering, Chosun University

초 록 티타늄 폴리사이드 MOS(metal-oxide-semiconductor) 캐피타 구조에서 두께가 8nm인 게이트산화막의 절연파괴강도의 열화거동을 열처리조건 및 폴리실리콘막의 두께를 달리하여 조사했다. 티타늄 폴리사이드 게이트에서 게이트산화막의 절연파괴특성은 열처리 온도가 높을수록, 열처리시간이 길수록 많이 열화되며 실리사이드의 하부막인 잔류 폴리실리콘의 두께가 얇을수록 그 정도는 심해진다. 티타늄 실리사이드가 게이트산화막과 직접적인 접촉이 없더라도 게이트산화막의 신뢰성이 열화되는 것을 알 수 있었다. 실리사이드 형성후 열처리에 따른 게이트 산화막의 절연파괴특성 열화는 티타늄 원자가 폴리실리콘을 통해 게이트산화막으로 확산되어 게이트산화막에서 티타늄의 고용량이 증가한 때문인 것이 SIMS분석 결과로부터 확인되었다.

ABSTRACT The degradation of dielectric breakdown field of 8nm-thick gate oxide (SiO_2) for Ti-polycide MOS(metal-oxide-semiconductor) capacitor with different annealing conditions and thickness of the polysilicon film on gate oxide was investigated. The degree of degradation in dielectric breakdown strength of the gate oxide for Ti-polycide gate became more severe with increasing annealing temperature and time, especially, for the case that thickness of the polysilicon film remained on the gate oxide after silicidation was reduced. The gate oxide degradation may be occurred by annealing although there is no direct contact of Ti-silicide with gate oxide. From SIMS analysis, it was confirmed that the degradation of gate oxide during annealing was due to the diffusion of titanium atoms into the gate oxide film through polysilicon from the titanium silicide film.

I. 서 론

반도체소자의 고집적화에 따라 고농도로 도핑된 폴리실리콘(polysilicon) 게이트(gate) 배선의 저항이 증가하여 소자의 동작속도의 감소가 예상된다. 티타늄실리사이드(이하 TiSi_2 로 표기)는 실리사이드(silicide) 재료 중에서 저항이 약 $15\mu\Omega\text{cm}$ 로 가장 낮고 용접이 높아 고온 공정이 많은 반도체소자의 폴리실리콘 게이트의 대체재료로서 연구가 많이 진행되고 있다.^{1,2)} TiSi_2 막을 폴리실리콘 위에 적층시킨 게이트 구조를 티타늄 폴리사이드 게이트(Ti-polycide gate)라 한다.

티타늄 폴리사이드 게이트는 고온에서 장시간 유지시 게이트산화막의 절연파괴특성의 열화를 가져온다. 그러나, 아직 그 열화기구는 불확실한 상태이다. 이 절연파괴특성은 게이트막의 구조뿐만 아니라 게이트산화막의 두께, TiSi_2 막의 형성조건, 후속열처리 조건 등과 관련있는 것으로 알려져있다.^{3~6)} 게이트산화막의 신뢰성 개선을 위한 방법은 다수 보고되고 있다. 그 방법은 실리사이드막과 폴리실리콘 사이에 실리코질화막층을 삽입하든가, 텅스텐실리사이드와 같이 저저항이면서 금속성분의 확산이 매우 느린 재료를 삽입시키는 방법, 폴리실리콘 막의 형성방법을 복합구조

로 하는 방법, 게이트산화막을 질화처리하여 옥시나이트라이드(oxynitride)로 제조하는 방법 등이 있다.^{7~10)} 이러한 물리적인 개선 방법은 공정의 복잡성, 트랜지스터의 불안정한 동작등이 예상되어 실제 반도체소자의 제조공정에 적용하는데 어려움이 있다. 따라서, 이러한 복잡한 박막구조를 형성하여 물리적으로 게이트산화막의 특성을 개선하기 보다는 게이트산화막의 고온 열처리시 열화거동 또는 고온공정시 사용가능 한계에 대한 이해가 보다 중요하다고 판단된다.

따라서, 본 연구에서는 게이트산화막의 두께가 8nm인 티타늄 폴리사이드 MOS (metal-oxide-semiconductor) 트랜지스터 구조에 있어서 게이트절연막의 열화거동의 열처리의존성과 $TiSi_2$ 막 형성후 $TiSi_2$ 막의 하부에 잔류하는 폴리실리콘막의 두께의 영향을 조사하였다.

II. 실험방법

직경 150mm, 비저항 $10\Omega\text{cm}$ 인 P형의 (100) 실리콘웨이퍼를 준비하여, LOCOS (local oxidation of silicon)의 소자분리기술로 활성화영역을 형성시켰다. 활성화영역에 8nm 두께의 열산화막을 성장시켰다. 게이트형성을 위한 폴리실리콘(poly-Si)의 증착은 감압화학 증착법으로 625°C 에서 막두께 150nm, 250nm로 나누어 실시했고 폴리실리콘의 도핑은 $POCl_3$ 확산방법으로 실시했다. 실리콘막 표면의 자연산화막을 99% HF : 1% H_2O 의 용액을 사용하여 제거한 후 magnetron 스퍼터법으로 티타늄을 두께 30nm로 증착했다. 이때 스퍼터 전의 초기진공은 약 1.0×10^{-7} Torr, 스퍼터시 아르곤가스의 압력은 7mTorr, 기판온도는 200°C , RF출력은 1.62KW(D.C)로 했다. 하부 폴리실리콘과 티타늄과의 고상반응에 의한 실리사이드막의 형성은 안정한 $TiSi_2$ 상을 형성시키기 위해 650°C 에서 30초간 850°C 에서 20초간 어닐링을 실시하는 방법을 사용했다. 게이트 산화막의 절연과피강도에 대한 정확한 거동을 조사하기 위해서 실리사이드 반응 후 잔류 폴리실리콘의 두께를 SEM로 조사했다. $TiSi_2$ 막 형성 후 남은 폴리실리콘막의 두께는 증착시킨 폴리실리콘막의 두께가 150nm, 250nm인 경우 각각 110nm,

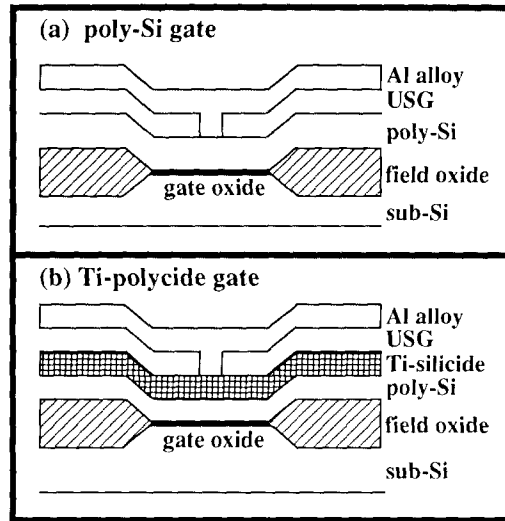


Fig. 1. Cross-sectional schematic diagrams of MOS capacitor to evaluate gate oxide for a) poly-Si gate and b) Ti-polycide gate.

200nm였으며 형성된 $TiSi_2$ 막의 두께는 40nm였다. 그후 상압화확증착법을 이용하여 150nm 두께의 USG(undoped silicate glass ; SiO_2)막과 350nm 두께의 BPSG(boron-phospho-silicate glass)막을 증착했다. 열처리 조건에 따른 게이트산화막 특성을 조사하기 위해 820°C 와 850°C 의 열처리온도에서 360분까지 유지시간을 달리하여 실시했다.

제조한 시편의 단면 구조를 그림 1에 도식적으로 나타내었다. 그림 1(a)는 폴리실리콘 게이트의 경우이고 그림 1(b)는 티타늄 폴리사이드 게이트의 단면 구조이다. 제작된 시편의 게이트 산화막의 절연과피 특성을 조사하기 위해 pA meter를 사용하여 I-V를 측정하였다. I-V 측정조건은 단계별로 0.2volt씩 전압을 증가시키며 각 구간에서의 유지시간은 0.5초로 하는 전압증가(voltage ramping)방법을 사용하였으며, 불량판정은 각 구간에서의 잔류가 $10\mu\text{A}$ 이상 흐를때로 정의하였다. 게이트 폴리실리콘과 게이트 산화막에서 티타늄의 확산정도를 비교하기 위해 $TiSi_2$ 막을 제거한 후 SIMS분석을 행했다.

III. 결과 및 고찰

그림 2에 $TiSi_2$ 막이 없는 폴리실리콘 게이트에 있어서 게이트 산화막 두께 8nm인 경우

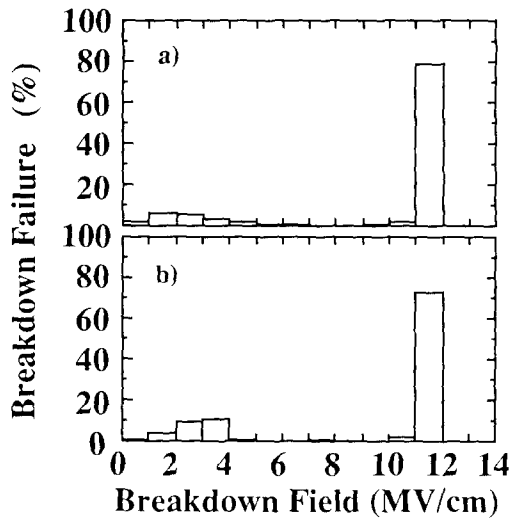


Fig. 2. Histograms of the dielectric breakdown field in gate oxide with 8nm thickness for poly-Si gate. Thicknesses of the poly-Si film are a) 150nm and b) 250nm.

의 특성을 히스토그램으로 나타내었다. 일반적으로 실리콘 산화막의 경우 절연 파괴강도의 분포는 초기파괴에 의해 발생하는 A mode 불량과 전계인가에 의해 현저하게 나타나게 되는 B mode 불량 및 양질의 산화막 특성을 보여주는 C mode 불량으로 분류될 수 있다.^{11~13)} A mode 불량은 약 1MV/cm 이하에서의 불량을 의미하며 실리콘 웨이퍼 표면과 산화후의 표면 오염 등에 영향을 현저히 받고 청정화에 의해 감소시킬 수 있다. B mode 불량은 단시간의 경시파괴에 대응하는 것으로 반도체 소자의 사용시 산화막의 장기 신뢰성 열화의 한 원인이 된다. 이러한 B mode 불량은 약 8MV/cm 이하에서의 불량을 나타낸다. 그림 2에서 폴리실리콘의 두께가 150nm인 경우 B mode 불량은 17.6%이고, 250nm인 경우 25.38%임을 알 수 있다. 이와같이 본 연구에서 기준이 되는 폴리실리콘의 불량율이 높은 것은 게이트산화막 형성전의 세정과정에 의한 것보다는 건식으로 게이트의 에칭을 실시하였고 전기적 측정을 위해 알루미늄 증착전에 콘택트의 에칭을 건식으로 실시했기 때문에 게이트 산화막이 플라즈마에 의해 charging damage를 받은 때문으로 사료된다.¹⁴⁾

그림 3에 실리사이드 형성후 잔류 폴리실리콘의 두께가 110nm, 200nm인 시료의 단면 SEM사진을 나타내었다. 실리사이드가 폴리실리콘위에 균일하게 형성되어 있는 것을 알 수 있다.

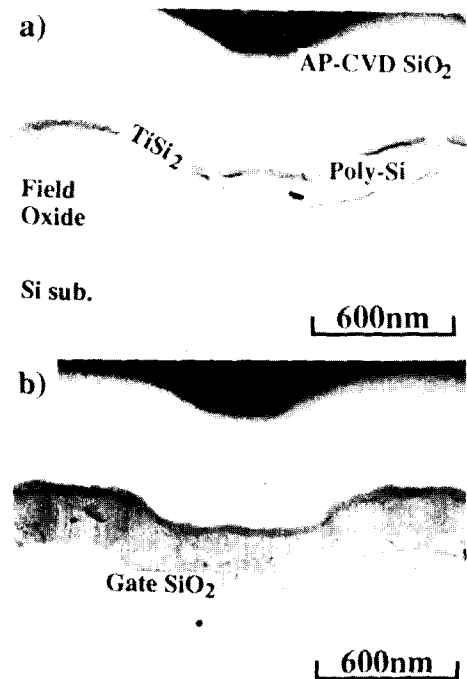


Fig. 3. Cross-sectional SEM micrographs showing the morphology of the Ti-silicide film after silicidation. Thicknesses of poly-silicon remained on gate oxide after silicidation reaction were a) 110nm and b) 200nm.

그림 4는 TiSi₂, 폴리실리콘, 게이트산화막의 두께가 각각 40nm, 110nm, 8nm인 폴리사이드 게이트구조에 있어서 850°C에서 유지시간에 따른 게이트 산화막의 절연파괴 특성을 나타낸 것이다. 실리사이드 형성직후와 850°C에서 30분, 60분, 150분 유지했을때 8MV/cm 이하의 B mode 불량은 각각 12.3%, 10.7%, 23.0%, 100%였다. 열처리 시간 60분이상부터 게이트산화막의 불량율이 증가함을 알 수 있다 따라서 8nm의 게이트산화막에 있어서 잔류 폴리실리콘의 두께가 110nm의 경우는 850°C에서 약 60분이상의 열처리시 게이트산화막이 열화됨을 알 수 있다.

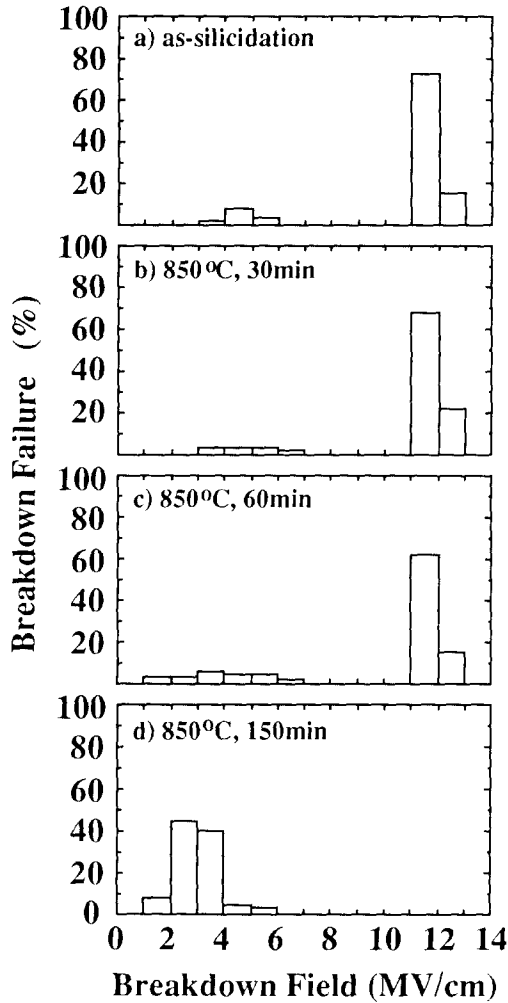


Fig. 4. Histograms of the dielectric breakdown field in gate oxide with varying anneal times at 850 °C for the MOS capacitor with 40nm TiSi₂/110nm poly-Si/8nm SiO₂ structure.

그림 5는 TiSi₂, 폴리실리콘, 게이트산화막의 두께가 각각 40nm, 110nm, 8nm인 폴리사이드 게이트구조에 있어서 820°C에서 유지시간에 따른 게이트 산화막의 절연과파 특성을 나타낸 것이다. 열처리 시간 120분까지 폴리실리콘 게이트의 경우와 유사한 수준의 불량율을 나타내고 있어 820°C에서는 850°C 열처리시보다 장시간까지 게이트산화막이 열화되지 않음을 알 수 있다. 850°C에서 열처리시 B mode 불량률이 증가하기 시작하는 열처리 시간은 820°C의 경우보다 약 1/3로 감소됨을 알 수 있다.

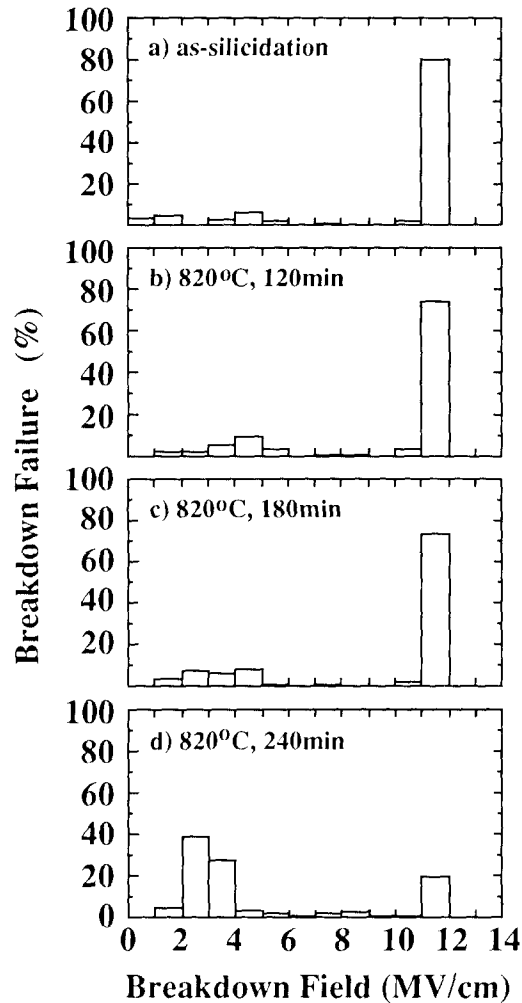


Fig. 5. Histograms of the dielectric breakdown field in gate oxide with varying anneal times at 820 °C for the MOS capacitor with 40nm TiSi₂/110nm poly-Si/8nm SiO₂ structure.

잔류 폴리실리콘의 두께가 20nm일 경우 열처리시간을 850°C에서 150분, 820°C에서 360분으로 하였을 경우의 게이트산화막의 절연과파특성을 그림 6에 나타내었다. 각 열처리 조건에서 B mode 불량율은 실리사이드 형성 후 열처리를 실시하지 않은 경우와 유사한 약 20% 이하 수준이다. TiSi₂막 형성후 잔류 폴리실리콘의 두께가 얇은 그림 4, 그림 5와 비교하면 같은 열처리시간에서 B mode 불량률이 매우 적음을 알 수 있다. 즉, 잔류 폴리실리콘의 두께를 증가시켜 산화막의 신뢰성을 개선할 수 있다.

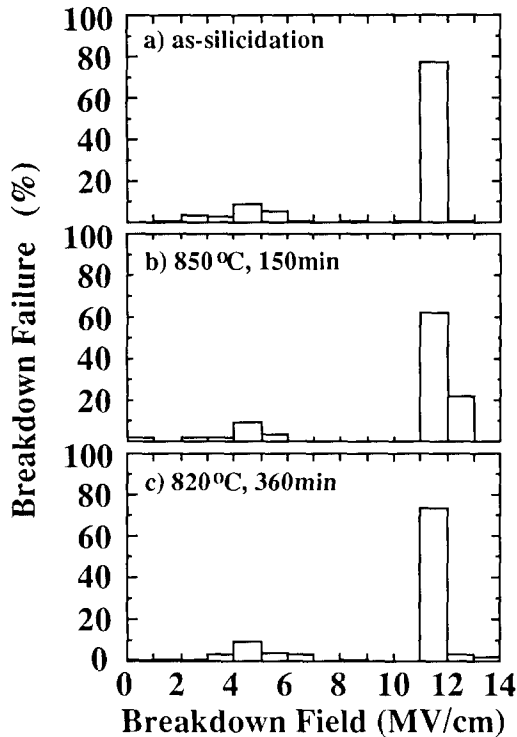


Fig. 6. Histograms of the dielectric breakdown field in gate oxide with varying anneal conditions for the MOS capacitor with 40nm TiSi_2 /200nm poly-Si/8nm SiO_2 structure.

850°C에서 150분간 열처리하였을 때 시료의 조직사진을 그림 7에 나타내었다. TiSi_2 막에서 응집이 발생하여 TiSi_2 이 부분적으로 끊어져 있다. TiSi_2 막의 형상변화는 표면에너지 감소를 위한 구동력과 고온에서의 확산에 의해 진행된다. 즉, 응집현상은 실리사이드막의 하부에 존재하는 폴리실리콘에서의 실리콘원자의 확산, 실리사이드내에서의 원자의 확산 등이 수반되어야 한다는 점에서 티타늄원자의 폴리실리콘으로의 확산이 예상될 수 있다. 그러나, 실리사이드 자체가 폴리실리콘막 내로 침투하여 게이트산화막과 접촉되어 있지는 않아 실리사이드막과 게이트산화막의 직접적인 접촉이 없더라도 게이트산화막의 신뢰성이 열화됨을 알 수 있다.

이상의 결과로부터 티타늄 폴리사이드 게이트에서의 게이트 산화막의 열화는 잔류 폴

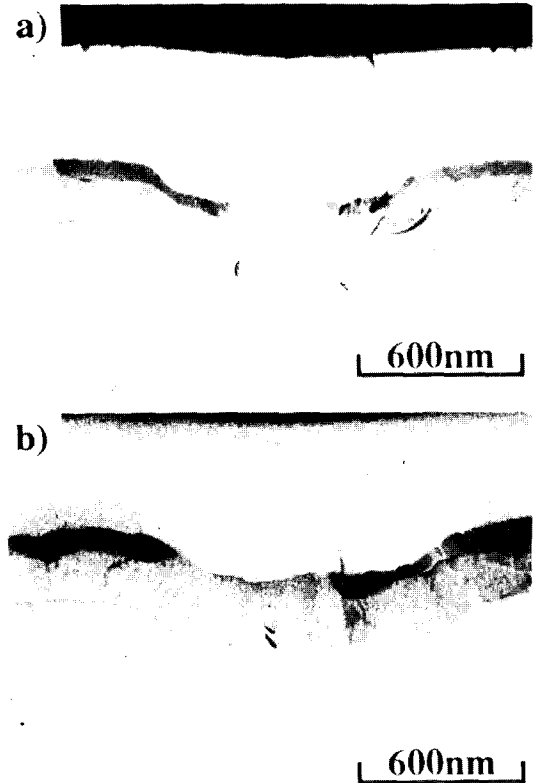


Fig. 7. Cross-sectional SEM micrographs showing the morphology of the Ti-silicide film after anneal for 150 minutes at 850°C after silicide formation. Thicknesses of poly-Si remained on gate oxide after silicidation reaction were a) 110nm and b) 200nm.

리실리콘의 두께와 열처리 온도, 시간의 상관관계에 의해 결정됨을 알 수 있다. 이는 게이트 산화막의 열화기구가 잔류폴리실리콘을 통한 티타늄 원자의 확산임을 시사한다. 그림 8에 잔류 폴리실리콘의 두께가 110nm인 티타늄 폴리사이드 게이트와 폴리실리콘 게이트의 깊이에 따른 티타늄과 산소의 농도분포를 SIMS로 분석한 결과를 나타내었다. 실리사이드를 형성시킨 직후는 폴리실리콘과 게이트산화막에서 티타늄의 양이 티타늄이 없는 실리콘 게이트의 경우와 유사하다. 즉, TiSi_2 막을 형성시켰을 때는 폴리실리콘으로의 티타늄 확산은 매우 적다. 그림 9에 티타늄 폴리사이드 게이트를 열처리하였을 경우 깊이에 따른 티타늄과 산소의 농도분포를 나타내었다. 열처리 유지시간은 30분으로 일

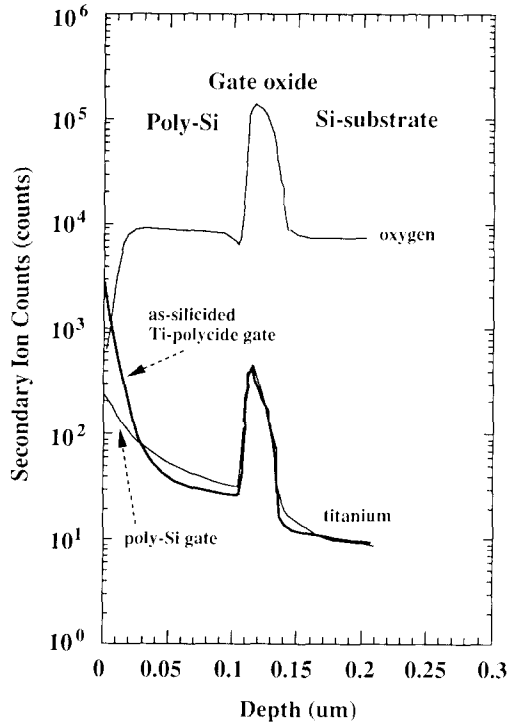


Fig. 8. SIMS depth profiles of Ti and O atoms for Ti-polycide gate after silicidation and poly-Si gate.

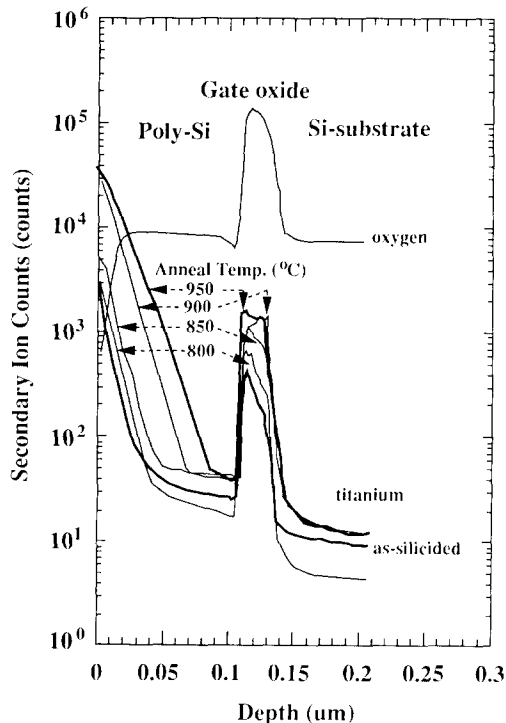


Fig. 9. The change of SIMS depth profile of Ti atom with anneal conditions for Ti-polycide gate.

정하게 하고 온도를 800°C에서 950°C까지 변화시켰다. 실리사이드를 형성시킨 후 열처리를 하면 폴리실리콘과 게이트산화막에서 티타늄의 양이 증가함을 알 수 있고, 고온에서 열처리함으로써 티타늄의 확산량은 더욱 증가함을 알 수 있다. 게이트 산화막을 TEM로 분석한 결과 산화막 내부 또는 폴리실리콘과 산화막의 계면에서 티타늄화합물의 석출은 확인되지 않았다. 따라서 게이트산화막의 열화기구로서는 열처리시 티타늄 원자의 확산이 일어나 게이트 산화막에 고용되어서 전자 또는 정공의 trap준위가 형성되어 낮은 게이트 전압에서도 게이트 산화막 내에 높은 전계가 형성되어 절연과괴가 발생하는 것으로 사료된다.

결론적으로 티타늄 폴리사이드 게이트에서의 게이트산화막의 열화 정도는 잔류 폴리실리콘의 두께와 열처리 온도, 시간의 상관관계에 의해 결정됨을 알 수 있고 게이트산화막의 열화기구는 잔류 폴리실리콘을 통한 티타늄 원자의 확산임을 알 수 있다.

결론

1. 티타늄 폴리사이드게이트에 있어서 게이트산화막의 절연과괴특성은 실리사이드의 하부막인 잔류 폴리실리콘의 막두께와 열처리 조건에 의존한다. 열처리 온도가 높을수록, 열처리 시간이 길수록 게이트산화막 절연과괴특성이 많이 열화된다. 그리고, 특히 잔류 폴리실리콘의 두께가 가장 중요한데 두께가 얇을수록 게이트산화막 절연과괴는 심해진다. 850°C에서 열처리시 B mode볼량이 증가하기 시작하는 열처리 시간은 820°C의 경우보다 약 1/3로 감소되었다.

2. 실리사이드 형성후 열처리에 따른 게이트 산화막의 절연과괴특성 열화는 티타늄 원자의 확산에 의해 게이트산화막에서 티타늄의 고용량이 증가한 때문인 것이 SIMS분석 결과로부터 확인되었다.

참고 문헌

1. T. Shibata, K. Heida, M. Konaka, IEEE Trans. Electron Devices, **ED-29**, 531 (1982)
2. S. P. Murarka, "Silicides for VLSI Applica-

- tions”, Academic Press Inc., **31** (1983)
3. 박진성등, 대한전자공학회논문지, **29A** 1206 (1992)
 4. C.Y. Ting et al, J. Electrochem. Soc., **133**, 2621 (1986)
 5. Y. Omura et al, J. Mater. Res., **6**, 1238 (1991)
 6. S. Nygren et al, Thin Solid Films, **168** 325 (1989)
 7. T. Ito et al, Trans. Elec. Dev., **ED-33**, 464 (1986)
 8. Y. Mikata et al, Ext. Abs 48th Autumn Japan Soc. Appl. Phys., 510 (1987)
 9. T. Hori et al, VLSI Sym. Tech. Dig., 63 (1987)
 10. K. Kobushi et al, Ext. Abs 20th Int. Conf. on Solid State Devices and Materials, 81 (1988)
 11. N. Chou and J. Eldrodge, J. Electrochem Soc., **117**, 1287 (1970)
 12. K. Yamabe, K. Taniguchi and Y. Matsushita, Proc. Int. Reliability Phys. Symp., 184 (1983)
 13. K. Yamabe, K. Taniguchi and Y. Matsushita, Proc. Sympo. “Defect in Silicon”, 631 (1983)
 14. S. J. Fonash, J. Electrochem. Soc., **137**, 3885 (1990)