

## FFT분석을 위한 VXIbus 디바이스의 설계 및 구현

正會員 姜 敏 鎬\* 正會員 盧 承 煥\*\* 正會員 田 東 根\*\*\*  
正會員 文 大 哲\*\*\*\* 正會員 金 惠 鎮\*\*

### Design and Implementation of A VXIbus Device for FFT Analysis

Min Ho Kang\*, Soong Hwan Ro\*\*, Dong Geun Jeon\*\*\*,  
Tae Cheol Mun\*\*\*\*, Duck Jin Kim\*\* *Regular Members*

#### ABSTRACT

The application of VXIbus system, an industry standard, is rapidly spreading with its ability to offer the easiness of integration from GPIB and the fast data transmission from VMEbus system. Compared with VXIbus Register Based Device, VXIbus Message Based Device has a drawback in the aspect of speed. But it is possible to utilize high level ASCII commands to control a Message Based Device, therefore system integration is much easier with Message Based Device than with Register Based Device. And, the FFT analyzer is an instrument for signal analysis which can be inexpensively implemented to be fast and have high resolution. Its wide ability of analysis presents numerous applications. So, it is necessary to apply VXIbus system to FFT analyzer.

In this paper, the implementation of FFT analyzer is performed using a DSP module and by implementing an A/D conversion circuit and a control module which performs VXIbus interface. The device can be controlled by Slot0 Commander which supports VXIbus Shared Memory Protocol through VXIbus.

#### 요 약

GPIB의 통합의 용이성과 VMEbus 시스템의 고속 데이터 전송의 장점을 갖춘 VXIbus 시스템은 계측기 산업의 표준으로 그 사용이 확산되고 있다. VXIbus 메시지 기반 디바이스(Message Based Device)는 VXIbus 레지스터 기반 디바이스(Register Based Device)에 비하여 속도면에서 불리한 점은 있으나 고수준의 명령어를 사용한 제어가 가능하여 통합이 용이하다는 장점을 지닌다. 한편 FFT분석기는 고속, 고해상도를 저렴하게 실현할 수 있는 신호분석용 장비로서 다양한 분석능력을 제공하므로 수많은 응용분야에 사용되고 있다. 따라서 FFT분석기를 VXIbus에 적용하는 것은 반드시 이루어져야 할 과제이다.

본 논문에서는 VXIbus 메시지 기반 디바이스(Message Based Device)로 FFT분석기를 구현하였다. 이를 위하여 VME용 신호처리모듈을 사용하였으며 A/D변환부와, VXIbus 인터페이스를 담당하는 제어모듈을 구현하였고 VXIbus 공유메모리 프로토콜(Shared Memory Protocol)을 지원하는 자원관리모듈 Slot0 Commander의 제어를 받도록 하였다.

\*現代電子  
\*\*高麗大學校 電子工學科  
\*\*\*한서大學校 電子工學科

\*\*\*\*湖南大學校 情報通信 工學科  
論文番號 : 93 - 177

## I. 서 론

VXIbus(VMEbus Extensions for Instrumentation)시스템 사양은 계측장비들을 모듈화하고 통합하기위한 표준 버스 구조로 VMEbus와 전적으로 호환성을 가지며 기존의 GPIB와 VMEbus의 장점을 통합함으로써 통신속도의 제한과 통합의 어려움을 해결하고 있다.<sup>[1]</sup> 최초의 VXIbus 사양은 5개 계측기 회사가 VXIbus 연합회를 결성, 1987년에 발표하였다.

IEEE 488표준인 GPIB는 여러 공급업체들로부터 제공된 계측기들을 호스트 컴퓨터에 연결시켜 주는 널리 보급된 인터페이스로써 자동화되고 통합된 시험 시스템을 구성시켜주므로 계측 시스템의 통합과 사용을 용이하게 하여주지만 데이터 전송속도가 초당 1Mbyte이하라는 제한 요소를 가지고 있다.<sup>[2]</sup>

VMEbus는 동일 백플레인상에 복수의 마이크로프로세서를 가질 수 있고 디바이스간의 고속의 데이터 통신이 가능하다는 장점을 가지고 있다. 그러나 아날로그 환경을 지원하기에는 노이즈가 너무 많다는 전기적 약점과 고속 데이터 전송을 위해서는 저잡의 레지스터 읽기/쓰기를 사용자가 프로그램하여야 한다는 프로그램상의 약점을 가지고 있다.

VXIbus는 이들 GPIB의 VMEbus의 장점을 취하고 약점을 보완하기 위해 두개의 각기 다른 디바이스 형태를 정의하고 있다. 그중 GPIB에 대응되는 것이 메시지 기반 디바이스(Message Based Device)로 시스템에 쉽게 통합될 수 있으며 계측기들이 어떠한 형태로 통신을 행하는가에 관계없이 사용자는 일관되게 프로그램을 할 수가 있는 반면 고속의 데이터 전송에는 레지스터 기반 디바이스(Register Based Device)보다 불리하다. 레지스터 기반 디바이스는 VMEbus 디바이스와 유사하게 정의되고 있으며 낮은 기초 수준의 통신을 수행하며 고속의 데이터 전송속도를 제공한다. 반면 프로그램시 디바이스 각각의 레지스터를 읽고 쓰는 과정을 수행하여야 한다.

한편 FFT 분석기는 기존 병렬필터 스펙트럼 분석기와 스윕트 분석기의 장점을 함께 갖춘 계측장비로 FFT(Fast Fourier Transform) 알고리즘(algorithm)을 사용하고 신호를 디지털로 처리하므로 병렬필터로 측정대역내의 모든 주파수를 동시에 측정할 것과 같은 효과를 내어 고속, 고해상도 측정이 가능하면서 저렴한 가격으로 구현할 수 있다는 장점이 있다.<sup>[3]</sup>

본 논문에서는 VXIbus 시스템 사양을 따라 FFT 분석기를 VXIbus 메시지 기반 디바이스로 설계 및

구현하여 표준 계측기로 계측 시스템에 쉽게 통합될 수 있도록 하였으며 구성된 시스템을 사용하여 주파수 스펙트럼의 분석실험을 행하였다.

## II. VXIbus 개요

### 2.1 VXIbus 서브시스템

하나의 VXIbus 시스템은 VXIbus 서브시스템을 포함하여 하나이상 그리고 256개 이하의 VXIbus 디바이스로 이루어진다. 하나의 VXIbus 서브시스템은 중앙 타이밍 모듈인 Slot0 자원관리자(Resource Manager)와 12개 까지의 추가적인 모듈로 이루어지며 일반적으로 VXIbus 시스템은 하나의 프레임에 13개 까지의 모듈로 구성된다.<sup>[4]</sup>

일반적인 구성은 Slot0가 VXIbus에서 규정하는 타이밍과 VMEbus에서 요구하는 제어기능, 외부와의 인터페이스를 제공하는 형태이며 Slot0는 그 이상의 기능을 가질 수도 있다. Slot0외의 다른 slot은 어떤 목적에나 사용할 수 있는 범용 slot이다.

### 2.2 VXIbus 디바이스

VXIbus 디바이스는 VXIbus 시스템에서의 가장 작은 논리적 단위이다. 일반적으로 하나의 디바이스는 하나의 VXIbus 모듈로 구성되어진다. VXIbus 시스템에서 모든 디바이스는 자신의 고유한 논리번호를 가지는데 이것은 0에서 255까지로 정의되며 각 디바이스를 분별하게 해준다.

모든 VXIbus 디바이스는 백플레인 상에서 64개의 절대 어드레스를 가지도록 정의되어 있다. 이것은 시스템상에서 다른 디바이스에 의해서 번지 지정과 액세스가 가능한 64바이트의 메모리에 디바이스 자체

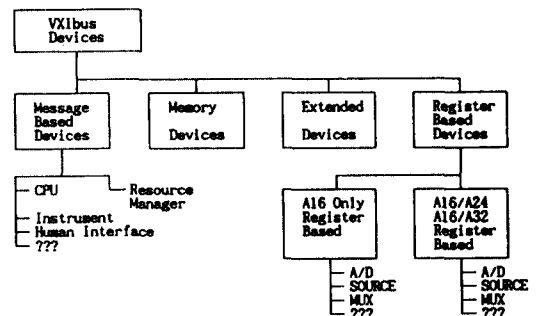


그림 2.1 VXIbus 디바이스의 분류  
Fig 2.1 VXIbus Device Classification

에 대한 정보, 디바이스의 상태에 대한 정보, 그 디바이스의 통신능력에 대한 정보등을 가지고 있다.

VXIbus 디바이스는 어떤 형태의 디바이스이건 간에 VXIbus 백플레인과 한가지 유형의 통신 인터페이스를 갖추어야 한다. VXIbus 디바이스는 지원하는 통신 프로토콜에 따라 4가지 형태로 구별되며 이를 그림 2.1에 나타내었다.

2.2.1 레지스터 기반 디바이스(Register Based Device)

VXIbus 레지스터 기반 디바이스는 VMEbus 디바이스와 같은 방식으로 통신하는 디바이스로 이진 정보를 이용한 하위레벨로 프로그램 되어진다. 하드웨어를 직접 접근하는 방식으로 통신하므로 ASCII로 이루어진 명령어를 처리해야 하는 메시지 디바이스(Message Based Device)보다 통신속도면에서 이점을 가진다. 이러한 고속통신은 계측시스템의 처리율을 향상시킬 수 있으나 이러한 방법은 디바이스 공급자가 상위레벨의 제어를 가능하게 하는 드라이버 소프트웨어를 공급하지 않을 경우 프로그램이 어렵고 계측기간의 호환성을 가지지 못한다는 단점이 있다.

그림 2.2는 레지스터 기반 디바이스의 A16 어드레스 영역내에 존재하는 64바이트의 디바이스 구성 레지스터(Configuration Register)의 메모리맵을 나타내고 있다.

DEVICE DEPENDENT REGISTERS	3F
DEVICE CLASS DEPENDENT REGISTERS	1F
Offset Register	06
Status/Control Register	04
Device Type	02
ID/Logical Address Register	00

그림 2.2 VXIbus 레지스터 기반 디바이스의 구성 레지스터  
Fig 2.2 Configuration Register of VXIbus Register Based Device

2.2.2 메시지 기반 디바이스(Message Based Device)

VXIbus 메시지 기반 디바이스는 ASCII 문자열을 사용하여 고급 레벨의 통신을 수행한다. 이는 카드 공급자사이의 상위레벨의 호환성과 상호운용을 가능하게 한다. 마이크로프로세서는 계측기능을 수행하

기전에 보수준의 명령어를 먼저 처리한다. 이러한 명령어의 처리에 의한 ASCII통신의 부담은 레지스터 기반 디바이스에 비해 통신속도를 저하시킨다. 그러나 많은 기기들이 통신경로에 의해 기능이 제한되기 보다는 자신의 계측기능에 의해 성능이 제한되기 때문에 매우 고속의 통신속도를 요구하지 않는 일반적인 응용에서는 문제가 발생하지 않는다.<sup>16)</sup> 이 디바이스는 GPIB 디바이스와 유사하다 IEEE 488버스에 비하여 빠른 인터페이스 속도를 나타내며 여러 제조업체들로부터 공급된 모듈을 통합하기에 편리하고 파워 서플라이, CRT, 냉각팬 등을 공유하므로 부피가 작아진다.

그림 2.3은 메시지 기반 디바이스의 A16 어드레스 영역내에 존재하는 64바이트의 디바이스 구성 레지스터(Configuration Register)의 메모리맵을 나타내고 있다. A16 메모리맵의 크기는 레지스터 기반 디바이스와 동일하지만 메시지 기반 디바이스는 더 많은 수의 표준 레지스터 집합을 가진다. 이 집합은 확장된 VXIbus 통신 프로토콜을 지원하는 VXIbus 표준 ASCII 통신 레지스터를 포함하고 있다.

DEVICE DEPENDENT REGISTERS	3F
VXIbus RESERVED REGISTERS	1F
A32 Pointer	18
A24 Pointer	14
Data Low	0E
Data High	0C
Response/Data Extended	0A
Protocol/Signal Register	08
CONFIGURATION REGISTERS	00

그림 2.3 VXIbus 메시지 기반 디바이스의 구성 레지스터  
Fig 2.3 Configuration Register of VXIbus Message Based Device

III. FFT 분석기

FFT 분석기는 스펙트럼 분석을 위한 계측 장비이다. 동적, 대역 선택적 분석 기능 등으로 스펙트럼 분

석기와 구분되며 일반적인 스펙트럼 분석기로는 측정하기 힘든 0-100kHz정도의 저주파 신호를 고해상도로 측정할 필요가 있는 응용분야에 이용된다.<sup>31)</sup>

### 3.1 스펙트럼 분석기

스펙트럼 분석기는 주로 높은 주파수 신호의 측정을 위한 장비이며 구현 방법에 따라 크게 병렬 필터 스펙트럼 분석기(Parallel-Filter Spectrum Analyzer)와 스윕트 스펙트럼 분석기(Swept Spectrum Analyzer)의 두가지로 나눌 수 있으며 그밖에 시간 압축 스펙트럼 분석기(Time-Compression Spectrum Analyzer) 등이 있다.<sup>5)</sup>

병렬 필터 스펙트럼 분석기는 대역통과 필터의 끝에 출력을 얻을 수 있는 미터를 부착하여 필터를 통과한 특정 주파수 대역의 스펙트럼을 알 수 있게 한 것이다.<sup>13)</sup> 고속의 측정을 이룰 수 있기는 하나 필터는 통과 대역폭이 줄어들수록 더욱 구현이 어려우므로 고해상도를 내기 어렵고 고해상도의 조밀한 스펙트럼 출력을 얻으려면 상당히 고가의 장비가 된다는 단점이 있다.

여러개의 필터를 가지게하는 것을 피하는 방법으로 중심 주파수의 변경이 가능한 하나의 필터를 사용하여 출력하고자하는 주파수 대역폭에 걸쳐 중심 주파수를 변화(sweep)하게 하는 것이 스윕트 스펙트럼 분석기이다.<sup>31)</sup> 비교적 저렴하게 구현할 수 있고 높은 해상도를 제공할 수 있어서 실제로 대부분의 스펙트럼 분석기에서 채택되고 있다. 그러나 어떤 특정 주파수에 필터가 튜닝이 되지 않았을 때 그 주파수상에 갑작스런 에너지가 출현한다면 그것을 잃어버려 측정할 수 없게 되며 이것을 해결하기위해 스윕속도를 높이는 것도 필터의 응답시간때문에 한계가 있다.

시간 압축 스펙트럼 분석기는 주로 100kHz이하의 낮은 주파수 신호분석에 사용되는 것으로 저주파 신호를 고해상도로 측정하고자 할 때 매우 좁은 대역통과 필터의 이용을 피하기 위해 고안된 것으로 신호를 샘플링한 후 빠른 속도로 재생하여 일반 스펙트럼 분석기에 입력함으로써 주파수 스펙트럼을 얻는 방법이다.<sup>51)</sup>

### 3.2 FFT 분석기

FFT 분석기는 디지털 샘플링과 수학적 변환을 행하는 고속의 연산 루틴에 근거하여 근래에 개발된 신호분석장비이다. FFT 연산 루틴은 수백개에 이르는 고속의 병렬 필터처럼 동작하므로 병렬 필터 스펙트

럼 분석기와 스윕트 분석기의 장점인 고속, 고해상도의 스펙트럼, 저가격을 실현하고 있다. 현재까지 소수의 외국 계측기 제조업체에서 상품화되어 왔으나 VXIbus사양을 적용한 제품은 없고 그에 대한 연구 실적 또한 알려져있지 않다. 계측장비의 통합화 추세에 따라 많은 계측기들이 VXIbus사양을 채택하고 있으며 이에따라 FFT분석기도 VXIbus 사양을 적용하는 연구가 이루어져야 한다.

#### 3.2.1 FFT 분석기의 특징

측정 주파수대역내의 모든 주파수 신호를 동시에 측정하므로 동적인 신호해석이 가능하다.<sup>13)</sup> 또한 실시간 신호분석을 행하므로 주기적인 신호뿐만 아니라 천이사건(transient event)의 측정 분석을 할 수 있다. 각 주파수 성분의 간격을  $\mu\text{Hz}$  정도로 두게되므로 저주파신호도 정확히 측정할 수 있다. 주로 수  $\mu\text{Hz}$ 에서 100kHz정도의 주파수 신호 측정에 사용되며 특히 고속의 분석이 요구될 경우에 유용하다. 그러나 대부분의 A/D(analog-to-digital)변환기가 크게 빠르지 못하므로 측정 주파수를 높이기 힘들며 측정 주파수를 높여더라도 FFT연산의 오버헤드때문에 실시간 대역폭을 따라 높여기가 어렵다는 단점이 있다.

#### 3.2.2 FFT 분석기의 구성

FFT 분석기의 구성은 일반적으로 그림 3.1처럼 이루어진다. 측정의 정확도를 높이기 위해 샘플링과 디지털화하는 A/D변환기는 높은 해상도와 선형성이 요구된다. 아날로그 anti-alias 필터를 사용할 경우 샘플링 레이트의 변경에 따라 필터의 통과대역도 변해야 하므로 여러개의 필터가 필요하고 구현하기 힘들어진다. 반면 디지털 필터를 사용함으로써 A/D변환기를 고정 샘플링 레이트로 두고도 샘플링 레이트를 변경할 수 있고 이에 따라 대역선택적 분석을 행할 수 있다.<sup>31)</sup>

FFT를 위한 시간기록에서의 왜곡을 막고 스펙트럼의 누손(leakage)을 줄이기위하여 윈도잉을 필요로 하며 일반적으로 잡음이 섞인 신호를 분석하게 되므로 평균화 또한 필요하다.

프로세서에서 FFT 연산을 행하는데 걸리는 시간이 하나의 샘플을 획득하는데 걸리는 시간보다 작을 경우는 그 구성에 아무런 문제가 없으며 입력 데이터를 겹치게(overlap) 하면서 연산처리할 수 있으나 통산 그 이상의 시간이 걸리므로 시간 기록의 버퍼를 두어 버퍼가 차기전에 그전 데이터의 변환을 끝내도

록 구성하여 실시간 처리를 행한다. 시간기록 비퍼가 차는 시간과 연산처리시간이 같아지는 점에서 측정가능한 대역폭 스패를 실시간 대역폭이라 하고 이 이하의 스패에서는 잃어버리는 데이터가 없다. 그러나 스패가 더 늘어나거나 FFT 처리시간이 더 긴 경우에는 실시간 처리를 할 수가 없다.

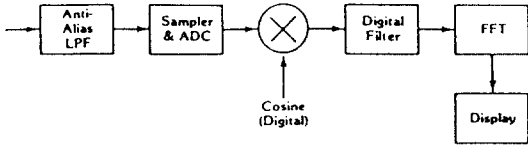


그림 3.1 FFT 분석기의 구성  
Fig 3.1 FFT Analyzer Structure

IV. FFT분석용 VXibus디바이스의 구현

그림 4.1은 본 논문에서 구현한 FFT분석용 VXibus 디바이스의 구성을 나타낸 것이다. 우선 A/D변환 모듈, 신호처리 모듈, VXibus 인터페이스 모듈의 제가지 기능부를 구성하고 이들을 각각 하나씩의 나뉘어 스로 구현하였다.

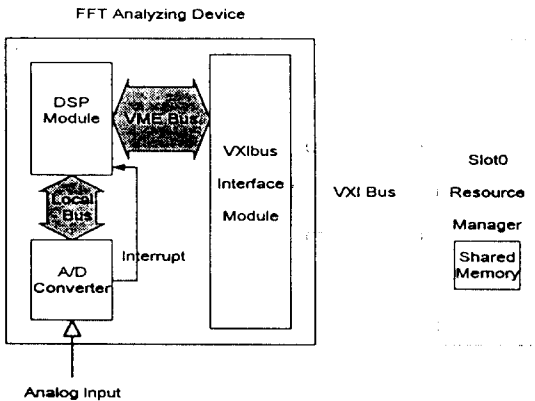


그림 4.1 FFT 분석 디바이스의 블럭도  
Fig 4.1 FFT Analyzing Device Block Diagram

4.1.1 A/D 변환 모듈과 신호처리 모듈

A/D 변환 모듈은 Sample & Hold와 A/D 변환 회

로, 그리고 매번 변환의 끝에 신호처리 모듈로 인터럽트 신호를 발생시켜주는 로직을 설계하고 하드웨어로 구현하여 신호처리 모듈의 local bus를 통하여 신호처리 모듈로부터 액세스할 수 있도록 하나의 입력 Port로 어드레스(0001000h)를 할당하였다. A/D 변환에는 Analog Device사의 AD678 ADC를 사용하여 12bit 데이터 해상도를 가지고 최대 200Ksps(samples/sec)의 샘플링 레이트로 변환을 행하도록 하였고 샘플링 레이트는 VXibus 인터페이스 모듈의 제어 명령을 받아 신호처리 모듈에서 소프트웨어를 통하여 변경하는 구조로 구현하였다. A/D 변환 모듈을 신호처리 모듈과 함께 VXibus 인터페이스 모듈로부터의 Release/Assert-Reset 명령을 받도록 하였다.

신호처리 모듈은 VMEbus용 신호처리 전용모드를 하드웨어로 사용하여 local bus를 통하여 A/D 변환 모듈로부터 변환된 데이터를 수집하고 연산처리하는 기능의 제어 및 연산처리 소프트웨어를 구현하였다. 신호처리 모듈의 동작은 VXibus 인터페이스 모듈의 제어명령을 따른다. 그림 4.2에 신호처리 모듈과 A/D 변환 모듈의 구성을 나타내었다.

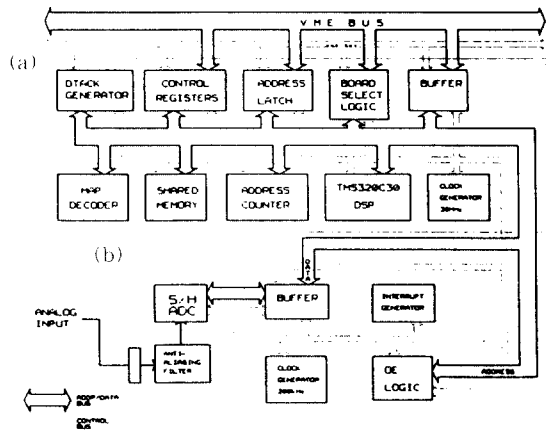


그림 4.2 A/D변환 모듈과 신호처리 모듈의 블럭도  
Fig 4.2 A/D Conversion Module and DSP Module Block Diagram  
(a) A/D 변환 모듈  
(b) 신호처리 모듈

4.1.2 VXibus 인터페이스 모듈

VXibus 인터페이스 모듈은 VXibus 메시지 기반

디바이스로 VXIbus상의 버스 마스터로 구현하였다. MC68030 마이크로 프로세서와 RAM, ROM, 그리고 버스 인터페이스에는 Signetics사의 SCB68172를 사용하였다. VXIbus 메시지 기반 디바이스의 구성 레지스터(Configuration Register)의 통신 레지스터(Communication Register)들 중 응답 레지스터(Response Register)를 설치하여 Slot0 명령자(Commander) 모듈로부터의 명령을 받을 수 있도록 하였다. 이들 레지스터의 기반 주소(base address)는 디바이스의 논리번지를 V를 1로 할 때

$V \cdot 64 + 49152 = FF02C040$  (V : 디바이스의 논리번지)

로 주어진다. 그림 4.3은 VXIbus 사양의 응답 레지스터를 나타낸 것이며 내부 비트 필드(bit-field)중 쓰기준비 비트(Write Ready bit)를 구현하여 Slot0 모듈과의 통신에 사용한다. 쓰기준비 비트(Write Ready bit)의 값에 따른 의미는 그림에 기술한 바와 같다. 그림 4.4에 VXIbus 인터페이스 모듈의 구성을 나타내었다.

응답 레지스터(Response Register)

Bit#	15	14	13	12	11	10	9	8	7	6 - 0
Contents	0	reserved	DOR	DIR	Err*	Read Ready	Write Ready	FHS Active*	Locked*	Device Dependent

○ 쓰기가능 비트(Write Ready Bit)의 의미 - 1 : 명령을 받을 준비가 됨  
0 : 명령을 받을 준비가 안됨

그림 4.3 VXIbus 인터페이스 모듈의 쓰기가능 비트  
Fig 4.3 VXIbus Interface Module Write Ready bit

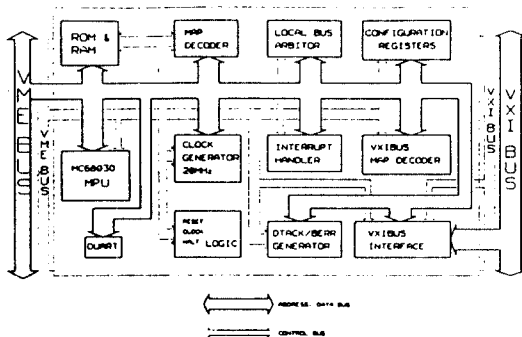


그림 4.4 VXIbus 인터페이스 모듈의 블럭도  
Fig 4.4 VXIbus Interface Module Block Diagram

## 4.2 FFT분석용 VXIbus 디바이스의 동작

### 4.2.1 A/D 변환 모듈

VXIbus 인터페이스 모듈에 의해 Reset이 해제되면 200kHz의 클럭펄스가 A/D변환기의 변환시작(SC : Start Conversion)신호로 들어가 주기적으로 A/D 변환을 일으킨다. 매번 변환의 끝에 A/D변환기로부터 변환끝(EOC : End of Conversion)신호가 출력되어서 신호처리 모듈의 H1클럭과 동기를 맞추어 신호처리 모듈로 인터럽트를 발생한다. 신호처리 모듈의 인터럽트 처리 루틴에서 읽기에 의해 R/W\* 신호 STRB\* 신호와, 10000h 번지로의 어드레스 신호를 조합하여 A/D변환기의 출력 가능(OE\* : Output Enable)을 assert하면 100ns정도 후에 A/D변환기로부터 변환의 결과 데이터가 2의 보수(2's complement) 형태의 2진수로 출력되며 래치가능(LE\* : Latch Enable)신호에 의해 74574에 래치되어 신호처리 모듈이 읽어갈 수 있도록 한다.

### 4.2.2 신호처리 모듈

VXIbus 인터페이스 모듈에 의해 Reset이 해제되면서 내부 초기화를 행하고 VXIbus 인터페이스 모듈로부터 전송받은 연산관련 파라미터 즉, SIZE에 맞추어 자신의 내부(local) 파라미터(FFTSIZ, LOGFFT, IN\_END, R6, STRTR, STRTI 등)를 설정하였다. VXIbus 인터페이스 모듈로부터의 START 명령을 받게되면 수집된 데이터의 수가 SIZE와 같아진 후 데이터를 연산을 위해 설정한 메모리(BUF0)로 옮겨와서 32bit 부호확장을 하고 부동소수점 형태로 변환, 입력 전압의 크기에 맞도록 정규화, 윈도잉을 행한 후 radix-2 real FFT연산처리를 한다. 그 결과 데이터에 대해서는 분리된 실수부와 허수부를 모

아 전력 스펙트럼을 구하고 최종적으로 VXIbus 인터페이스 모듈에서 읽기위해 미리 설정한 메모리(BUF3)에 저장한다. 그후에는 연산 파라미터를 재설정하고 연산의 끝을 나타내는 상태 플래그(flag)을 set하여 VXIbus 인터페이스 모듈에 알리고 다시 VXIbus 인터페이스 모듈의 START명령을 기다린다. 이러한 데이터의 흐름을 그림 4.5에 나타내었고 이를 위한 소프트웨어의 순서도를 그림 4.6에 나타내었다.

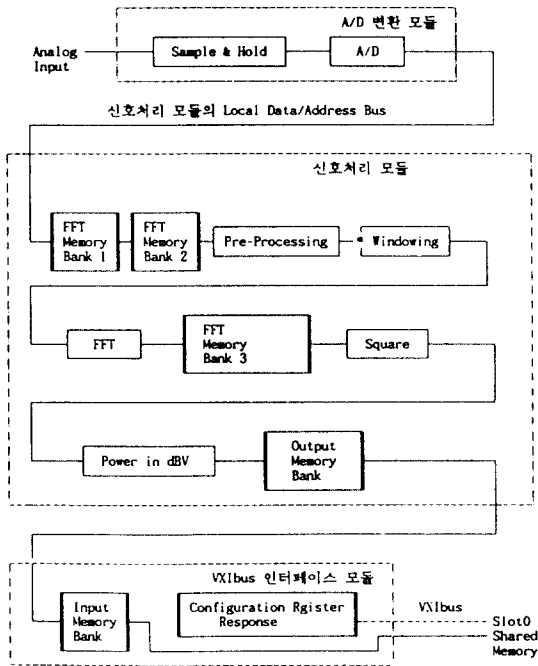
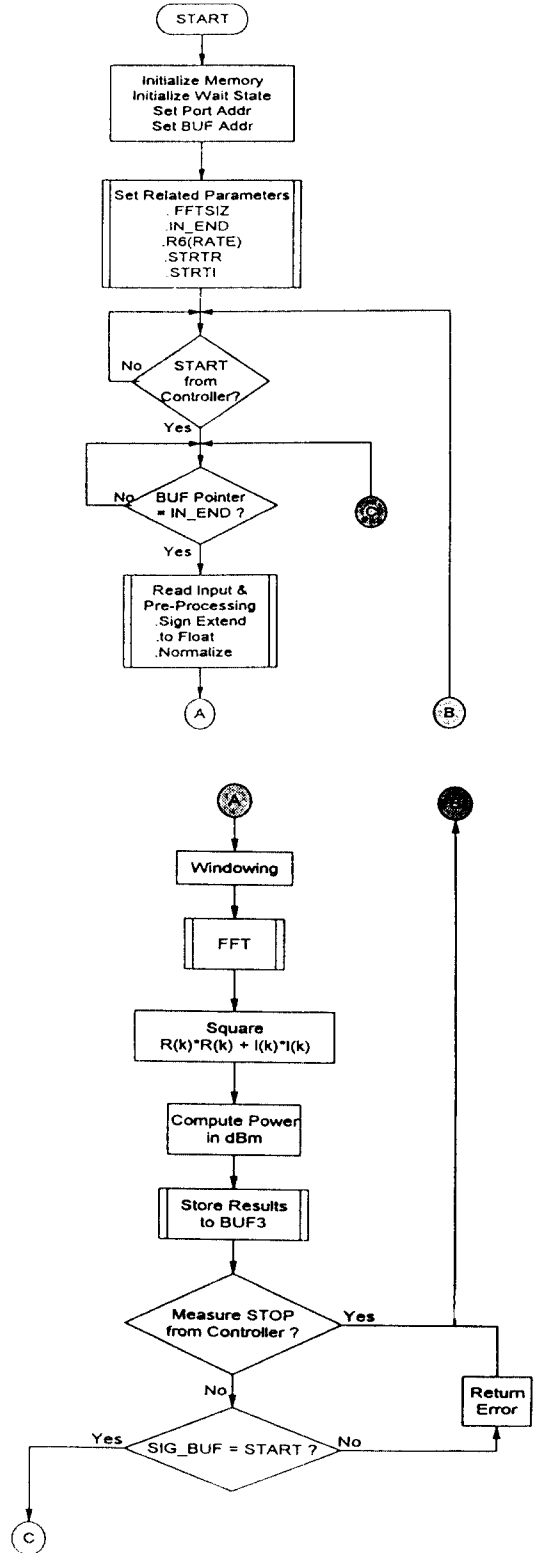


그림 4.5 데이터의 흐름  
Fig 4.5 Data Flow



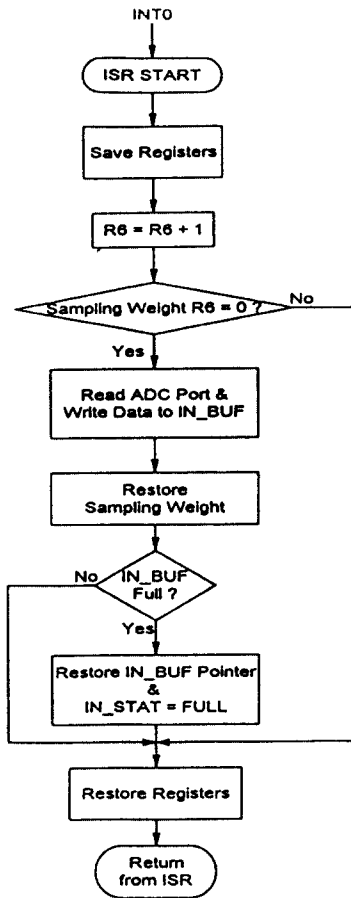


그림 4.6 신호처리 모듈의 소프트웨어 순서도  
Fig 4.6 DSP Module Software Flowchart

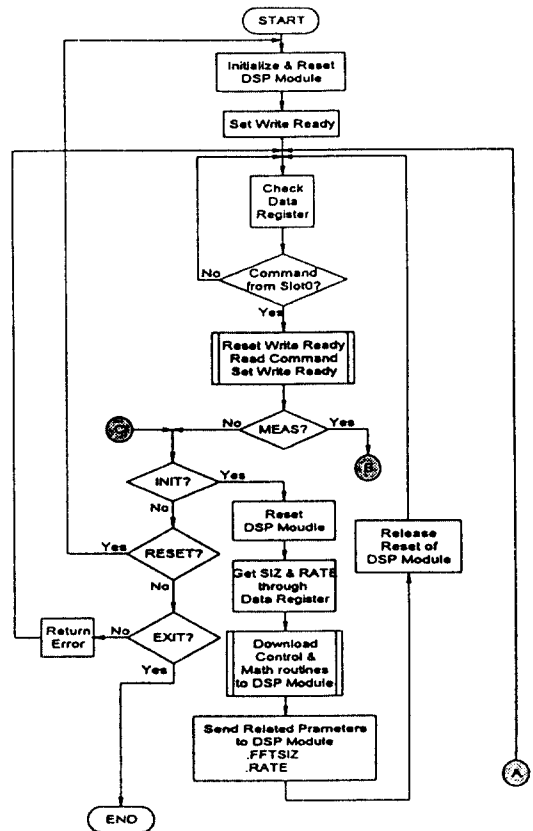
4.2.3 VXIbus 인터페이스 모듈

VXIbus 인터페이스 모듈은 FFT분석용 디바이스에 전원이 인가된 후 자신의 메모리 초기화등을 행하고 신호처리 모듈과 A/D 변환 모듈의 Reset을 인가(assert)한다. 응답 레지스터(Response Register)의 쓰기준비 비트(Write Ready bit)를 set하여 Slot0 모듈로부터의 명령을 기다린다. Slot0의 명령이 있을 경우 이 명령을 읽어내기 전까지 쓰기준비 비트는 reset되어 명령가능 상태가 아님을 Slot0에 알린다. Slot0의 명령이 RESET, INIT인가 MEAS인가에 따라 신호처리 모듈 및 A/D 변환 모듈의 동작 제어, 연산 파라미터 설정, 신호처리 모듈로 제어 및 연산 소프트웨어를 VEMbus를 통해 신호처리 모듈의 메모리에 직접 쓰기, 신호처리 모듈로 연산의 시작신호(START)를 보내기 등을 행한 후 신호처리 모듈의

상태 플랙이 연산의 끝을 알릴 때까지 기다려 연산의 결과를 신호처리 모듈상의 메모리(BUF3)로부터 읽어와서 Slot0 모듈의 공유 메모리(Shared Memory)에 직접 쓰기를 행한다. 이러한 과정을 그림 4.7에 VXIbus 인터페이스 모듈의 소프트웨어 순서도로 나타내었다.

4.2.4 동작의 제어

FFT분석용 VXIbus디바이스의 동작은 PC상에서 ASCII로 이루어진 예약된 명령을 Slot0 자원관리자(Resource Manager) 모듈로 보냄으로써 제어한다. Slot0 모듈은 보내져온 명령어를 해독하여 자신을 포함하는 시스템의 제어를 수행할 뿐 아니라 FFT분석용 제어에 필요한 명령어는 그대로 FFT분석용 디바이스의 VXbus 인터페이스 모듈로 보내게 된다. 명령어를 전송받은 VXIbus 인터페이스 모듈은 이를 해독하고 디바이스의 초기화, 계측의 시작, 결과 데이터의 전송과 같은 동작을 하는데 이를 위해 구현된 명령어는 표 4.1과 같다.





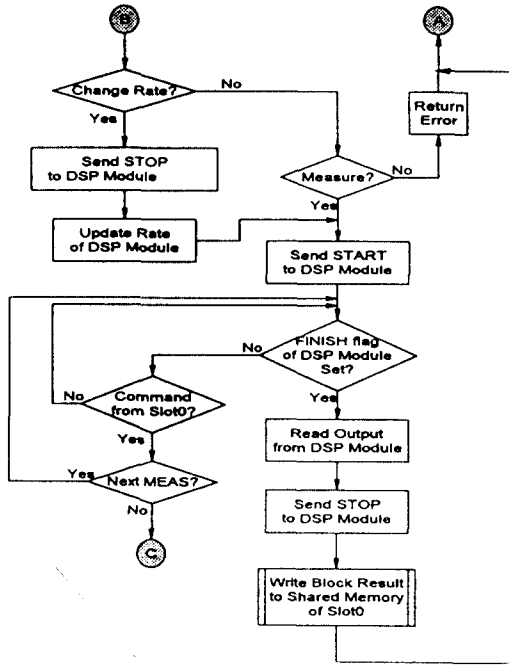


그림 4.7 VXIbus 인터페이스 모듈의 소프트웨어 순서도  
Fig. 4.7 VXIbus Interface Module Software Flowchart

표 4.1 FFT 분석기바이스의 커맨드

Table 4.1 Command of FFT Analyzing Device

RESET	DSP 모듈을 초기화
INIT:SMPR n	Sampling Rate을 n으로 지정
INIT:PNT n	n Point의 FFT로 지정
MEAS n	지정된 연산과라미에 의해 FFT 분석실행

## V. 실험 및 평가

### 5.1 실험환경

FFT분석 모듈과 Slot0 자원관리자 모듈로 구성되는 VXIbus 서브시스템을 구성하고 Slot0모듈로 시스템 전체를 제어하도록 하였다. IBM PC와 RS232C 인터페이스를 사용하여 FFT분석 모듈 및 VXIbus 서브 시스템 전체로 각각의 제어 커맨드를 전송하고 측정 데이터를 VXIbus 서브 시스템으로부터 전송받아서 PC상에서 처리하도록 하였다.

### 5.2 실험

A/D 변환 모듈에서 샘플링되어 A/D변환된 실수(real) 데이터를 취급하므로 radix 2 real FFT 알고리즘(algorithm)을 구성하였고 Hamming Window 함수를 사용하여 측정실험을 하였다. 샘플링한 데이터는 비중첩 연속 데이터 분할(non-overlap contiguous segmentation)을 적용하여 처리하였다. 신호처리 모듈에서 처리가 끝난 데이터는 32bit IEEE 754 부동소숫점숫자의 형태를 가진다. 주로 200kHz의 샘플링 레이트에 2048포인트의 데이터에 대한 측정실험을 행하였다.

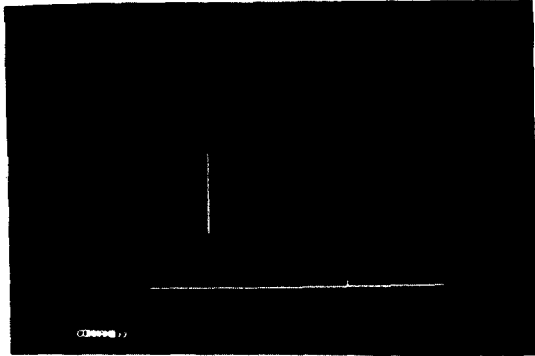
200Ksps의 최대 샘플링 레이트에서 신호처리 모듈의 신호처리 소프트웨어 루틴의 데이터 처리 시간을 TMS320C30 DSP 에뮬레이터를 사용해 측정하였다. 표 5.1은 FFT 연산의 데이터 수에 따른 처리시간과 수집시간을 나타낸 것이다. 여기서 처리시간은 데이터가 필요한 수만큼 수집된 후부터 출력을 위한 메모리에 쓰기가 완료될 때까지의 전체시간이며 20회 측정하여 평균한 것이다.

표 5.1 연산 데이터의 수에 따른 수집 및 처리시간  
Table 5.1 Data Collection and Processing Time

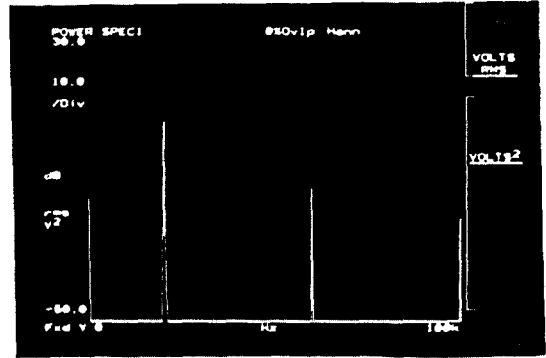
point 수	Data 처리시간	Data 수집시간
2048	7.98ms	10.24ms
1024	4.01ms	5.12ms
512	2.041ms	2.56ms
256	0.964ms	1.28ms
128	0.456ms	0.64ms
64	0.221ms	0.32ms
32	0.108ms	0.16ms

그림 5.1에서 5.3은 샘플링율 200KHz에서 포인트(point)수 2048의 경우 20KHz 입력신호의 정현파, 삼각파 및 구형파에 대한 결과 사진을 Hewlett-Packard 3562A 동적 신호분석기(Dynamic Signal Analyzer)를 이용한 FFT 분석결과와 각각 비교하여 나타내었다. 사진에서 수파수 SPAN을 0 100KHz 까지로 하고 출력범위를 40dBV에서 30dBV 까지로 하였을 때의 결과로써 정확하게 분석됨을 알 수 있었다. 표 5.2에는 입력수파수를 10KHz, 20KHz, 50KHz로 각각 하였을 때의 결과를 비교하였다. 표에서 입력수파수

를 나타내는 기본주파수에 대하여 정확한 값이 나타남을 알 수 있다.



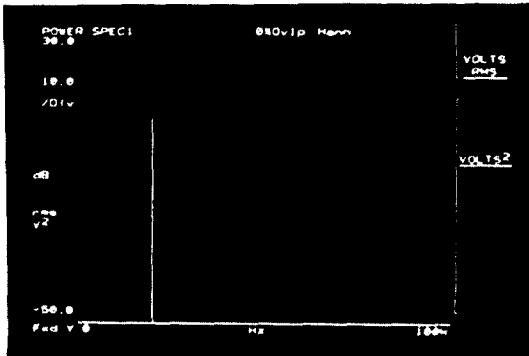
(a) VXIbus FFT 분석기



(b) HP 3562 동적 신호분석기

그림 5.2 스펙트럼 분석 결과(삼각파 20KHz)

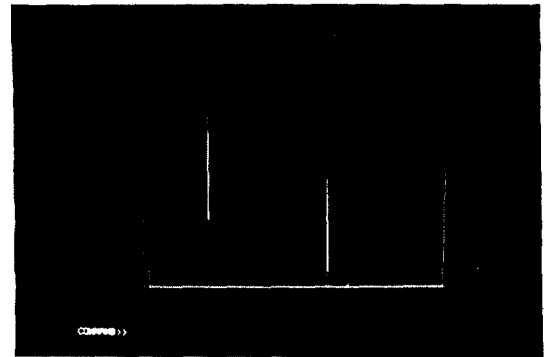
Fig. 5.2 Result of Spectrum Analysis(Triangular Wave 20KHz)



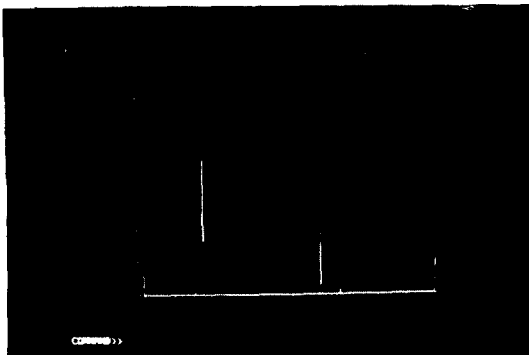
(b) HP 3562A 동적 신호분석기

그림 5.1 스펙트럼 분석 결과(정현파 20KHz)

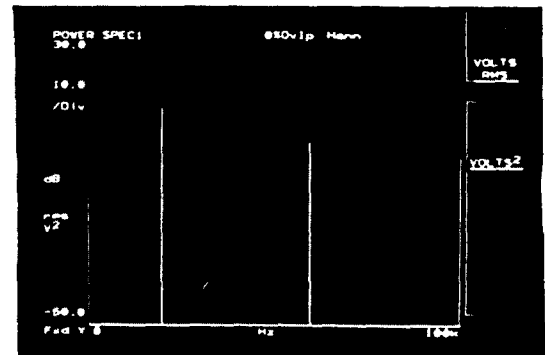
Fig 5.1 Result of Spectrum Analysis(Sine Wave 20KHz)



(a) VXIbus FFT 분석기



(a) VXIbus FFT 분석기



(b) HP 3562A 동적 신호분석기

그림 5.3 스펙트럼 분석 결과(구형파 20KHz)

Fig 5.3 Result of Spectrum Analysis(Rectangular Wave 20KHz)

표 5.2 스펙트럼분석 결과 비교

Table 5.2 Comparison of Spectrum Analysis

A : VXIbus FFT 분석기(샘플링율 200KHz)  
 B : 3562A 동적 신호분석기(샘플링율 256KHz)

입력신호 : 10kHz(8.0Vpp) (단위 : dBV)

과형		주파수					
		0	10	30	50	70	90
정현파	A	-25	9				
	B	-29	9				
삼각파	A	-25	9	-20	-33	-37	
	B	-25	9	-18	-30	-34	
구형파	A	25	11	8	-11	13	15
	B	25	11	5	8	10	13

입력신호 : 20kHz(8.0Vpp) (단위 : dBV)

과형		주파수			
		0	20	60	100
정현파	A	-25	10		
	B	-29	10		
삼각파	A	-25	10	-20	-27
	D	-29	10	-17	-25
구형파	A	25	11	5	12
	B	25	11	0	-10

입력신호 : 50kHz(8.0Vpp) (단위 : dBV)

과형		주파수	
		0	50
정현파	A	25	10
	B	-29	10

5.3 평가

FFT분석기를 VXIbus디바이스화 함으로써 전원, 냉각팬, 디스플레이등을 다른 계측용 VXIbus디바이스와 공유하게 되어 계측 시스템을 구성할 경우 부피를 크게 줄일 수 있고, PC등의 호스트를 사용해 계측 시스템을 제어하게되어 패널을 없애고 PC의 콘솔, 디스크 등의 자원을 통해 계측, 제어가 가능하다는 장점과 기능이 고정된 계측기가 아닌 응용분야에 따라 계측 시스템을 유연성 있게 변경, 분리, 통합하기가 용이하다는 장점등을 얻을 수 있음을 확인하였다.

N개의 데이터를 수집하는데 걸리는 최소의 시간은 최대 샘플링 레이트인 200ksps로 동작할 경우이며 이를  $\rho$ 로 나타내고, 같은 수의 데이터를 처리하는데 걸리는 시간을  $\mu$ 로 나타낼 경우 FFT 분석 디바이스의 프로세서 활용도(Processor Utilization)은  $\mu/\rho$ 로 주어지며 다섯가지 실험결과에서 모두 1을 넘지않으므로 본 FFT분석 디바이스의 실시간 대역폭은 100kHz라고 말할 수 있다. 그림 5.4는 데이터의 도착율(샘플링율)의 증가에 따른 프로세서 활용도를 시뮬레이션한 예상치와 실제 실험치를 함께 도시한 것이다. 그림에서 프로세서 활용도가 4 $\mu$ S 부근에서 수렴하는 것은 미처 처리되지 못하는 데이터가 발생한다는 것을 보여준다. 따라서 샘플링율은 데이터를 잃어버리지 않고서 최대 250ksps까지 유효할 수 있을 것이다. 그림에서 실험치가 예상치보다 좀더 높게 나타난 것은 인질부턴의 루프 오버헤드 때문이다.

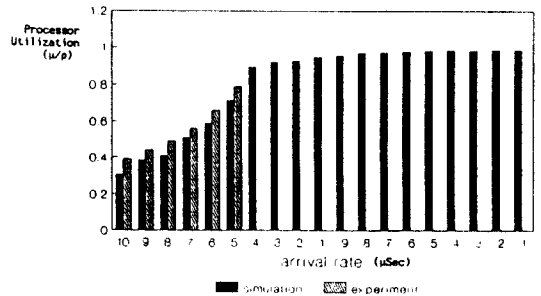


그림 5.4 샘플링 레이트 증가에 따른 프로세서의 활용도  
 Fig 5.4 Processor Utilization according to Sampling Rate Increase

실험결과 100kHz의 실시간 대역폭을 갖추고자 한 경우 신호처리 모듈에서의 연산 및 VXIbus상에서의 데이터 전송등에는 문제가 없었으나, Slot0 자원관리자 모듈에서 PC로 한 프레임의 측정 데이터(2048/2+1개의 부동소수점 실수)를 전송하는데는 9600bps의 직렬통신을 이용하므로  $1025points \times 4bytes/point \times 8bits/byte \times \frac{1}{9600bps} \approx 3.42sec$ 가 걸려 눈에 띄는 속도저하를 가져온다. 이를 GPIB로 대체할 경우 최대 1MB/sec의 전송이 가능하므로  $1025points \times 4bytes \times \frac{1}{1Mbytes/sec} = 0.0041 sec$ 로 속도를 증

가 시킬 수 있다. 다음으로 계측의 속도를 떨어뜨리는 요인은 PC로 전송된 데이터를 디스플레이에 적합한 값으로 변환하고 VGA모니터상에 디스플레이할 때 걸리는 시간으로 별도의 디스플레이 모뎀을 사용함으로써 해소할 수 있을 것이다.

## VI. 결 론

본 논문에서는 FFT분석용 VIXbus 메시지 기반 디바이스(Message Based Device)를 설계하고 구현하였다. GPIB의 호환성과 VMEbus의 고속 데이터 전송의 장점을 살린 VXIbus 메시지 기반 디바이스로 계측기를 구성함으로써 고속의 데이터 전송이 가능하면서 계측기 및 계측 시스템간의 통합이 용이하다는 장점을 지니게 된다. 한편 FFT 분석기는 일반적으로 저주파영역의 분석에 사용되며 고해상도와 고속의 분석이 가능하면서도 저렴한 스펙트럼 분석 장비로 여러가지 다양한 해석방법을 제공해줄 수 있다. VXIbus로 구현할 경우 독립형(stand alone) 계측기보다 제어 및 통합이 용이하고 계측 시스템으로 통합될 경우 부피를 크게 줄일 수 있다.

본 논문에서는 A/D 변환 모듈, 신호처리, 모듈 제어 및 VXIbus 인터페이스모듈을 구성하여 VXIbus 시스템에서의 FFT분석 디바이스를 구현하였으며 VXIbus Slot0 모듈과의 연동 실험을 통하여 PC상에서 주파수 스펙트럼을 성공적으로 측정하고 FFT분석 디바이스를 제어하는 실험을 행하였다. 메시지 기반 디바이스의 단점인 느린 속도를 Slot0 모듈의 공유 메모리에 직접 액세스하는 방법으로 보완하였다. 이는 다른 계측기를 추가하여 계측 시스템을 구성하더라도 그 전체 및 각각을 PC나 기타 호스트를 통하여 손쉽게 제어할 수 있으면서 그와 동시에 고속의 데이터 전송을 보장함을 뜻한다. 본 논문에서 구현된 FFT분석 디바이스는 음성 및 가청 주파수의 해석, 진동 및 서보 평가에 이용될 수 있으며 연산용 디바이스를 추가하여 연산 오버헤드를 분담시키고 디스플레이를 개선한다면 보다 고속의 계측을 실현할 수 있을 것이다. 본 논문에서는 VXIbus 디바이스의 구현이 목적이므로 구현된 FFT분석 디바이스의 SNR에 대한 평가는 이루어지지 않았지만 정밀하게 설계된 A/D변환 모듈을 추가로 사용한다면 높은 SNR을 가지는 고급 계측장비를 구성할 수 있을 것이다.

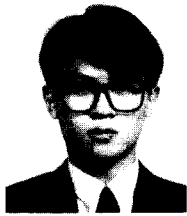
## 참 고 문 헌

1. VXIbus System Specification Revision 1.3 July 14, 1989.
2. Ron Wolfe, "Software communication protocol for VXI and GPIB : Similar but different," *VXI Journal*, November 1990.
3. Hewlett-Packard, "The fundamentals of signal analysis," Hewlett-Packard Application Notes, NO. 243, July, 1991.
4. VMEbus Specification Manual, Rev.B. VMEbus Manufacturers Group. Aug. 1982.
5. Robert J. MATHESON, "Automated Spectrum Analysis," *Proceedings of the IEEE*, VOL.66, NO. 4, pp. 392-402, APRIL 1987.
6. David A. Haworth, "An Architecture for Modular Instruments," Tektronix, 1988.
7. "Applying the VXIbus Architecture," Hewlett-Packard Company.
8. Chris Kelly. John da Cunha, "Register-Based And Message-Based VXIbus Instruments," *VXIbus Compendium of Papers*, Hewlett-Packard.
9. David Harworth, "Using VXIbus : A complete guide to VXIbus systems," Tektronix.
10. John Purvis III, "The Personal Computer as Instrument Controller," *Test & Measurement World*, pp. 42-51, Feb. 1986.
11. Ron Wolfe, "VXI software architecture," *VXI Journal*, July 1990.
12. 김택진, 노승환, 외 3명, "Register Based VXIbus 시스템의 구현에 관한 연구," *한국통신학회논문지*, 제17권, 제11호, 1992, 11.
13. David N. Romalo, Peter E. Dewdney, Mabo R. Ito, Thomas L. Landecker, "An Interface Monitor with Real-Time FFT Spectral Analysis for a Radio Observatory," *IEEE Trans. Instrumentation and Measurement*, VOL. 38, NO. 4, pp. 882-891, AUGUST, 1989.
14. Chris Clayton, James A. McClean, Gregory J. McCarra, "FFT Performance Testing of Data Acquisition Systems," *IEEE Trans. Instrumentation and Measurement*, VOL. IM-35, NO. 2, pp. 212-215, June 1986.

15. "MC68030 Enhanced 32-bit Microprocessor User's Manual," 2nd Edition, Motorola, 1989.  
 16. "Third-Generation TMS320C30 User's Guide," TI, 1991.  
 17. Digital Signal processing Applications with the TMS320 Family, Theory, Algorithms, and Implementations, Texas Instruments.

18. "CAT기술에 관한 연구 제1차 연구보고서," 한국 과학재단, 1991.  
 19. "CAT기술에 관한 연구 제2차 연구보고서," 한국 과학재단, 1992.  
 20. "신호처리 전용 VME보드용 S/W 개발 최종 연구보고서," 한국통신 연구개발단, 1992.

·본 논문은 한국과학재단 연구과제임 90-01-00-14

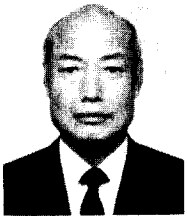


姜 敏 鎬(Min Ho Kang) 正會員  
 1968년 7월 10일생  
 1991년 2월: 고려대학교 전자·전산 공학과 졸업(공학사)  
 1993년 8월: 동대학원 졸업(공학석사)  
 현재: 현대전자 근무  
 ※주관심분야: 컴퓨터구조, 정보통신



盧 承 煥(Soong Hwan Ro) 正會員  
 1962년 8월 19일생  
 1987년 8월: 고려대학교 전자공학과 졸업(공학사)  
 1989년 8월: 동대학원 졸업(공학석사)  
 1993년 8월: 동대학원 졸업(공학박사)

※주관심분야: 정보통신, CAT(Computer Aided Test) 등임.



金 惠 鎭(Duck Jin Kim) 正會員  
 1933년 12월 12일생  
 1957년 2월: 서울대학교 전자공학과(공학사)  
 1962년 1월: 일리노이 공과대학 전자공학과(공학석사)  
 1972년 2월: 고려대학교 전자공학과 공학박사

1967년~1971년: 서울대학교 전자공학과 공학박사  
 1971년~현재: 고려대학교 전자공학과 교수  
 1985년: 대한전자 공학회 회장  
 1990~현재: 고려대학교 정보·통신 기술공동 연구소 소장

田 東 根(Dong Keun Jeon) 正會員  
 1962년 8월 7日生

1986年: 高麗大 電子工學科 卒業  
 1988年: 高麗大 大學院 電子工學科 卒業(工學碩士)  
 1988年~現在: 高麗大 大學院 電子工學科 博士課程

文 大 哲(Tae Cheol Mun) 正회원  
 현재: 호서대학교 정보통신공학과 교수