

동기망에서의 Recovered Clock Jitter와 Bit Leaking 기술

崔 善 學

韓國通信 通信시스템開發센터

1. 머릿말

디지털 전송기술은 광섬유 통신 기술의 도입으로 대용량 정보를 경제적 및 효율적으로 전송할 수 있는 획기적 발전을 하였다. 그러나 디지털 전송의 성능에 중요하게 미치는 요인이 지터인데 이 지터는 전송에러의 증가, 디지털 신호를 아날로그 신호로의 재생시 성능 저하, 신호의 슬립 현상등 품질 저하를 초래하기 때문에 고품질 통신망을 위해 지터를 감소시키는 것은 필수적이다. 지터는 신호재생을 위한 클럭추출, 동기/역동기를 위한 버퍼단수, PLL(Phase Locked Loop) 특성, 위치맞춤의 형태 등에 중요한 영향을 미친다.

비동기 신호들을 동기신호로 다중화할 때 읽기클럭과 쓰기클럭의 차를 보상하기위해 스테핑 비트를 이용하여 위치맞춤을 조정한다. 이때 위치맞춤 요구가 발생하고 난 후 실제 위치맞춤이 조정될 때까지 지연시간(Waiting Time)이 걸린다. 이 지연시간에 의하여 스테핑 비트 발생에 조금씩 변동이 일어나는데, 이 지연시간의 저주파 변동 성분을 웨이팅타임지터(WTJ : Waiting Time Jitter)라고 한다. 비동기 계위 (PDH : Plesiochronous Digital Hierarchy)에서는 이것을 감소시키기 위해 강제 스테핑의 하나인 π 스테핑(Positive Stuffing) 방법을 이용한다.^[1] 역다중화에서는 스테핑 비트 위치를 판단하여 순수정보인가 또는 스테핑 비트인가에 따라서 이것을 제거시키는데, 이때 고주파 성분의 지터뿐만 아니라 저주파 성분의 WTJ가 발생한다. 고주파 성분은 수신단 PLL의 LPF 특성을 이용하여 쉽게 제거가 된다. 그러나 저주파 성분을 제거하는 것은 쉽지 않다. 그래

서 위치맞춤 조정을 할 때 스테핑비율, 위치맞춤 속도, 버퍼 단수등을 조정하여 최소 WTJ가 발생하도록 하는 것이 중요하며, 또한 갑작스런 주파수 변동과 같은 것은 탄성버퍼(Elastic Store)에서 충분히 흡수될 수 있도록 해야한다.

SDH(Synchronous Digital Hierarchy)에서는 동기방식의 특성상 WTJ가 크게 생기므로 이 WTJ를 최소화 하는 것이 중요하며, SDH에서 권고되는 지터허용한도, 지터전달특성, 출력지터 크기의 기준치는 국제 표준으로 제시되어 있다.^[2] SDH에서는 전송망 노드에서 동기 클럭의 성능저하 또는 상실시 전송신호의 손실을 방지하기 위해 신호간의 클럭차를 포인터 조정이라고 하는 동기기법을 이용하여 보상하며, 이것은 또한 역다중화된 종속신호의 지터 크기에 큰 영향을 미친다.^[3]

STM-1 프레임 구조에서 비동기신호인 DS_n의 종속신호들은 VC_n으로 매핑되고 이 VC_n 신호들은 TU/AU 포인터의 지시에 의해 STM-1 페이로드에 배열된다. 각각의 전송망 노드의 클럭이 동기 되어 있지 않을때 이것은 바이트 단위로 계수되는 포인터 조정에 의해 보상된다. 이때 바이트 단위의 정/부 스테핑 기법이 이용되는데 이 바이트 단위의 스테핑은 수신측의 종속신호에 8UI (Unit Interval) 크기의 포인터조정지터로 나타난다. 이 8UI의 포인터조정지터는 너무 커서 처리가 곤란하므로 시간에 걸쳐서 1UI의 단위로 누출시켜서, 종속신호의 수신단 PLL의 LPF 특성을 사용하여 1UI 이하의 지터로 줄여야 한다. 임의로 발생하는 정/부 스테핑 처리과정에서 8UI의 포인터조정지터를 시간에 걸쳐서 1UI의 단위로 효과적으로 누출시키는 방법이 비트리킹(Bit Leaking)이라 불린다.

이 글에서는 동기식 전송의 다중화 과정에서 발생하는 WTJ와 포인터조정지터를 최소화 하는 기술을 논의한다.

Ⅱ. 동기식 다중화

SDH의 기본 신호인 STM-1신호의 프레임 구조는 바이트 단위의 9행×270열의 정방형 구조를 가지며 125μs (8KHz)의 프레임 주기를 가진다. STM-1은 구간오버헤드(SOH)와 페이로드로 구성되는데, 이 STM-1 신호는 N개의 STM-1 신호를 단순히 바이트 인터리빙 함으로써 쉽게 더 높은 계위의 STM-N 신호로 다중화 될 수 있다. 이 STM-1 신호를 형성하기 위해 기존의 비동기신호(DS1, DS2, DS3)인 종속신호들을 동기식 구조의 페이로드내에 있는 가상 컨테이너에 사상하여 포인터 처리한 후 다중화를 하여 STM-1 신호를 형성한다.

이 비동기신호들은 C(Container), VC(Virtual Container), TU(Tributary Unit), AU(Administration Unit)등 다중 요소들을 단계적으로 거쳐 STM-1 신호로 형성된다. 즉, DS1 신호(1.544Mbps, 2.048Mbps)는 고정 스테핑 비트 및 제어용 오버헤드 비트를 부가하여 C1n (n=1, 2) 신호로 사상을 하고, 여기에 경로 오버헤드(POH)를 첨가시켜 VC1n (n=1, 2)를 형성시킨 후, 이 신호를 다시 TU1n(n=1, 2) 신호로 정렬시켜 이것을 4(3)개 다중화 하여 TUG(Tributary Unit Group) 신호를 형성한다. 이 TUG 신호를 7개 다중화 하여 VC32 신호로 형성시킨 후, 이것을 AU 포인터 처리하고 구간 오버헤드(SOH)를 삽입하여 STM-1 신호를 형성한다. 이것의 역과정을 거침으로써 STM-1 신호로부터 DS1 신호를 추출할 수 있다.

여기에서 종속신호를 다중화 할때 각 다중요소들을 거침으로써 STM-1 신호를 형성하는데 있어서 컨테이너 신호속도는 종속신호 속도보다 높기 때문에 비동기식 다중화에서처럼 비트스텹핑을 함으로써 속도를 맞춘다. 비트스텹핑을 할때 앞에서 언급한 클럭의 저주파 변동을 일으키는 WTJ가 발생되는데, 이것은 종속신호의 수신단 PLL에서 쉽게 제거되지 않는다. 그래서 WTJ 를 감소시키는 여러가지의 방법이 제시되었으며 [6, 7, 8, 9, 10], Ⅲ장에서 이 WTJ 감소방법을

논의한다.

SDH에서는 종속신호의 동기 뿐만 아니라 망동기의 성능저하에 따른 전송신호의 손실을 방지하기 위해 포인터 동기기법을 이용한다. 즉, 각 노드간의 클럭차를 포인터 조정에 의해 보상할 수 있다. 전송망 노드간에 독립된 클럭을 이용될 경우 STM-1내의 VCn 신호의 클럭차는 바이트 단위로 계수되는 포인터 값의 조정에 의해 보상되며, 이 포인터 조정에 정/부 스테핑 기법이 이용되는데, 이때 바이트 단위로 스테핑 처리된 클럭때문에 역동기화기에서 DSn 종속신호상에 8UI의 포인터조정지터가 발생한다. 이 바이트 단위로 생기는 포인터조정지터 성분을 감소시키기 위하여 앞에서 언급한 비트리킹(Bit Leaking) 기법을 이용한다. 즉, 비트리킹은 바이트 단위의 클럭을 비트단위로 누출시켜 처리하는 것이며, 이것의 상세한 설명은 Ⅳ장에서 논의한다.

Ⅲ. 웨이팅타임지터

종속신호의 수신단에서 스테핑 비트를 제거할 때 발생하는 지터는 거의 주기적으로 스테핑이 발생되는 것에 따른 고주파 성분과, 그 주기성이 불규칙하게 느린속도로 변화하는데 따른 저주파 성분을 가진다. 그림1에서 보듯이 동기화기에서 스테핑을 할때는 역동기화기에서 스테핑 비트를 쉽게 제거할 수 있도록 하기위해 스테핑은 각 프레임의 지정된 위치에서 발생하도록 한다. 따라서 실제 읽기클럭과 쓰기클럭 차이에 의해 스테핑 요구가 발생할 때와 정작 스테핑이 일어나는 시간에는 차이가 난다. 즉, 스테핑 요구와 스테핑이 이행될 때까지 지연시간이 있는데, 이 지연시간의 변화가 WTJ라는 저주파 성분을 발생시킨다. 펄스 스테핑 기법에는 正 스테핑 방식과 否 스테핑 방식이 있다. 위치맞춤을 수행할 때 쓰기클럭이 읽기클럭보다 빠르다면 오버헤드 위치에 정보가 실리는 否 스테핑 방식을 수행하며, 반대로 읽기클럭이 쓰기클럭보다 빠르다면 正 스테핑 방식을 사용한다.

이와같이 스테핑에 따라 발생하는 WTJ의 도형적 해석을 그림2에서 보여주며, 이에대한 해석은 아래와 같다.

$$e_{WT}(t_i) + (f_r - f_{nom})t_{thr,i} = 1$$

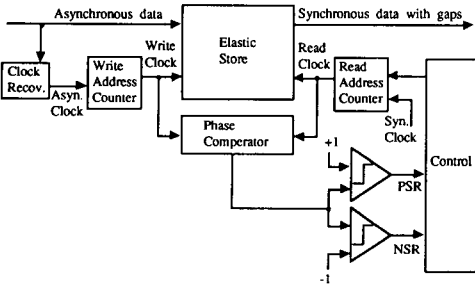


그림 1. 동기화기의 기능 블록도

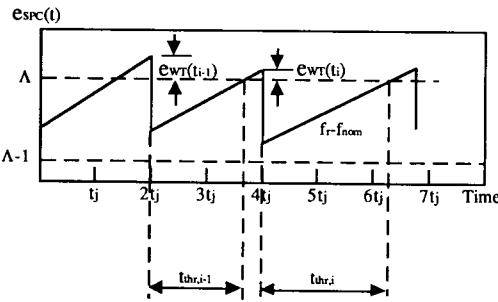


그림 2. 시간에 대한 웨이팅타임지터

읽기클럭과 쓰기클럭의 주파수 차는 공칭 위치맞춤 비로 나타낼 수 있다. 공칭 위치맞춤비 ρ 는 공칭 위치맞춤속도 $f_{j,nom}$ 과 최대 위치맞춤속도 $f_{j,max}$ 의 비로 정의 된다. 이것을 수식적으로 살펴보면

$$\rho = \frac{f_{j,nom}}{f_{j,max}} = \frac{f_r - f_{nom}}{f_{j,max}}$$

표시될 수 있다. 여기서

$e_{spc}(t)$: 동기화기의 위상 비교기 출력

$t_{thr,i}$: i 번째 위치맞춤 요구와 i 번째 위치맞춤 결정 쓰레솔드 사이의 시간

f_r : 평균읽기 클럭

$e_{wr}(t_i)$: 시간에 대한 위상 편이

Λ : 위치맞춤 결정 쓰레솔드

t_j : 위치맞춤 요구사이의 시간

이다. 위치맞춤 요구가 발생한 후부터 또 다른 위치맞춤 요구가 발생할 때까지의 위상변화는 아래와 같다.

$$e_{wr}(t_{i-1}) + (f_r - f_{nom})nt_j = e_{wr}(t_i) + 1$$

여기서 nt_j 는 $(i-1)$ 번째 스테핑이 일어난 시점에서

i 번째 스테핑이 일어난 시점까지의 시간이다. 그림 2의 경우 $n=2$ 가 된다.

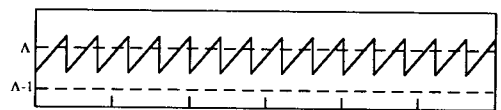
위치맞춤비가 분수라고 가정하면

$$\rho = \frac{1}{j} = \frac{f_r - f_{nom}}{f_{j,max}} = (f_r - f_{nom})t_j$$

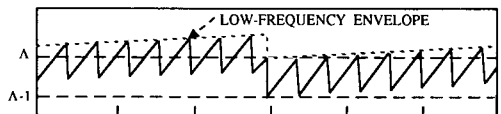
이다. 위 식을 이용하여 다시 써 보면 아래와 같다.

$$e_{wr}(t_{i-1}) + \frac{1}{j} \cdot n = e_{wr}(t_i) + 1$$

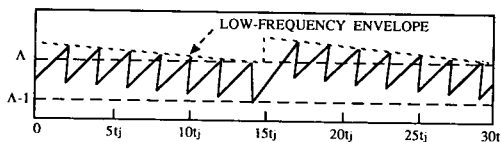
공칭 위치 맞춤비가 정확히 $1/j$ 이라면(j 는 2이상의 정수) 위치 조정은 매 j 번째 발생한다. 따라서 그림3의 (a)처럼 주기적인 고주파 성분만 발생하고 저주파 성분의 WTJ는 발생하지 않는다. 그리고 주기적인 고주파 성분의 지터는 역동기화기 PLL의 저역 통과필터(LPF)의 특성에 의해 쉽게 제거된다. 만약 ρ 가 $1/j$ 보다 약간 크거나 작으면 WTJ인 저주파 성분이 발생한다. 그림3의 (b), (c)는 이 저주파 성분의 WTJ를 보여준다. 즉, WTJ는 공칭위치 맞춤비 ρ 가 분수에서 벗어날때 생기며, 실제상황에서 입력 클럭은 수시로 변하므로 공칭맞춤비 ρ 가 정확히 분수가 될수는 없고, 따라서 WTJ는 거의 언제나 생긴다. 이 WTJ의 최대진폭은 최대 주파수 차이($f_r - f_{nom}$)에 시간(t_j)을 곱한 것과 같다.



(a) $\rho = 1/2$



(b) $\rho = 1/2 + \Delta$



(c) $\rho = 1/2 - \Delta$

그림 3. 위상비교기 출력에 의한 WTJ의 발생

WTJ를 분석하기 위해서는 시간영역과 주파수영역 둘다 특성을 알아보아야 한다. 주파수영역에서는 지터 전력 스펙트럼 밀도를 분석해야 하고, 시간영역에서는 지터 진폭의 크기를 분석해야 한다. WTJ의 감소 방법으로는 정/부 스테핑의 쓰레숄드 변조(threshold modulation) 방법과 강제 스테핑(forced stuffing) 방법이 있다.^[7, 8] 이와같은 방법이 WTJ를 감소하는데 있어서 충분하지 않기 때문에 동기화기에서 시그마델타 변조(SDM)의 고차 필터방식을 이용하는 방법이 제안되었다.^[10]

일반적인 시그마델타 변조 시스템의 기본 블럭도는 그림4와 같다. 여기서 Q는 제한된 스텝수를 가지는 양자화기이다.

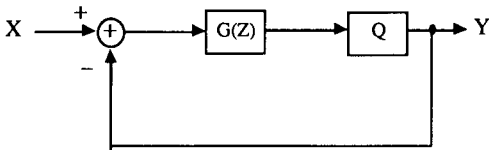


그림 4. SDM의 기본블럭도

이것의 전달함수는 다음 식으로 표시될 수 있다.

$$Y(z) = F_x(z)X(z) + F_e(z)E(z)$$

여기에서

$$F_x(z) = \frac{G(z)}{1+G(z)}$$

$$F_e(z) = \frac{1}{1+G(z)}$$

이며 E(z)는 양자화기 Q의 양자화 잡음을 표시한다.

만약 여기에서 G(z)가 적분의 역할을 한다면 그림 5와 같이 되고, 따라서

$$F_x(z) = z^{-1}$$

$$F_e(z) = (1 - z^{-1})$$

이 되어

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z)$$

가 된다. 여기에서 F_E(z)는 저주파수에서 잡음을 억제하는 고역통과필터이며, z⁻¹는 신호특성이 변화하

지 않는 단순 지연을 나타낸다. 그림5에서 LPF는 중속신호 수신단 PLL의 LPF를 나타낸다.

정/부 스테핑 방식은 그림 5에 보여주는 1차 SDM의 개념과 거의 동일하며, 여기에서 WTJ는 양자화기 Q에 의한 양자화 잡음 F_E(z)E(z)가 LPF를 통과한 성분으로 간주할 수 있다. SDM에서는 출력 양자화 잡음을 최소화 하기위하여 적분기와 양자화기 사이에 필터를 넣는다. 동일한 개념을 정/부 스테핑에도 도입하여 그림6에서 보듯이 필터 F(x)를 추가함으로 WTJ를 줄일 수 있다.^[9, 10]

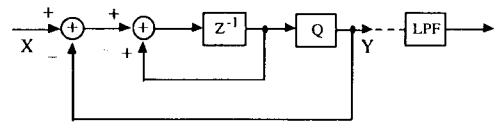


그림 5. 1차 SDM의 기본 블럭도

이때 그림 6의 적분기의 일반적인 해상도가 1UI (즉, 탄생버퍼의 읽는위치와 쓰는위치의 차이에 대한 해상도)이기 때문에 그 해상도를 1UI이하로 낮추기 위하여 AD 변환기를 추가하였고, 이 AD변환기는 그 해상도를 1UI보다 충분히 세밀한 해상도를 가지는 것으로 간주한다. 이 경우 전체 전달함수는

$$Y(z) = F_x(z)X(z) + F_A(z)A(z) + F_e(z)E(z)$$

가 되며 이때 A(z)는 AD 변환기의 양자화 잡음을 표시하며, 이것의 크기는 E(z)에 비하여 무시할 수 있다고 가정한다. 그러면

$$F_x(z) = \frac{G(z)F(z)}{1+G(z)F(z)}$$

$$F_A(z) = \frac{F(z)}{1+G(z)F(z)}$$

$$F_e(z) = \frac{1}{1+G(z)F(z)}$$

여기에서 G(z)는 그림5의 경우에서처럼

$$G(z) = \frac{z^{-1}}{1 - z^{-1}}$$

이며, F(z)를 적당히 선택함으로써 F_E(z)가 고차의 HPF인

$$F_e(z) = (1 - z^{-1})^n$$

되게 만들수 있다. 앞에서 보듯이 $F(z)$ 가 없으면 $n=1$, $F(z)$ 를 1차 LPF로 적당히 선택하면 $n=2$, $F(z)$ 를 2차 LPF로 적당히 선택함으로써 $n=3$ 으로 만들수 있으며, 그때 $F(z)$ 는

$$F(z) = \frac{1}{G(z)} \left(\frac{1}{F_e(z)} - 1 \right) = \frac{1-z^{-1}}{z^{-1}} \left(\frac{1}{(1-z^{-1})^n} - 1 \right)$$

로 구할수 있다.

이렇게 함으로써 양자기 Q에 의한 양자화 잡음인 WTJ를 동기화기에서 높은 차수의 HPF인 $F(z)$ 를 사용하여 저주파성분을 줄임으로써, 수신단의 LPF를 통과하는 WTJ를 감소시킬수 있다. 이 방법의 문제점은 높은 해상도를 가지는 AD 변환기의 구현에 있다.

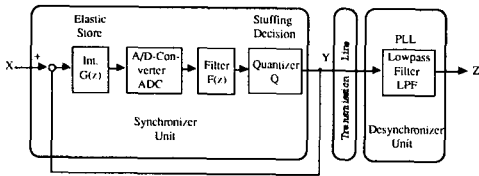


그림 6. SDM의 스테핑/디스테핑 블록도

IV. Bit Leaking

SDH신호에서 다중신호 프레임의 동기를 위해서 포인터 동기기법을 사용한다. DS_n의 종속신호는 VC_n으로 사상되고, 이 신호는 다시 상위레벨로 다중화될 때 STM-1 프레임내의 TU 및 AU 포인터에 의해 VC_n의 시작점이 지정된다. STM-1 신호 내의 VC_n 신호가 또 다른 STM-1신호로 다중화될 때, 초기 VC_n 신호 형성시의 STM-1 신호 클럭과 동기되어 있지 않으면 그 두 클럭의 차는 바이트 단위로 계수되는 포인터 값의 조정에 의해서 보상된다. 즉, 바이트 단위의 정/부 스테핑 기법을 사용한다. 바이트 단위로 스테핑 처리된 클럭을 수신측 탄성버퍼의 읽기클럭으로 사용하면 수신측의 해당 DS_n 종속신호에 8UI의 지터를 발생시키게 된다. 이러한 지터를 감소시키기 위하여 바이트 단위로 처리된 클럭을 비트단위로 누출시켜 처리하는 비트리킹 기법을 이용한다. [4, 5, 11]

포인터 해석부로부터 포인터 조정이 발생되어 스테

핑 제어 요구가 수신되면 바이트 단위로 스테핑을 직접 처리함으로써 생기는 8UI의 포인터조정지터를 줄이기 위한 비트리킹 기법에서는 8UI의 지터 성분을 1UI 이하로 감쇄시키기 위해 8분주한 동일한 간격으로 한비트 단위로 여덟번 밀거나(lag) 당겨서(lead) 누출한다. 따라서 한번 바이트 스테핑이 발생할때 비트리킹은 8배 높은 주파수의 지터를 1/8의 낮은 크기의 지터로 바꾸어, 이것이 쉽게 수신단 PLL회로의 LPF에서 감쇄되도록 한다. 이 비트리킹 처리도는 그림 7에서 보여준다.

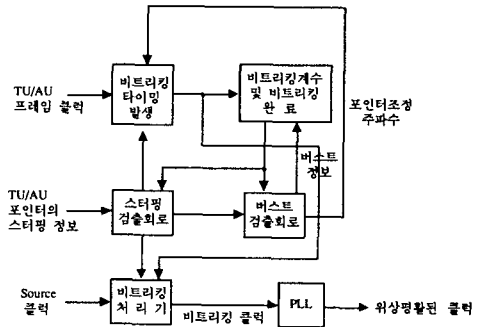


그림 7. 비트리킹 처리도

비트리킹 처리부의 기능을 세부적으로 나열하면 비트리킹 타이밍발생기, 비트리킹 계수기, 스테핑 및 버스트(Burst) 검출기, 비트리킹 처리기 등으로 구성된다.

STM-N신호로부터 추출된 AU/TU 포인터와 해당 프레임 클럭을 수신하여 포인터 조정여부를 검출한다. 스테핑 제어신호 발생시 비트리킹 간격을 산출하며, 이 간격을 주기로 비트리킹 처리기에서 1UI의 단위로 정/부 클럭조정을 한다. 이때, 비트리킹 요구신호가 없을경우 8분주한 클럭을 출력시키고, 비트리킹 요구신호가 있을때 정스테핑 조정 요구일 경우 9분주한 클럭으로 한비트를 미는 비트리킹이 이루어지고, 쯤스테핑 조정 요구일 경우 7분주를 수행해 한비트를 당기는 비트리킹이 발생된다. 그리고 비트리킹이 진행중일때 또다른 스테핑 요구가 생기는 버스트 현상이 발생하는 동일극성으로 발생하는 동종 버스트와 다른극성으로 발생하는 이종 버스트는 버스트 처리 알고리즘 [11]에 의해 리킹 횟수를 재산출하여 비트리킹 간격을 조정한다. 이렇게 조정된 값을 처리함으로써 포인터조정지터를 1UI 이하로 줄일수 있다.

V. 끝맺음말

디지를 전송망에서 큰 영향을 미치는 것이 지터이다. 이 지터는 전송에러 발생, 디지털 신호를 아날로그 신호로의 재생시 성능저하, 버퍼의 슬립발생 등 시스템의 품질저하의 요인이 된다. 지터는 디지털 전송망에서 중계기에 의한것과 다중장치에 의한것이 있고, 동기식 전송망에서는 비동기된 클럭을 보상하여 동기를 맞추는 포인터 조정에 의한 것이있다.

이 글에서는 동기식 전송장치에서 비동기식 전송신호를 사상 및 다중화할 때 발생하는 WTJ와 비동기된 클럭을 보상하기 위해 포인터를 조정할때 발생하는 포인터조정지터에 관해 알아보고, 이것을 최소화하기위한 방법을 논의하였다. 동기식 전송망의 전체 지터를 최소화 시키기 위해서는 WTJ를 감소시키는 동기화방법, 포인터 조정주파수, 클럭 정확도, PLL 특성, 버퍼사이즈, 바이트 조정시에 생성되는 지터 등을 종합적으로 고려하여 동기화기 및 역동기화기를 설계하여야 한다.

고마움의 말

이 글을 읽고 수정해 주신 최두환 박사님께 감사드립니다.

參考文獻

- [1] PATRICK R. TRISCHITTA, ELE L. VARMA, "Jitter in Digital Transmission Systems", pp. 103-139.
- [2] CCITT Draft Recommendation G.783, "Characteristics of Synchronous Digital

Hierarchy Equipment Functional Blocks", May, 1992.

- [3] CCITT Recommendation G.709, "Synchronous Multiplexing Structure", Blue Book, 1989.
- [4] 이창기 외, "SDH시스템에서의 포인터조정지터 감소 알고리즘 및 성능 연구", TM 92-97, ETRI, 4, 1992.
- [5] 고제수 외, "동기식 다중시스템 구현", 전자통신 특집, ETRI, 제14권 2호, 7, 1992.
- [6] DUTTWEILER, D. L : "Wating Time Jitter", Bell Sys. Tech. J., 1972, 51, (1), pp. 105-207.
- [7] CHOI, D. : "Wating Time Jtter Reduction", *IEEE Tr. on Commun.*, 1989, 37, (11), pp. 1231-1236.
- [8] GROVER, W. D., MOORE, T. E., and MCEACHERN, J. A., "Wating Time Jitter Reduction by Synchronizer Stuff Threshold Modulation", 1987, GLOBE-COM, 13, 7.1-13. 7. 5, pp. 514-518.
- [9] CANDY J. C. and BENJAMIN O. J. : "The Structure of Quantization Noise from Sigma-delta Modulation" *IEEE Transactions on Communcation*, 29, (9), 1981, pp. 1316-1323.
- [10] R. Nawrocki, J. YU : "Wating Time Jitter Reduction by High-Order Filtering", Dept. of EE, King's College University of London, U. K., Submitted for IEEE Tr. on Commun.
- [11] SONET Desynchronizer Issues : Output Jitter Attenuation for Single and Double Pointer Adjustments, Contribution to T1 standards project-T1X1.6, AUG, 1988. Ⓢ

筆者紹介



崔善學

1962年 4月 18日生

1985年 2月 동아대학교 전자공학과

1987年 2月 동아대학교 대학원 전자공학과(석사)

1990年 5月 ~ 현재 한국통신 통신시스템개발센터 접속기술실, 전임연구원

주관심분야: 전송시스템