

컴퓨터 시스템 버스 기술 동향

柳 大 運

(株)金星社 情報技術研究所

I. 서론

다수의 보드 또는 모듈로 구성된 컴퓨터 시스템에서 버스는 데이터 및 메시지의 전송을 위하여 가장 널리 이용되고 있는 방식이다.

컴퓨터 시스템은 기능, 성능 및 사용 목적에 따라 PC로부터 슈퍼컴퓨터에 이르기까지 다양하게 분류된다. PC의 경우는 I/O 확장 버스로서 ISA, EISA, MCA 등이 있으며, Workstation 분야에서는 산업 표준이라 할 만한 버스를 채택한 시스템은 거의 없고, 각사에서 독자적으로 개발한 버스를 사용하고 있으며, I/O 확장 버스에 있어서만 Sun Microsystems사의 SBus와 같이 비교적 여러 업체들이 지원하는 경우가 있는 정도이다. 서버 및 슈퍼마이크로 컴퓨터 시스템에 있어서는 산업 표준 버스인 VMEbus 또는 Multibus를 시스템 버스로 적용한 시스템과 독자 버스를 적용한 시스템이 공존하고 있다. 그리고 이 이상급의 컴퓨터 시스템의 경우에는 거의 모든 제품들이 각사의 독자 버스를 적용하고 있으며, 슈퍼미니급 컴퓨터 시스템에서는 VMEbus 등의 산업 표준 버스를 I/O 버스로 채택하고 있기도 하다.

여기에서는 IEEE에서 표준으로 채택하였거나 또는 표준화 작업을 진행하고 있는 내용을 중심으로 버스 관련한 기술적 사항의 발전을 살펴본다. 2장에서는 중형급 컴퓨터 시스템의 시스템 버스 또는 I/O 버스로 널리 채택되고 있는 VMEbus에 대한 고찰을 통하여 마이크로프로세서 및 컴퓨터 시스템의 발전과 시스템 버스 발전의 상호 연관 관계를 살펴본 후, 3장에서 향후의 산업 표준 버스로서 주목받고 있는

Futurebus+에 대하여 고찰하고, 끝으로 4장에서 버스 구조 이외의 또다른 데이터 전송 방식으로서 현재 업계의 관심을 끌고 있는 일대일 전송 방식에 대하여 알아본다.

II. VMEbus

1. VMEbus 개요

버스는 데이터 및 메시지의 전송 통로이기 때문에 이의 발달과 마이크로프로세서 등 반도체 소자의 발달은 상호 밀접한 관계가 있다. 1970년대 말 32-bit 마이크로프로세서의 출현과 함께 이에 적합한 전송 능력을 갖는 산업 표준 버스를 새로이 개발하고자 하는 움직임이 있었고, 이에 따라 1979년 IEEE에 P896 Committee가 결성되어 여기에서 Versa Bus를 발표하였다.

VMEbus는 이 Versa Bus에 Eurocard Package Format을 적용하여 1981년 Revision A를 발표하였다. VMEbus는 처음 발표 당시 32-bit 마이크로프로세서를 목표로 하여 산업 표준화한 32-bit 버스이며, 현재 적용되고 있는 것은 Revision C.1 (IEEE Std P1014-1987)이다.

VMEbus의 특징은 다음과 같다.

- o 32-bit 어드레스
- o 32-bit 데이터
- o Non-multiplexed 어드레스/데이터
- o 비동기 전송 방식
- o 최대 전송 속도 : 40 MB/sec
- o 데이터 전송 단위 : 1 - 256 byte
- o 인터럽트 : 7 단계 우선 순위 방식

o 버스 중재 : 4 단계 우선 순위/라운드 로빈
 최근에는 마이크로프로세서 및 메모리 소자들의 팔
 목할 만한 성장에 따라 시스템 버스가 전체 컴퓨터
 시스템 성능 향상의 병목 요인이 되고, 마이크로프로
 세서의 경우 64-bit의 데이터 폭을 가지며 성능 또한
 대폭 향상되어 감에 따라 VMEbus에 있어서도 실질
 적인 전송 능력을 향상시킴으로써 이에 대처해 나가
 고자 하는 노력이 진행되고 있다.

2. VME64와 VME64 Extensions

기존의 VMEbus의 성능 개선을 위한 새로운 표준
 화 방안으로는 크게 VME64와 VME64 Exten-
 sions의 두가지가 제안되고 있다. VME64는 기본적
 으로 기존의 VMEbus와 호환성이 있으며, VME64
 에 새로이 추가된 기능으로는 어드레스/데이터의 64-
 bit로의 확장 외에도 Deadlock Retry, Locking 지
 원, MBLT(Multiplexed Block Transfer), Auto
 Slot ID 지원 기능 등이 있다. VME64는 이와 같이
 마이크로프로세서 등 반도체 소자의 발달과 컴퓨터
 시스템의 Multiprocessor화 등의 추세에 따라 기존
 VMEbus의 성능 향상 뿐만 아니라 다양한 기능을
 추가 정의함으로써 향후의 시스템 버스로서의 모습을
 갖추고 있다. VMEbus와 VME64와의 비교는 <표
 1>에 나타나 있다.

표 1. VMEbus와 VME64의 비교

항 목	VME bus	VME 64
•어드레스	16/24/32	16/24/32+40/64
•데이터	8/16/24/32	8/16/24/32+64
•A/D Mux	No	Yes
•전송 방식	Async.	Async+Sync
•전송 속도	40 MB/sec	80 MB/sec
•블록 전송	1-256 Bytes	1-256 Xfers
•Dead Lock Retry	No	Yes
•Busy Retry	No	Yes
•Lock Cycle	No	Yes
•Auto Slot ID	No	Yes
•Auto Syscon 감지	No	Yes
•Rescinding DTACK *	No	Yes

VMEbus 개선의 또다른 방향은 VME64 Exten-
 sions로서 여기에서는 VME64보다 좀 더 다양한 기

능을 정의하고 있다. VME64 Extensions의 추가
 기능으로는 SSBLT(Source Synchronous Block
 Transfer), ETL(Enhanced Transceiver Logic),
 3.3V 전원, Live Insertion 등이 있으며, VME64
 Extensions의 최대 전송 능력은 160MB/ sec이다.
 VMEbus와 VME64 Extensions와의 상세 비교는
 <표2>에 나타나 있다.

표 2. VMEbus와 VME64 Extensions의 비교

항 목	VME bus	VME 64 Ext
•어드레스	16/24/32	16/24/32+40/64
•데이터	8/16/24/32	8/16/24/32+64
•A/D Mux	No	Yes
•전송 방식	Async.	Async+Sync
•전송 속도	40 MB/sec	160 MB/sec
•블록 전송	1-256 Bytes	1-256 Xfers
•Device	TTL	ETL
•P0/J/ Conn.	No	Yes
•3.3V전원	No	Yes
•Live Insertion	No	Yes
•P1394 Serial Bus 지원	No	Yes
•Parity	No	Yes

3. VMEbus의 전망

VMEbus는 성능과 기능의 확장 가능성과 다양한
 기능, 명확한 사양 정의, 그리고 32-bit 마이크로프
 로세서와의 유연한 접속 등의 장점으로 인하여 많은
 업체들의 지원을 받는 산업 표준 버스로서 자리잡고
 있다.

향후에도 VMEbus는 앞에서 설명한 바와 같이 성
 능 및 기능이 개선되어 가면서 당분간은 대표적 산업
 표준 버스로서 중형 컴퓨터의 시스템 버스로 계속 적
 용될 것으로 보이며, 다음 장에서 언급할 Future-
 bus+가 점차 보급되어 감에 따라 상위 컴퓨터 시스템
 에서는 I/O 전용 버스로서 그 역할이 바뀌어갈 것으
 로 예상된다.

III. Futurebus+

1. Futurebus+ 개요

중형급 이상의 컴퓨터 시스템은 보통 다수의 모듈

로 구성되며, 이들간의 데이터 또는 메시지의 전송 속도는 전체 시스템의 성능에 지대한 영향을 미치게 된다. 일반적으로 버스를 선정하거나 개발할 때 고려할 사항은 다음과 같다.

- o 마이크로프로세서 및 Technology 의존성
- o 전송 방식
- o 전송 속도
- o 데이터 폭의 확장성
- o Cache Coherence 지원 여부
- o Live Insertion 지원 여부

Futurebus+는 이러한 모든 점을 고려하여 개발되었으며, 특정 마이크로프로세서에 의존적이지 않고, 다양한 수준의 성능 및 기능을 구현하면서도 동일 Profile 내에서는 상호 호환이 가능한 확장성을 제공하며, 향후 충분한 기간동안 수명을 유지할 차세대 버스로서 주목을 받고 있다.

Futurebus+는 1979년 32-bit 마이크로프로세서의 출현과 함께 이에 대응하는 새로운 버스를 개발하고자 구성된 IEEE P896 Committee로부터 연유한다. 이 IEEE P896 Committee는, 후에 VMEbus의 전기적 사양의 근간이 되는 Versa Bus를 발표하였으며, 1982년 특정 마이크로프로세서에 의존적이지 않으면서 Cache Coherence, Bus Repeater 등을 고려한 32-bit 버스의 개발을 목적으로 Futurebus Committee로 전환되었다. 이 Committee는 1986년 하드웨어와 시간 규격을 정의한 IEEE Std 896.1을 발표하였으나 VITA(VMEbus International Trade Association)와 MMG(Multibus Manufacturers Group)로 대변되는 VMEbus와 Multi-bus를 지원하는 업체들이 적극적으로 지원하지 않아 이 Futurebus는 당시 거의 채택되지 못하였다.

그 후 IEEE내에서 버스에 관련된 Committee가 Futurebus Committee에 통합되었고, VITA와 MMG도 여기에 참여함으로써 컴퓨터 관련 업체들의 광범위한 관심과 지원하에 데이터 전송 방식, 버스 폭, 버스 속도, 물리적 연결 등에 관하여 새롭게 정의한 버스 규격을 작성하게 되었고, 이와 함께 버스의 전체적인 사양을 재정리하여 Futurebus+를 발표하게 되었다.

2. Futurebus+의 특징

Futurebus+는 현재 컴퓨터 시스템에서 적용하고

있는 다양한 기술을 지원하면서도 향후 충분한 기간 동안 버스로서의 수명을 유지할 수 있도록 사양이 정의되어 있으며, 그 주요 특징은 다음과 같다.

1) 확장성

Futurebus+는 64-bit 데이터 폭을 중심으로 32, 128, 256-bit 까지 지원한다. 전송 방식은 향후 관련 소자의 발달에 따라 전송 능력이 증가할 수 있도록 규정되어 있으며, Backplane의 최대 길이에 따라 전송 능력이 적절하게 결정된다. Futurebus+는 계층적 공유 메모리 구조를 지원함으로써 한 시스템 내에 다수의 Backplane을 구성할 수 있도록 한다. 또한 Futurebus+는 다양한 Profile을 정의하여, 컴퓨터 시스템의 응용 분야 및 목표 성능에 따라 이에 적합한 Profile을 채택함으로써 적정 비용의 보드 또는 시스템을 구현하면서도 상호 호환이 가능한 구조를 제공한다.

2) 실시간 시스템 지원

Futurebus+는 높은 전송 능력에 의하여 실시간 시스템에 적용될 경우 응답 시간의 한계치를 만족시킬 수 있으며, 우선 순위 중재 방식과 공정 중재 방식의 두가지를 모두 지원하므로 이들의 조합에 의하여 실시간 시스템의 구현을 용이하게 할 수 있다. 또한 Preemption 기능을 제공함으로써 낮은 우선 순위의 작업도 일정 시간 내에 처리될 수 있는 방법을 제공한다.

3) Fault Tolerant 시스템 지원

Futurebus+의 모든 Information과 Command는 패리티에 의하여 오류 여부의 확인이 가능하고, 오류가 검출됐을 때 버스 동작 중 어느 부분에서 오류가 발생했는지를 알 수 있는 기능을 제공한다. 또한 Profile에 따라서는 SECEDED(Single Error Correct Double Error Detect) 기능 및 전송 확인 절차를 정의하고 있다. 그리고 교환기, बैं킹 시스템, 군용 장비, 데이터 베이스 서버 등 Fault Tolerant 또는 Non-Stop 시스템의 시장이 확대되어감에 따라 이에 대한 지원을 위하여 Live Insertion 기능을 정의한 Profile도 있다.

4) BTL(Bus Transceiver Logic)

버스의 최대 전송 속도는 전송 방식이나 규약등의 요소에도 영향을 받지만, 더 근본적으로는 결국 실제로 전기적 신호를 전달하는 버스 접속 소자의 특성에 제한을 받게된다. TTL 소자로 버스의 전기적 접속을 구현할 경우에, TTL은 소자 자체의 특성상 신호 스

위칭 전압 폭이 크기 때문에 신호 안정 시간이 필요하게 되고 이것이 버스의 최대 전송 속도를 제한하는 주요인으로 작용하고 있다. 그리고 이 신호 안정 시간을 감소시키기 위해서는 구동 전류를 증가시켜야 하지만, 이 방법은 결국 버스의 임피던스를 감소시키게 되고 이에 따라 다시 더 큰 구동 전류를 필요로 하게 되는 이른바 버스 구동 문제를 야기한다.

Futurebus+에서는 이러한 TTL의 버스 구동 문제를 해결하고 전기적으로 고속 전송이 가능한 입사파 스위칭을 구현하고자 BTL을 채택하고 있다. BTL은 소자 특성상 스위칭 전압 폭이 TTL에 비하여 현저히 작고, 그 결과 입사파 스위칭이 가능하므로 신호 안정 시간이 필요없다. 이에 따라 버스의 최대 전송 속도는 Backplane 상의 신호 전달 시간에만 영향을 받게됨으로써 버스의 전송 능력을 크게 향상시킬 수 있게 된다. 현재 BTL 소자를 공급하는 업체로는 Philips, TI, NS 등이 있다.

5) Cache Coherence

기존의 마이크로프로세서를 이용하여 컴퓨터 시스템을 구성할 경우, 기능이나 성능을 향상시키는 방법으로서 Multiprocessor 시스템이 널리 적용되고 있으며, 이러한 Multiprocessor 시스템에서는 다수의 Cache가 한 시스템 내에 존재하므로 메모리와 이들 Cache 사이의 데이터 일치를 보장해주기 위한 Cache Coherence 문제가 발생한다.

지금까지 상용 제품으로 나와있는 Multiprocessor 시스템에 있어서는 일반적으로 독자 버스를 적용하면서 각자 나름대로의 Cache Coherence를 지원하고 있으며, 산업 표준 버스로서는 Futurebus+가 Cache Coherence를 지원하는 최초의 버스라 할 수 있다. Futurebus+는 Copyback Cache를 지원하며, 다수 Backplane간의 Bridge를 통한 Cache Coherence 및 Split Transaction 시의 Cache Coherence를 지원한다.

6) Futurebus+ Profiles

Futurebus+에서는 컴퓨터 시스템의 적용 목적에 따라 다음과 같은 몇가지의 Profile을 정의함으로써 같은 Profile을 지원하는 보드 및 시스템의 완전한 호환을 도모하고 있다.

- o Profile A : 범용 Multiprocessor System
- o Profile B : 범용 I/O System
- o Profile F : 고속 Multiprocessor System
- o Profile M : Military System

- o Profile T : Telecommunication
- o Profile D : Desktop System
- o Profile C : Futurebus+ Cable

3. Futurebus+ 관련 활동

이상에서는 Futurebus+의 특징을 정리해 보았다. 현재 진행중인 Futurebus+ 관련 활동 및 문서는 다음과 같다.

- o P896.1 Logical Layer Specifications
- o P896.2 Physical Layer and Profile Spec.
- o P896.3 Recommended Practices
- o P896.4 Conformance Test Specifications
- o P896.5 Military Profiles
- o P896.6 Telecommunication Profiles
- o P896.7 Cable Profiles
- o P896.8 Desktop Profiles
- o P896.9 Fault Tolerant Extensions
- o P1014.1 VME/Futurebus+ Extended (VFE) Bridge
- o P1101.1 Core Mechanical Specifications
- o P1101.3 Eurocard Mechanical Specifications
- o P1301 Metric Mechanical Specifications
- o P1194.x Electrical Environment
- o P1212 CSR Specifications
- o P1275 Open Boot Firmware
- o P1296.2 Multibus II/Futurebus+ Extended Architecture

4. Futurebus+ 전망

컴퓨터 시스템 관련 분야 기술의 발달 및 수명을 볼 때, 마이크로프로세서 및 메모리 등 반도체 소자는 2년 정도이고, 이를 이용한 보드 또는 컴퓨터 제품의 수명은 2년 내지 3년으로 단축되고 있으나, 이들의 기초에 해당하는 버스의 수명은 15년 내지 20년 정도는 되어야 한다.

Futurebus+는 현재 정의한 사양에 의해서도 미래에 출현할 고성능의 마이크로프로세서에 대응할 만한 충분한 전송 능력을 갖고 있으므로 버스 자체로서의 수명은 문제시 되지 않을 것으로 보이며, 이러한 점에서 차세대 표준 버스로서 주목받고 있다.

물론 현시점에서 볼 때 기존의 VMEbus 또는 Multibus를 적용한 보드나 컴퓨터 제품이 세계적으로 널리 보급되어 있고, 이들 버스를 적용하는 데에

아직은 별 문제가 없는 경우도 있으며, 또한 VME64와 같은 기존 버스의 개선에 따른 추이를 관망하는 점이 있기 때문에 Futurebus가 곧 널리 채택되어 지리라고는 예측하기 어렵다. 그리고 Futurebus+의 표준화 정도를 보더라도 현재로서는 주요 사양만이 확정되었고 일부는 아직도 표준화 진행 중에 있기 때문에, 요즘 몇몇 업체에서 상품화하고 있는 Back-plane이나 Card Cage 등 일부 경우를 제외하고는 당장 적용하기가 곤란한 면도 없지 않다.

그러나 앞서서도 설명한 바와 같이 Futurebus+는 뛰어난 확장성 및 Cache Coherence, Fault Tolerant 시스템, 실시간 시스템 등을 지원하는 점에서 앞으로 등장할 대부분의 컴퓨터 시스템에 적용 가능할 것으로 보이며, 이 점에서 Futurebus+는 미래의 대표적 산업 표준 버스로 위치할 것으로 예상된다.

IV. 일대일 전송 방식

앞에서는 다수 모듈 간의 데이터 또는 메시지 전송을 위한 대표적 산업 표준 버스에 대하여 알아보았다. 여기에서는 버스 구조의 다수간 전송 형태가 아닌 일대일 전송 방식에 대하여 알아보기로 한다.

일대일 전송 방식은 여러 모듈간의 데이터 전송시 발생하는 버스 구조의 근본적인 한계를 극복하는 하나의 방안으로서 근래 주요한 관심 대상이 되고 있다.

마이크로프로세서가 100MIPS 이상의 성능으로 발전하고 이러한 마이크로프로세서를 복수개 사용하여 버스 구조의 컴퓨터 시스템을 구성할 때, 버스는 한 순간에 하나의 전송만 허용하는 구조적 문제로 인하여 전체 시스템의 성능을 일정 수준 이상으로는 향상시키지 못하게 하는 제한 요인이 된다. 또한 버스의 전송 능력을 높이기 위한 방법으로 데이터의 폭 등을 늘릴 수는 있으나 이는 비용 증가의 문제와 함께 결국은 물리적 크기에 제한을 받게 되며, 버스의 전체 길이를 짧게 하거나 신호의 전압 폭을 줄임으로써 신호 전달 속도를 향상시키고 이에 따라 버스의 전송 속도를 향상시키는 방법들도 결과적으로는 버스의 효율성이라든가 노이즈에 대한 내성 등의 문제에 봉착하게 된다.

이에 따라 다수의 모듈이 버스 구조로 접속되어 한 순간에 하나의 전송만 가능함으로써 발생하는 문제점을 해결하고자 새롭게 주목받고 있는 개념이, 한 모듈과 다른 모듈을 일대일로만 연결하여 이 사이에서 고속 전송을 실현하고 이러한 고속 전송이 여러 쌍의 모듈간에 동시에 이루어지도록 하는 구조이다.

이 장에서는 이러한 구조의 일종인 SCI(Scalable Coherent Interface), QuickRing, P1394 등에 대하여 간략히 소개한다.

1. SCI(Scalable Coherent Interface)

SCI는 IEEE에서 Fastbus(IEEE 960)와 Futurebus+ (IEEE 896.x)를 개발하면서, 앞으로 나올 프로세서를 이용한 Multiprocessor 시스템에서는 버스가 성능 향상을 제한하는 요인이 될 것으로 판단됨에 따라 이에 대한 해결책을 찾던중, 1988년 P1596 SCI Working Group이 형성되면서 본격적으로 사양을 정의하기 시작하여 1992년 ANSI/IEEE 표준으로 확정되었다.

SCI는 동일한 구조를 가지고도 데스크탑 시스템에서부터 MPP(Massively Parallel Processor) 시스템에 이르기까지 적용 가능한 확장성을 가지며, Multiprocessor 시스템 및 분산 공유 메모리 구조하에서 효율적으로 Cache Coherence를 지원하고, 많은 업체들이 지원 가능한 간단하고 표준화된 인터페이스를 제공함을 목적으로 개발되었다.

SCI는 버스 구조의 병목 현상을 극복하면서 패킷 단위로 동시 다수의 일대일 전송을 제공하며, 이는 슈퍼컴퓨터의 메모리 인터페이스로부터 Campus-Wide Network에까지 다양하게 적용될 수 있다. SCI에서 각 모듈간의 접속은 소형, 중형, 대형 등 시스템의 크기에 따라 각각 Ring, Mesh, Switch 형태를 취할 수 있다. 또한 SCI는 Masked Swap, Compare And Swap, Fetch And Add 등 Multiprocessor 시스템에서 유용한 Lock 기능을 제공하고 있다. SCI의 주요 특징은 다음과 같다.

- o 동기식 패킷 전송 방식
- o 전송 속도 : 1 GByte/sec (16-bit Parallel)
500 MByte/sec (8-bit Parallel)
1 Gbit/sec (Fiber Serial)
- o Directory 구조의 Cache Coherence 지원
- o Message Passing 지원
- o 시스템당 최대 64K Node 지원

o Live Insertion 지원
 SCI 관련하여 현재 진행되고 있는 작업은 다음과 같다.

- o P1596.1 SCI/VME Bridge Architecture
- o P1596.2 Extensions for Kiloprocessor Systems
- o P1596.3 Low-Voltage Differential Signals
- o P1596.4 RamLink High Speed RAM
- o P1596.5 Data Interchange Format
- o P1596.6 Realtime Working Group (Pending)

이와 함께 SCI의 다양한 응용을 위하여 다음과 같은 사항도 추진 예정에 있다.

- o SCI as an I/O System
- o SCI/Futurebus+ Bridge Architectures
- o Multiport SCI Switch Node Architectures
- o Bidirectional Serial Links
- o Faster or Slower Links
- o FibreChannel 2.5Gbit/sec Links
- o FibreChannel Embedding of SCI
- o Processor Optimized for SCI

이상에서 본 바와 같이 SCI는 버스 구조의 문제점을 극복하면서 다양한 구성의 컴퓨터 시스템에 적용될 수 있는 일대일 전송 방식으로서, 현재로서는 Vitesse 등 소수의 반도체 업체만이 GaAs 또는 CMOS의 SCI 인터페이스 소자 생산 계획을 갖고있고, 시스템에의 적용 여부도 Convex만이 공식 발표한 정도이나, 인터페이스 소자 공급 업체가 늘고 비용도 적정 수준으로 떨어진다면 앞으로 많은 분야에 적용 가능할 것으로 예상된다.

2. QuickRing

QuickRing은 원래 Apple사에서 개발한 일대일 버스로서, 대량의 데이터 전송이 여러 모듈 사이에서 빈번히 발생하는 시스템에 적용하고자 제안되었다. QuickRing은 Multiprocessor를 직접 지원할 수 있는 Cache Coherence는 제공하지 않으며, 대용량 데이터의 전송에 적합한 구조를 갖고 있다.

QuickRing의 특징은 다음과 같다.

- o 동기 전송 방식
- o 6-bit Parallel
- o 전송 속도 : 200MB/sec
- o No Cache Coherence
- o Message Passing 지원
- o 최대 16 Node per Ring

o Live Insertion 지원

3. IEEE P1394

IEEE P1394 Serial Bus는 SCI나 QuickRing과 마찬가지로 동기 전송 방식을 채택하고 있으며, 1-bit 전송 방식이다. IEEE P1394의 주요 특징은 다음과 같다.

- o 동기 전송 방식
- o 1-bit Serial
- o 전송 속도 : 100 - 400 Mbps
- o Message Passing 지원
- o Backplane/Cable 지원
- o Optional Isochronous Service 제공

이상에서 살펴본 일대일 전송 방식은 근본적으로 기존의 버스 구조를 대체할 성격은 아니며, 다만 다수 모듈 사이에서 대용량 데이터의 고속 전송이 요구되는 특정 응용 분야에 주로 적용될 것으로 예상된다.

V. 맺음말

앞에서 본 바와 같이 버스는 마이크로프로세서의 발달에 적절히 대응할 수 있도록 지속적으로 발전하여 왔으며, 근래에는 마이크로프로세서와 메모리 등 반도체 소자의 급격한 발달에 따라 버스가 전체 컴퓨터 시스템의 병목 요인이 됨으로써, 이를 극복하기 위하여 데이터 전송 폭을 늘린다거나 좀 더 발전된 형태의 전송 방식을 추가하는 등 기존의 산업 표준 버스를 개선하려는 연구가 진행되고 있으며, 이와 함께 장기적인 안목에서 향후 세대를 위한 새로운 버스의 개발에 관심을 갖게된 결과 Futurebus+가 등장하게 되었다. 그리고 많은 컴퓨터 시스템들이 Multiprocessor화 되어감에 따라 발생하는 Cache Coherence 문제를 버스상에서 지원하는 추세이며, Fault Tolerant 시스템에 적용 가능한 Live Insertion, 패리티에 의한 오류 검색 등의 기능도 지원하고 있다.

또한 특정 응용 분야에서는 기존 버스의 단점을 극복하고 고속의 데이터 전송을 목적으로 일대일 구조에 대한 표준화를 진행하고 있으며, 이들은 버스와 상호 보완적인 관계를 가지면서 컴퓨터 시스템에 병행 적용될 것으로 전망된다.

반면 하드웨어 면에서 토탈 솔루션을 제공하거나
최적화된 성능을 제공하기 위한 컴퓨터 시스템의 경

우에는 현재와 같이 독자 버스를 계속 적용할 것으로
보인다. ㉔

筆者紹介



柳 大 運

1961年 1月 31日生

1984年 2月 서울대학교 공과대학 제어계측공학과(학사)

1986年 2月 서울대학교 대학원 제어계측공학과(석사)

1985年 12月 ~ 1987年 3月 (주)금성사 중앙연구소

1987年 4月 ~ 1988年 2月 금성반도체(주)

1988年 3月 ~ 현재 (주)금성사 정보기술연구소

주관심분야 : 컴퓨터 시스템 구조