

## 고주파 공진형 스위칭 전원방식과 응용기술동향 (공진 DC 링크 인버터)

高 堯  
韓國電氣研究所

새로운 개념의 인버터로서 종래의 인버터의 직류부에 공진회로를 설치하여 직류와 교류를 공진 DC 링크로 접속하는 방식이다. 공진동작으로 링크부의 전압이 영이되는 것을 이용하여 인버터의 PSD를 ZVS 시킨다. (PSD = Power Switching Device)

전압공진형은 ZVS가 가능하나 어느 정도의 전류를 OFF할 필요가 있기 때문에 비교적 TURN OFF의 속도가 빠른 MOSFET, SIT, IGBT 등의 PSD를 이용하여 수십 kHz의 스위칭을 한다. 여기에 대하여 전류공진형은 ZCS(Zero Current State)가 가능하게 되고 OFF 하는 전류도 작게되기 때문에 TURN OFF가 늦은 BJT와 GTO, IGBT, 사이리스터 등의 TURN OFF 시간이 꽤 짧은 것들을 이용하여 수십 kHz의 스위칭이 가능하게 된다. 이들 PSD는 대용량화에 적합하여 대용량 전력변환기에의 적용이 시도되고 있다. 여기에서는 이들 인버터에 관하여 기본적인 동작원리와 제어방식을 중심으로 설명한다. 또한 공진형 방식의 결점인 전압과 전류의 피크치를 저감하는 전압 Clamp식에 관하여도 기술한다.

### 1. 공진 DC 링크 방식의 비전압 Clamp형

#### 1. 회로구성과 동작원리

기본회로를 그림 1에 나타내었다. E와 인버터간에 LC공진회로부를 접속하여 DC 링크전압이 주기적 혹은 비주기적으로 영이되는 포인트 혹은 기간을 설정한다. 이 영전압 기간을 이용하여 인버터내의 각 PSD를 절환시키는 것으로 PSD의 ZVS를 실현 시킨다.

공진회로내의 기생저항분에 의하여 조건에 따라서 공진 DC 링크전압이 영으로 되지 않는 경우도 있다.

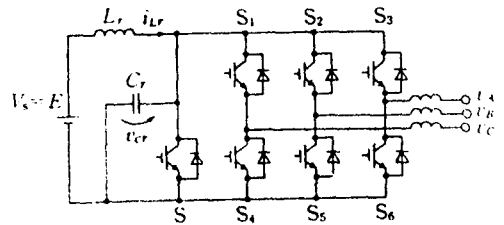


그림 1. 공진형 DC 링크방식의 기본회로

공진 DC 링크전압을 확실히 영으로 하기 위하여 공진형 콘덴서  $C_r$ 과 병렬로 스위치를 설치하고 공진 DC 링크부를 상하 단락하는 기간을 설정한다. 이 스위치가 On하는 기간에는 공진리액터의 전류가 단조 증가하고 이것에 에너지가 축적된다. 부하에 흐르는 전류분과 공진 회로부에서 소비된 에너지분의 초기 전류가 있으면 공진 DC 링크전압의 영 포인트를 생성하는 것이 가능하게 된다.  $C_r$ 의 단락스위치는 출력에 인버터가 접속된 경우 인버터 암 상하의 PSD를 전부 On하는 것에 의하여 등가동작의 회로를 그림 2와 같이 생략할 수 있다.

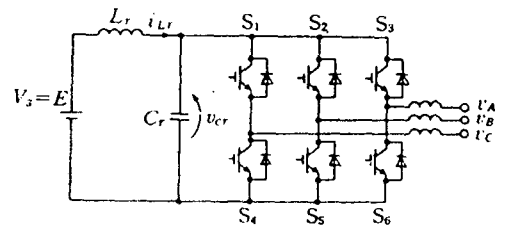


그림 2. 단락스위치를 이용한 회로

단상공진 DC 링크 인버터(그림3)를 예로 들어 그

동작을 설명한다. 그림 4에 스위치 모드, 그림 5에 스위치 시퀀스, 공진 컨덴서  $C_r$ 의 전압  $V_{cr}$ , 공진 리액터  $L_r$ 의 전류  $i_{Lr}$ , 부하전압  $V_r$ , 기준부하전류  $i_{x^*}$ , 부하전류  $i_x$ 를 나타내었다. 일반적인 PWM 인버터와 다른 것은 모든 스위치가 On으로 되는  $C_r$ 의 단락모드가 존재하는 것이다. 그러므로 인버터의 PSD는 Dead time  $t_d$ 를 고려할 필요가 없다.

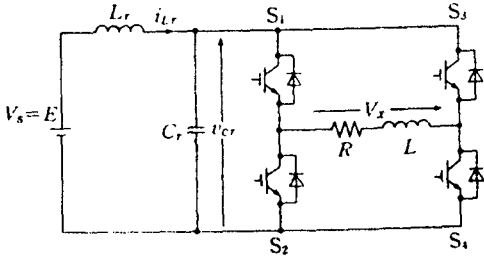
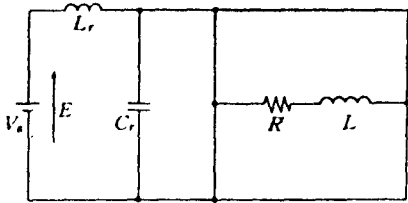
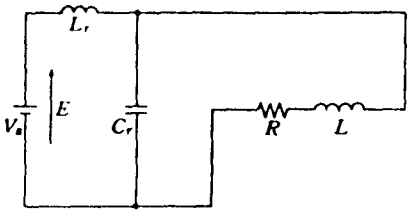


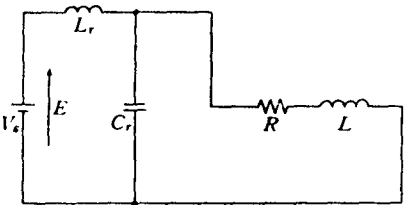
그림 3. 단상전압 공진 DC 링크 인버터



(a) 모드 1



(b) 모드 2



(c) 모드 3

그림 4. 단상 인버터의 스위칭 모드

$C_r$ 의 단락모드가 선택되면,  $i_{Lr}$ 이 단조증가한다. 이것과  $i_x$ 와의 차가 어느 수준으로 되는 시점, 즉 충분한 공진 에너지가 축적된 시점에 스위치를 OFF하고 모드 2 혹은 모드 3로 전환한다. 어느 모드를 선택하든지 기준부하 전류  $i_{x^*}$ 와 실제부하 전류  $i_x$ 의 대소관계로 결정된다. 스위치 OFF시는  $C_r$ 의 공진전압이 즉시 스위치에 걸려 영에서 비교적 완만한  $dv/dt$ 로 상승하여 스위치 손실은 낮게 억제된다.

모드 2 혹은 모드 3으로 전환된 시점에서 주기  $2\pi L_r C_r$ 로 공진을 시작한다. 공진이 종료하여  $V_{cr}$ 이 영으로 된 시점에서 스위치와 역병렬 접속의 모든 다이오드가 on하고  $C_r$ 의 단락모드(모드 1)로 된다.

다이오우드 전류가 감소하고 영으로 되는 사이에 스위치에 ON 신호를 받으면 PSD는 영전압으로 ON하고 전류도 영에서 증가하기 때문에 ON 시의 스위칭 손실은 거의 없다.

2. 이론과 기본 특성

유도성 부하의 인덕턴스가 공진인덕턴스보다 충분히 크고 공진 사이클내에서 부하 전류가 일정하다고 가정하면 각 공진 기간에서의 등가 회로는 그림 6으로 된다. R은 공진 리액터의 저항분이다. 부하전류  $i_x$ 는 인버터의 s/w 상태의 변화에 따라서 크게 변화할 가능성이 있으나 하나의 공진 기간내에서는 대략 일정하다고 생각한다. 단락 스위치가 공진리액터 전류  $i_{Lo}$ 로 off하면  $R \ll \omega L$ 의 조건아래서는  $V_{cr}$ 과  $i_{Lr}$ 은 관계식이 생긴다.

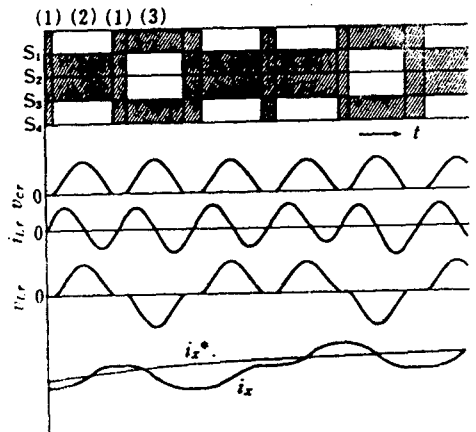


그림 5. 스위칭 사퀀스와 각부파형

$V_{cr}$ 이 ZERO CROSS하는 가는 공진전류 초기치

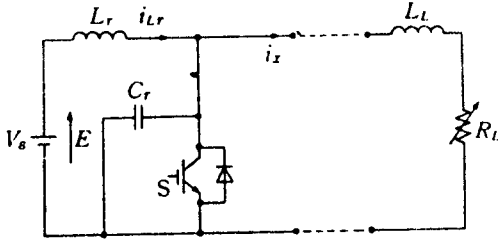


그림 6. 전압공진 DC 링크방식의 등가회로

$i_M$ 에 관계하여 이 값이 어느 수준이상 을 필요로 한다.  $i_M$ 의 값이 크게되어 공진 DC 링크전압의 피크가 증대한다. 단락 스위치의 ON기간은  $i_M$ 을 예측하여 이 전류가 적절한 전류치에 도달한 시점에서 단락 스위치를 OFF할 필요가 있다.  $V_{cr}$ 이 zero cross하는 최소  $i_M$ 의 값은 공진회로부의 Q 인자에 의존한다. Q 인자가 작으면 필요한  $i_M$ 의 값은 증가하고 거기에 따라서 DC 링크전압의 피크치  $V_{cp}$ 도 증대한다. 이것에서 공진리액터에는 표피효과등을 충분히 고려하여 권선의 저항분을 최대한 작게하고 Q인자를 높게하는 것이 PSD의 내압을 고려할 때 요망된다. 그림 7은 해석예이다.

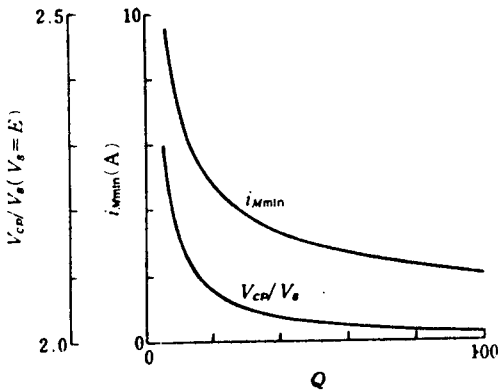


그림 7. Q값과 초기저류, 전압피크

3. 제어방식과 응용사례

제어방식은 공진주파수에 동기한 PDM(Pulse Density Modulation)에 의한 델타변조 방식에 기초한 디지털제어가 최적이다. 제어회로 예를 그림 8에 나타내었다. 단락 모드에 들어가는 타이밍에는 Cr 전압의 zero cross검출신호를 이용한다. 단락모드에

는 전류기준과 실패치를 비교하여 다음에 취하여야할 인버터의 스위칭 상태를 결정하는 것과 함께 그 스위칭상태에서의 부하전류  $i_x$ 를 예측한다.  $i_{Lr}$ 을 감시하고  $(i_{Lr}-i_x)$ 의 값이 공진회로부의 저항분에 의존하는 어떤 값을 얻는 시점이 단락모드 종료의 시점이 된다.

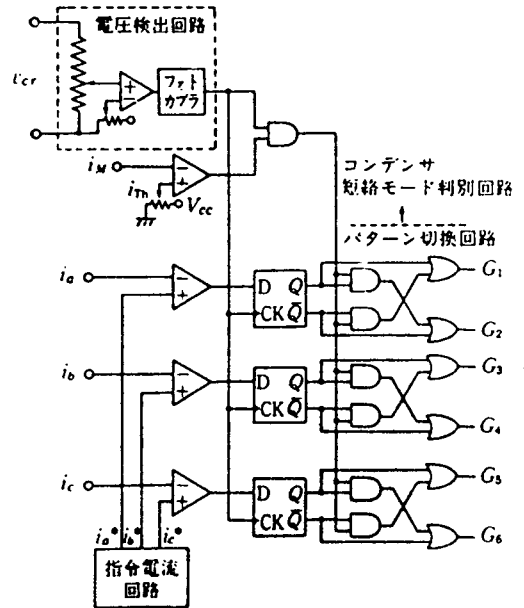


그림 8. 제어회로

II. 공진 DC 링크방식의 전압 크래프형

1. 회로구성과 동작원리

회로구성 예를 그림 9에 나타내었다. 전압 크래프형이기 때문에 PSD S7와 크래프 콘덴서 Cc의 직렬

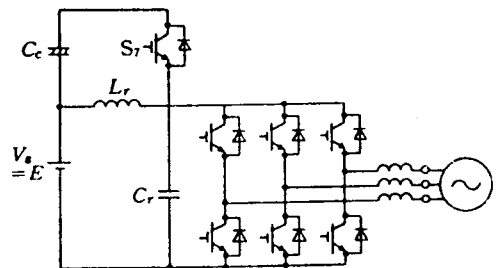


그림 9. 크래프형 공진 DC 링크 인버터

회로를 공진 리액터 L에 병렬로 설치한다. 이 회로의 동작은 그림 10의 등가회로로 설명할 수 있다.

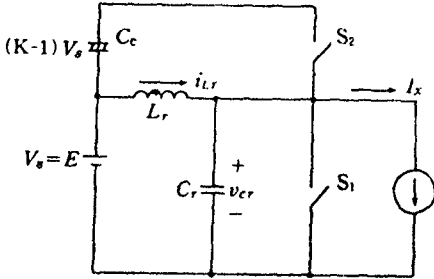


그림 10. 등가회로

Cc는 매우 크고 공진의 1주기 동안에는 전압변화가 거의 없고 유도성 부하이기 때문에 Ix도 변화가 거의 없는 것으로 하면 크래프 회로의 동작은 다음 4모드를 설명이 가능하다.

- (1) 모드 1 : S1ON S2OFF, iLr이 직선적으로 증가하고 인버터의 모션전압이 영으로 되는 기간
- (2) 모드 2 : S1, S2 OFF, Cr이 충전하는 기간
- (3) 모드 3 : S1OFF, S2ON, Cc가 충전하고 전압 크래프에 따라서 iLr이 단조 감소 하는 기간
- (4) 모드 4 : S1, S2ON, Cr을 방전하여 모션간 전압을 영으로 끌어내리는 기간

또한 각 모드의 iLr과 Vcr의 파형을 그림 11에 나타내었다.

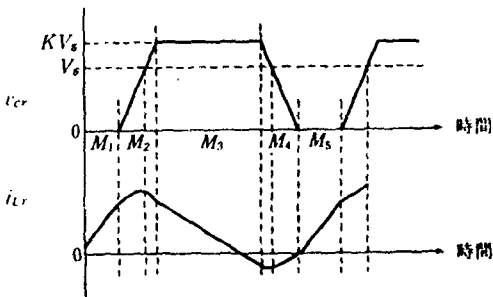


그림 11. 크래프회로에 동작 모드

2. 이론과 기본 특성

크래프 계수 K(최대 인버터 모션간 전압/직류전원 전압 Vs = E)와 공진주기 T의 관계는

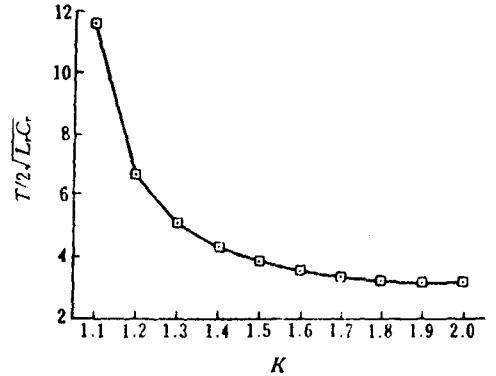


그림 12. 크래프 계수 K와 공진주기 T의 관계

$$T = 2 LrCr \{ \cos^{-1} (1-K) + K (2-K) \} \\ 1 (K-1) T/2 LrCr$$

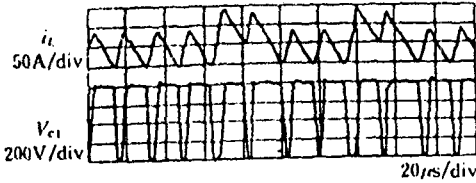
과 그림 12로 나타낸다. 크래프 전압을 낮게 억제하기 위하여 K를 작게 설정하면 T/2 LrCr 이 크게되어 주기가 깊어진다. 또한 K > 2 에서는 크래프 효과가 없어진다. 그러므로 K는 1~2정도가 되도록 T를 설정한다. T의 선정은 사용하는 PSD의 스위칭 스피드와 관계한다. PSD의 스위칭 손실을 낮게 억제하기 위해서는 모드 2 와 4의 기간 T2와 T4를 PSD의 rising time tr, falling time tf보다 길게 설정 하는 것과 함께 모드 1의 기간 T1을 스트레지시간 tstg 보다도 길게 설정할 필요가 있다. 리액터의 전압시간 적의 관계에서 각 모드의 시간관계는 다음식으로 표시되고 사용하는 PSD에서 제약된 T가 결정된다.

$$T = ( T_1 + T_2(1-K) ) 1 (K-1) \\ T = K ( T_1 + T_2 ) 1 K - 1$$

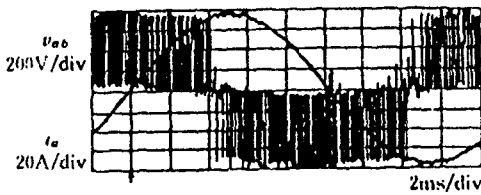
3. 제어방식과 응용사례

램프 전압의 확보에는 S1과 S2의 OFF Timing 제어가 필요하다. S1의 OFF Timing에 있어서는 공진 동작으로부터 공진 DC 링크전압을 영까지 내리기 위하여, S2의 OFF Timing은 크래프전압의 확보를 위하여 각각 제어가 필요하다. 이들 OFF Timing을 포함하여 인버터의 각 PSD 게이트신호를 제어하기 위하여 크래프전압, DC 링크전압, 부하전류를 검출하고 이를 비교하여 제어를 한다. 인버터의 각 PSD 간의 전류는 공진 DC 링크전압이 영기간이 되고 부

하전류가 목표치로 되는 인버터의 동작 모드가 선택된다.



(a) 리액터 전류와 링크 전압  $V_a$



(b) 상전류  $i_a$ 와 선간전압  $v^{ab}$

그림 13. 전부하시에서의 인버터 파형

그림 13에 IGBT를 사용하여 65가의 공진주파수에 있어서  $K=1.3$ 을 설정한 40KVA, 60Hz의 삼상 인버터의 동작파형을 나타내었다. 전압크래프 동작에 의하여 공진 DC 링크전압은 소정치로 억제된다. Switching 손실을 억제하기 위하여 공진주파수가 높게 되고 부하전류의 찌그러짐이 없는 고품질 파형의 제어가 가능하다. 이외에 직류전압 크래프 병렬공진 DC 링크방식의 CVCF 인버터랑 더블 컨버터의 개발이 되고 있다.

### III. 공진 DC 링크 인버터의 변화 토폴로지

#### 1. 정부 쌍극성의 초기 전류치 설정형

그림 14에 정부양방향의 초기 전류치 설정 회로를 갖는 공진 DC 링크 인버터 회로 구성을 나타낸다. 이 회로는 병렬공진 DC 링크 회로에 초기 전류치 설정회로를 부가 하는 것에 의하여 주 PSD에 인가된 파전압을 저감하는 동시에 DC 링크 출력전류의 순서치를 제어하는 방식에서 보조전압원형 액티브전압 크래프회로의 일종이다. 보통 은 SA는 ON상태이다. Sr을 ON하면 공진전류  $i_r$ 은 구배  $V_s/Lr$ 로 증가하고 정의 초기 전류가 발생한다.  $i_r$ 을 감소시키기 위해서는 SA를 현오프하고 SB와 Sr을 ON한다.

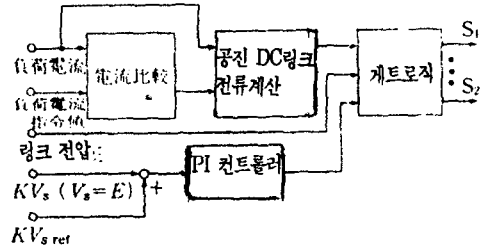


그림 14. 초기전류설정치 회로를 갖는 공진 DC 링크 인버터

이 경우  $i_r$ 은 구배  $V_s/Lr$ 로 증가하고 정의 초기전류가 발생한다.  $i_r$ 을 감소시키기 위해서는 SA를 턴 오프하고 SB와 Sr을 ON한다. 이 경우  $i_r$ 은 구배  $VB/Lr$ 로 감쇄한다. 회로의 동작 모드는 그림 15에 나타낸것처럼 세가지로 나뉜다.

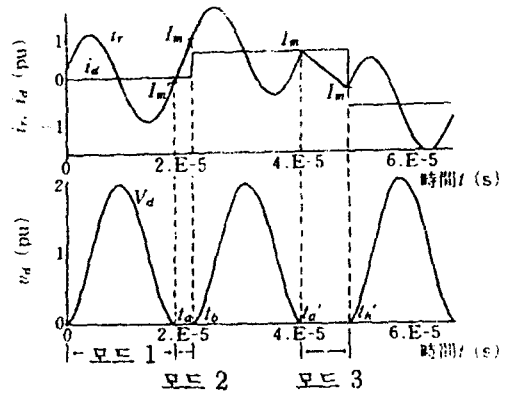


그림 15. 동작 모드

- 모드 : 이 상태는 SA가 ON, Sr과 SB가 OFF 하는 보통의 공진 사이클이다. 그림14에 있어서 회로의 초기 상태가 인버터 전압  $Vf=0$ , 전류는 설정치  $I_m$ 으로  $I_d=I_m$ 으로 하면 시각  $t_1$ 에 생기는 최대전압  $Vd(t_1)$ 과  $t_2$ 에서 생기는 최소 전압  $Vd(t_2)$ 는 각각 다음으로 된다.

$$Vd(t_1) = (V_s - I_d R_r) \left[ 1 - \frac{1}{1 - \xi^2} \cdot e^{-\alpha t_1} \sin(\omega t_1 + \theta) \right] + \frac{(I_m - I_d) Z_r}{1 - \xi^2} e^{-\alpha t_1} \sin \omega t_1$$

단,  $V_s = E$

$$t_1 = \left[ \pi + \tan^{-1} \frac{2(1-\xi^2)(I_d - I_m) Z_r}{2V_s - (I_d + I_m)R_r} \right] / \omega$$

$$\bullet \sin(\omega t_1 + \theta) + \frac{(I_m - I_d) Z_r}{1 - \xi^2}$$

$$\bullet e^{-\alpha t_1} \sin \omega t_2$$

Zr은 공진회로의 특성 임피던스,  $\alpha, \xi$ 는 회로징수에서 결정되는 징수이다.

단,

$$t_2 = \left[ 2\pi + \tan^{-1} \frac{2(1-\xi^2)(I_d + I_m) Z_r}{2V_x - (I_d + I_m)R_r} \right] / \omega$$

Vd(t1) > 2Vs로 되면 전압의 오버슈트가 생기고 Vd(t2) > 0의 상태에서는 영전압 교차는 생기지 않게 된다. 그림 16에 리액터의 초기 전류치 Im의 관수로 하여 최대 전압 Vd(t1)과 최소전압 Vd(t2)를 Id = IL, q = 150, f = 50가 조건하에서 계산 한 결과가 나타내었다. Im은 공진회로의 특성 임피던스는 Zr = Vs/IL로 하여, 인버터의 상전류 최대치 IL을 기준으로 한 단위법을 적용하여 나타낸다. Vd(t1)의 진폭은 Im=IL로 하면 3.2Vs로 상승하고, Im을 부의 값으로 Im = -1pu 즉 Im = -IL로 할 때 최소가 된다. 그러므로 이 상태에서는 영전압 교차는 생기지 않기 때문에 (Im-Id)가 부의 영역에서의 제어는 실용적이지 않다. 그림 16의 관계에서 리액터의 초기전류치는, (Im-Id) = 0.3IL등으로 하여 보통 정의 값이 되도록 제어한다.

-모드 2 : 이 모드는 인버터가 회로에 접속되어 Id가 증가하는 것에서 리액터의 초기전류 Im도 크게 된다. 그러므로 SA 및 Sr은 ON 상태로 멈추고 SB는 영교차기간중 OFF상태를 유지한다. 리액터 전류는 Im에서 구배 Vs/ Ir로 증가하고 Im에도 달한다. rising 부분과 후의 부분과의사간을 각각 ta, tb로 하면 이 전류의 변화는 다음식으로 나타낸다.

$$ir(tb) - ir(ta) = \frac{Vs}{Lr} (tb - ta)$$

단, ir(tb) = Im, ir(ta) = Im

제어회로는 ir를 검출하고 소정의 전류치에 달하면 모드 1에 동작한다.

-모드 3 : 이 모드는 ia가 Im보다 작고 Im을 감소시키지 않으면 안되는 기간이다. SA를 Turn off하고 SB와 Sr을 영교차기간중 Turn on하면 리액터 전류는 구배 VB/Lr로 감소한다. rising 시각을 ta', 후속부분의 시각을 tb'로 하면 전류감쇄의 상태는

$$tr(tb') - ir(ta') = I_m - I'm = \frac{VB}{Lr} (tb' - ta')$$

그림 17에 id, ir, vd 및 인버터 각상 권선전류와 스위칭의 관계에서 추정 한 id의 시물레이션 파형을 나타낸다.

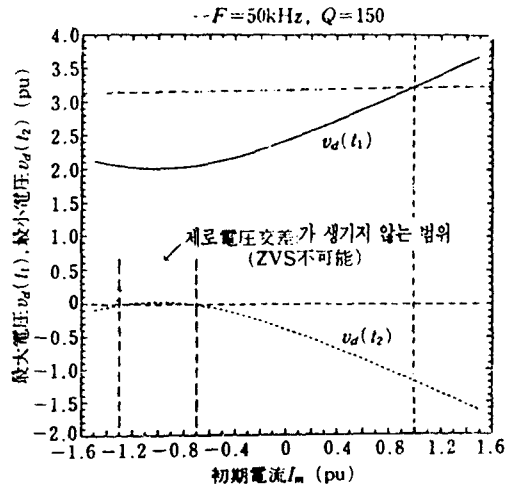


그림 16. 초기전류치와 공진회로 전압의 관계

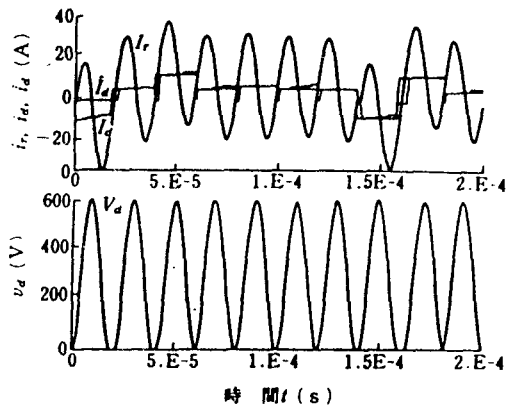


그림 17. 공진 링크전압과 전류 시물레이션 결과

2. 보조 콘덴서 액티브 크래프형

그림 18에 보조콘덴서 액티브전압 크래프 회로를 갖는 전압공진 DC 링크 PWM 인버터의 회로구성과 각부의 출력 파형을 표시한다. 이 회로는 보통의 보조 콘덴서 액티브 전압 크래프회로를 갖는 전압 공진 DC 링크가 2개의 PSD로 구성된 것에 대하여 4개의 스위치를 갖고 주 PSD의 스트레스를 저감하고 제어성능의 향상을 도모한다.

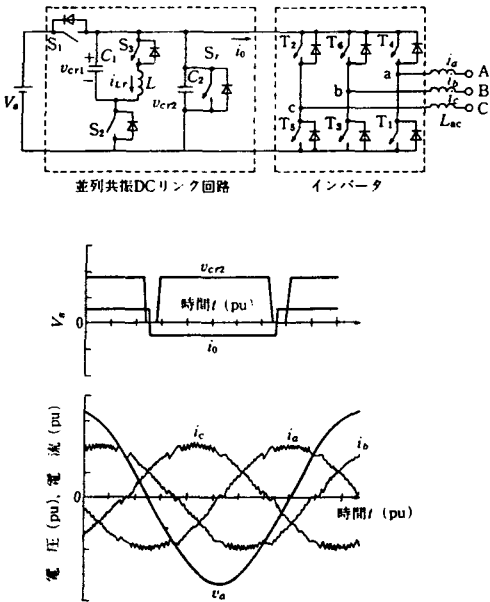


그림 18. 보조 콘덴서 액티브 전압 크래프 회로를 갖는 전압공진 DC 링크 PWM인버터와 동작 파형

공진 DC 링크전압  $V_{cr2}$ 가 영교차를 하고 있는 기간( $t_2 \sim t_3$ )의 인버터 입력전류  $I_o$ 는 인버터측의 제어 상태에 따라서 4개의 경우도 나뉜다. 최초는  $S_1$ 과  $S_2$ 가 On으로 전압  $V_s$ 가  $S_1$ 을 경유하여 인버터에 가해진다.  $S_3$ 와  $S_r$ 은 off로 된다. 인버터의 스위치모드가 전환하는 경우 공진 DC 링크 회로를 공진으로부터 영전압으로 되도록 제어한다.

이 영전압기간은 인버터의 전류에 필요한 최소시간만 지속하는 것만이 요망된다. 영전압기간 전후의 각부파형과 공진 DC 링크회로부의 상태를 그림 19에 나타내었다.  $S_2$ 는 영전압기간중 인버터에 부의 전압이 가해지지 않도록 회로를 이분한다.

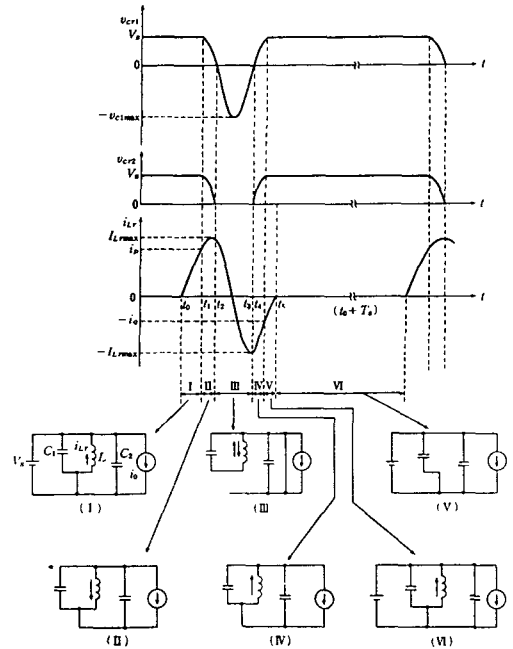


그림 19. 각 모드의 회로동작

筆者紹介



高 堯

1959年 1月 25日生

1981年 2月 서울대학교 전기공학과

1983年 2月 서울대학교 전기공학과 석사

1983年 3月 ~ 현재 한국전기연구소 선임연구원

1994年 4月 ~ 현재 에너지자원기술 개발지원센터 전기 1팀장(파견)

주관심 분야 : 전원용 인버터, 전력저장, 태양광발전, 열병합발전