

論文93-30A-1-4

다결정 실리콘 TFT에 대한 수소처리 영향

(Hydrogenation Effects on the Poly-Si TFT)

河炯讚*, 李相奎*, 高哲基*

(Hyoung Chan Ha, Shang Kyoo Lee, and Chul Gi Ko)

要約

상부 게이트와 하부 게이트 구조를 갖는 다결정 실리콘 TFT(Thin Film Transistor)에 대하여 NH₃ 가스를 이용한 plasma 처리 방법과 PECVD 방법으로 SiN 막을 증착하고 열처리하는 방법으로 수소 처리를 행하여 다결정 실리콘 TFT의 전기적 특성을 조사하였다. NH₃ plasma 처리 시간이 증가함에 따라 on/off 전류비는 점차 증가하며 swing 값은 감소하였다. 다결정 실리콘 입계에서의 trap 밀도는 초기 20분 동안의 수소 처리후 큰 폭으로 감소하고 초기 20분 이후의 수소 처리에서는 감소의 폭이 작아졌다. 상부 게이트 구조의 TFT가 하부 게이트 구조의 TFT 보다 전기적 특성이 우수하였으며 이는 다결정 실리콘과 그 하부층인 실리콘 산화막과의 경계면에서의 결함에 기인하는 것이라 생각된다. 상부 게이트 구조의 TFT에 대하여 2시간 동안 NH₃ plasma 처리 후 상온에서의 aging 처리 시간이 증가함에 따라 on current는 거의 변화하지 않고 off current는 1 order 이상 감소를 보이고 있다. 또한 게이트 전류 밀도도 8일 동안 aging 처리 후 원래의 값으로 회복되는 등 전기적 특성이 향상되었다. 이는 각 aging 처리 시간에 대하여 게이트 전압의 변화에 따른 정전용량의 변화로부터 수소 처리후 저하된 게이트 산화막의 특성이 회복된 것이라 생각된다. PECVD 방법으로 SiN 막을 증착하고 열처리 온도와 시간의 변화에 따른 다결정 실리콘 TFT의 전기적 특성은 열처리온도가 증가함에 따라 향상되었으며 열처리 시간에 따라서는 큰 변화를 보이지 않았다. 이는 열처리 온도 및 시간의 변화에 따른 SiN 막내의 수소 감소량의 결과와 잘 일치한다.

Abstract

Hydrogenation on the top gate and bottom gate Poly-Si TFT's was performed by using NH₃ plasma and annealing SiN film deposited by PECVD and then the electric characteristics on Poly-Si TFT were investigated. As the time of NH₃ plasma treatment increases, on/off current ratio gradually increases and the swing value decreases. The trap densities of grain boundaries in Poly-Si decrease very much during the initial 20 min of hydrogenation time, and the decreasing scale becomes smaller after 20 min. The electric characteristics of the top gate TFT are better than those of the bottom gate TFT, it is considered due to the defects at the interface between the Poly-Si and the underlayer, SiO₂. After NH₃ plasma was treated for 2 hours for the top gate TFT, as the aging time at room temperature increases on current was not scarcely changed and off current decreases more than 1 order. Gate current density recovers to original value after the aging treatment for 8 days and then the electric characteristics are finally improved. It is suggested that the degraded characteristics of gate oxide are improved, from the variations of C-V characteristics with aging time. For the hydrogenation of isothermal and isochronal annealing SiN film deposited by PECVD, the characteristics of Poly-Si TFT are improved with increasing annealing temperature and are not largely changed with increasing annealing time. This results is good in agreement with the hydrogen reduction in SiN film as variations of annealing temperature and time.

*正會員, 現代電子(株) 半導體 研究所
(Hyundai Electronics Industries co., Ltd. Semi-

conductor Research and Development Lab)
接受日字: 1992年 8月 10日

1. 서 론

최근들어 다결정 실리콘 TFT는 고집적 기억 소자(DRAM, SRAM등),¹⁾ LCD(Liquid Crystal Display),²⁾ 센서등의 스위치³⁾에 활용되며 이에 대한 연구가 활발히 진행되고 있다.

다결정 실리콘 TFT는 임계에서의 운반자(전자 또는 정공) trap과 이로 인한 전위 장벽의 증가와 다결정 실리콘과 실리콘 산화막과의 경계면에서의 trap 밀도의 증가로 인하여 운반자의 이동도가 낮기 때문에 높은 누설 전류, 높은 문턱 전압, 높은 inverse subthreshold slope(swing)을 갖는 등 단결정 실리콘 MOSFET에 비하여 전기적 특성이 매우 좋지 않다. 이러한 다결정 실리콘 TFT의 전기적 특성을 개선하기 위하여 결정립 크기의 증가와 임계의 특성을 개선 시키는 연구로써 solid phase crystallization(SPC),⁴⁾ Si 이온 주입,⁵⁾ laser 열처리⁶⁾ 등이 행해지고 있으며 수소를 다결정 실리콘 임계에 침투시켜 임계에서의 trap 밀도를 감소시키는 수소 처리 방법⁷⁾이 있다. 수소 처리 방법에는 여러가지 방법이 보고되고 있으며 본 연구에서는 NH₃ 가스를 이용한 RF plasma 방법과 PECVD 방법으로 SiN 막을 증착하고 열처리하는 방법으로 각각 수소 처리를 행하여 다결정 실리콘 TFT의 전기적 특성 변화와 임계에서의 운반자 trap 밀도의 변화를 조사하였으며 또한 NH₃ plasma 방법에 의한 수소 처리 방법에 있어서 수소 처리 후 상온에서의 aging 효과를 게이트 전압의 변화에 따른 드레인 전류의 변화와 실리콘 산화막에서의 게이트 전압의 변화에 따른 정전용량의 변화를 통하여 알아보았다.

2. 실험방법

1. 다결정 실리콘 TFT의 제조 방법

하부 게이트 구조의 TFT의 제조 방법은(100) 방향의 p-type 실리콘 웨이퍼 위에 3000Å의 열산화막을 성장시킨 후 LPCVD(Low Pressure Chemical Vapor Deposition) 방법으로 다결정 실리콘 박막을 증착한 후 As를 이온 주입하여 doping하고 패턴 형성 공정을 하여 게이트 전극을 형성한 후 LPCVD 방법으로 게이트 산화막을 증착하였다. 비정질 실리콘을 LPCVD 방법으로 510°C에서 400Å 증착한 후 600°C, 질소 분위기에서 10시간 동안 SPC(Solid Phase Crystallization)을 행하여 결정립을 성장시켰다. 소스와 드레인을 형성시키기 위해 TFT 채널 지역을 덮는 마스크를 형성하고 BF₂를 $1.0 \times 10^{11} \text{ cm}^{-2}$ 의 dose로 이온 주입하여 소스, 드레인을 형성시킨

후 BPSG 막을 증착하고 850°C에서 30분 동안 flow 공정을 행하여 평탄화 공정과 함께 소스, 드레인 지역의 dopant를 활성화 시켜주었다. Contact 공정과 금속배선 공정을 행하여 그림 1(a)에 나타난 것과 같은 하부 게이트 구조의 다결정 실리콘 TFT를 제조하였다. 상부 게이트 구조의 TFT 제조 방법은 하부 게이트 TFT 제조 방법에서 게이트 전극 형성과 TFT 채널 형성의 순서를 바꾸고 게이트 전극을 이용하여 self-align 방법으로 소스, 드레인 지역에 이온 주입을 행하여 그림 1(b)에 나타난 것과 같은 상부 게이트 구조의 TFT를 제조하였다.

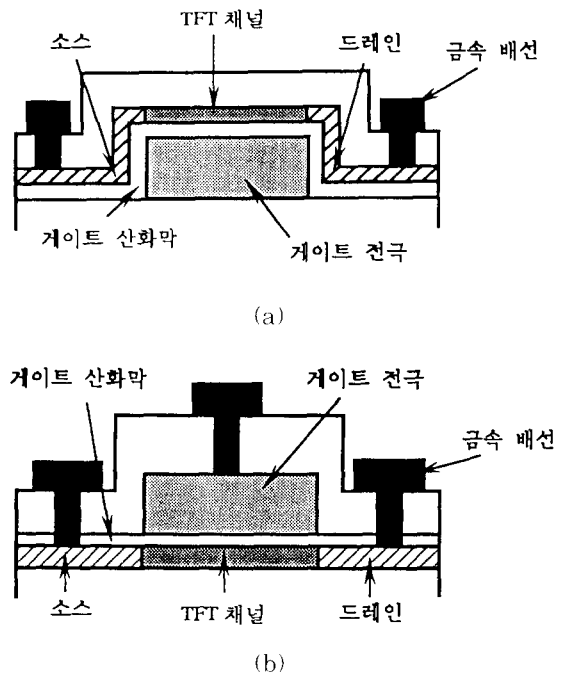


그림 1. 다결정 실리콘 TFT의 구조

(a)하부 게이트 구조의 TFT

(b)상부 게이트 구조의 TFT

Fig. 1. Poly-Si TFT Structures.

(a)Bottom gate TFT.

(b)Top gate TFT.

2. 수소처리 방법

본 연구에서 행한 수소처리 방법은 parallel-plate plasma 반응기에서 NH₃ 가스를 이용하여 400°C에서 plasma에 의한 것이며 수소처리 시간에 따른 전기적 특성의 변화와 수소처리 후 상온에서 aging 시간의 변화에 따른 전기적 특성의 변화를 HP4145B semiconductor parameter analyzer를 이용하여

측정하였다. 또한 PECVD SiN막을 이용한 수소처리 방법은 PECVD SiN 막을 증착한 후 열처리 온도와 시간을 변화시켜 이에 따른 다결정 실리콘 TFT의 전기적 특성의 변화를 조사하고 PECVD SiN 막내의 수소 함량의 변화를 FTIR을 이용하여 측정하였다. 본 연구에서의 aging 처리는 상온(25°C)의 공기분위기에서 게이트 전압 0V, 드레인 전압 0V에서 행해졌다.

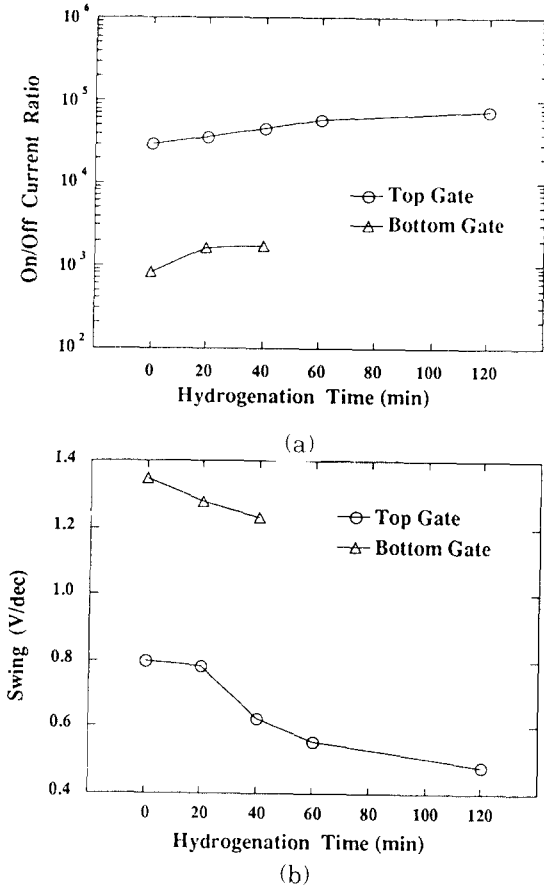


그림 2. 상부 게이트와 하부 게이트 구조의 TFT에 대하여 수소 처리 시간에 따른 (a)on/off 전류비와 (b)swing의 변화
 Fig. 2. (a)On/off current ratio, (b)swing as a function of hydrogenation time for the top and bottom gate TFT's.

수소 처리 후 TFT 게이트 산화막의 변화를 알아보기 위하여 실리콘 웨이퍼 위에 LPCVD 방법으로 실리콘산화막을 400Å 증착한 후 doping된 다결정 실리콘으로 게이트 전극을 형성하고 수소 처리 전, 후

와 상온에서 aging 시간의 변화에 대하여 게이트 전압에 따른 정전용량의 변화를 HP4275A multi-frequency LCR meter를 사용하여 1MHz의 주파수에서 측정하였다.

III. 결과 및 고찰

1. NH₃ plasma 처리 시간에 따른 TFT 특성 변화

상부 게이트 구조와 하부 게이트 구조의 작은 크기의 TFT(W/L=1.2/1.2 μm)에 대하여 수소화 처리 시간의 변화에 따른 on/off 전류비의 변화와 swing의 변화를 그림 2의 (a)와 (b)에 각각 나타내었다. 여기서 on, off current는 게이트 전압 -5V, 드레인 전압 -5V 일 때와 게이트 전압 0V, 드레인 전압 -5V 일 때 각각 측정된 드레인 전류이다.

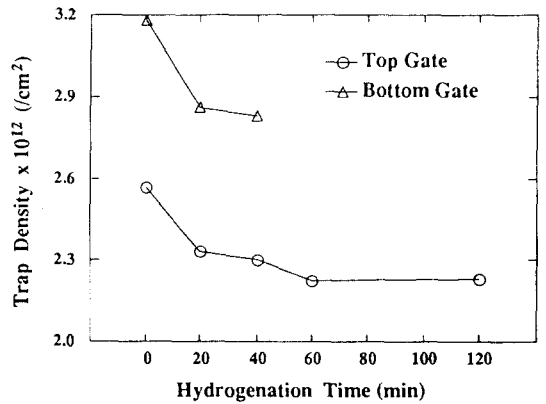


그림 3. 상부 게이트 구조와 하부 게이트 구조의 TFT에 대하여 수소 처리 시간에 따른 trap 밀도의 변화
 Fig. 3. Trap density as a function of hydrogenation time for the top and bottom gate TFT's.

NH₃ plasma 처리 시간이 증가함에 따라 상부 게이트 구조의 TFT 경우에는 on/off 전류비는 점차적으로 증가함을 알 수 있으며, 하부 게이트 구조의 TFT 경우에는 초기 수소 처리 후에 on/off 전류비가 증가하며 이후에는 수소 처리 시간을 증가시켜도 on/off 전류비는 큰 변화가 없음을 알 수 있다. 또한 수소 처리 시간이 증가함에 따라 swing 값은 상부 게이트 구조와 하부 게이트 구조의 TFT 모두 감소하였다. 상부 게이트구조의 TFT 경우가 하부 게이트 구조의 TFT 보다 2 order 이상의 높은 on/off 전류

비를 갖고 더 낮은 swing 값을 갖는 등 더 좋은 전기적 특성을 보이고 있다. 이는 다결정 실리콘과 다결정 실리콘 하부층인 실리콘 산화막과의 경계면에서의 결함에 기인하는 것이라 생각된다.^[9] 즉, 상부 게이트 구조의 TFT는 이러한 결함이 하부 게이트 구조의 TFT 보다 적게 생성되므로 더 좋은 전기적인 특성을 갖는다고 생각된다.

Levinson^[10] 방법에 의한 수식을 이용하여 다결정 실리콘 입계에서의 trap 밀도를 구하여 수소 처리에 따른 trap 밀도의 변화를 그림 3에 나타내었다. 여기에 사용된 수식을 나타내면 다음과 같다.

$$I_D = (W/L) \cdot \mu_0 \cdot \exp(-q \cdot E_B/kT) \cdot C_{ox} \cdot (V_G - V_{FB}) \cdot V_D$$

$$E_B = q^2 \cdot N_T^2 \cdot t / 8\epsilon Si \cdot C_{ox} \cdot (V_G - V_{FB})$$

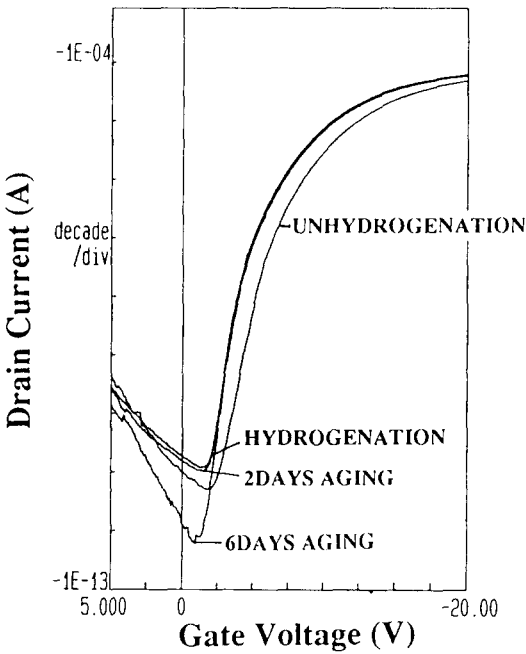


그림 4. 상부 게이트 구조의 TFT에 대하여 게이트 전압에 따른 드레인 전류 특성
Fig. 4. Characteristics of drain current vs. gate voltage for the top gate TFT.

여기서 I_D 는 드레인 전류, W 는 채널 폭, L 은 채널 길이, μ_0 는 이동도 계수, q 는 전하량, E_B 는 전위 장벽, C_{ox} 는 정전용량, V_G 는 게이트 전압, V_{FB} 는 flat band 전압, V_D 는 드레인 전압, N_T 는 다결정 실리콘 입계에서의 trap 밀도, t 는 채널의 두께, ϵSi 는 실리콘의 유전 상수를 나타낸다. 상부 게이트 구조의

TFT 경우에는 20분 동안 NH_3 plasma 처리를 하였을 때 trap 밀도는 급격히 감소하였고 그 이후에도 점차적인 감소를 보이고 있다. 60분 이상의 수소 처리에서는 더 이상의 trap 밀도의 감소를 보이고 있지 않다. 하부 게이트 구조의 TFT 경우에도 초기 수소 처리 후 급격한 trap 밀도의 감소를 보이고 있으며 그 이상의 수소 처리부터는 점차적인 감소를 보이고 있다. 또한 하부 게이트 구조의 TFT가 상부 게이트 구조의 TFT 보다 더 큰 trap 밀도를 나타내고 있는데 이는 앞에서 언급한 것처럼 다결정 실리콘과 실리콘 산화막과의 경계면에서의 결함에 기인하는 것이라 생각된다

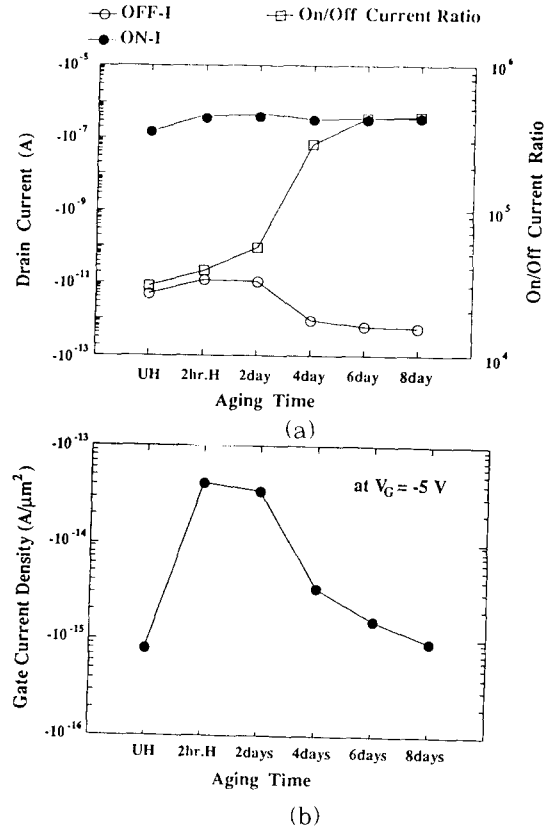


그림 5. 상부 게이트 구조의 TFT에 대하여 aging 시간에 따른 (a)on current, off current, on/off 전류비와 (b)게이트 전류 밀도의 변화(여기서 UH와 2hr.H는 각각 수소 처리 전과 2 시간 수소 처리한 것을 나타낸다.)

Fig. 5. (a)On current, off current, and(b)gate current density as a function of aging time for top gate TFT. UH and 2hr.H denote unhydrogenation and hydrogenation for 2 hours, respectively.

2. 수소 처리 후 aging 처리에 따른 TFT 특성 변화

그림 4에 상부 게이트 구조의 TFT의 경우에 있어서 수소 처리 전, 후와 aging 처리 시간에 대하여 게이트 전압의 변화에 따른 드레인 전류의 변화를 나타내었다. 수소 처리 후 on current는 증가하며 또한 off current도 증가함을 알 수 있다. 2일 동안 aging 처리 후 약간의 off current 감소를 보이고 있으며 6일동안 aging 처리 후 off current는 1 order 이상 큰폭으로 감소하였음을 알 수 있다. 즉, aging 처리로 인하여 TFT의 전기적 특성이 크게 개선되었음을 알 수 있었다.

그림 4에 나타난 것에 대하여 2시간 동안 NH₃ plasma로 수소 처리 후 상온에서 aging 처리 시간에 따른 드레인 전류와 on/off 전류비 및 게이트 전류 밀도를 그림 5의 (a)와 (b)에 각각 나타내었다. 수소 처리 후 on current 증가와 함께 off current도 증가하는 것을 알 수 있다. 2일 동안 aging 처리를 하면 on, off current 및 on/off 전류비는 큰 변화가 없다가 4일 aging 처리 후에는 off current는 1 order 정도 감소하고 on current는 큰 변화를 보이지 않고 있다.

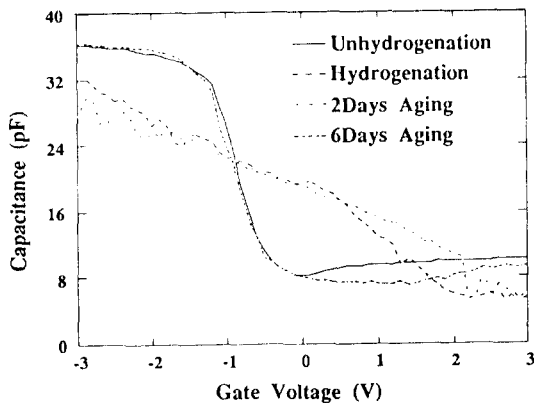
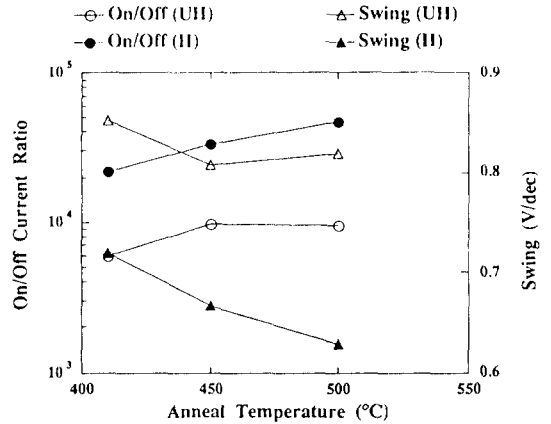


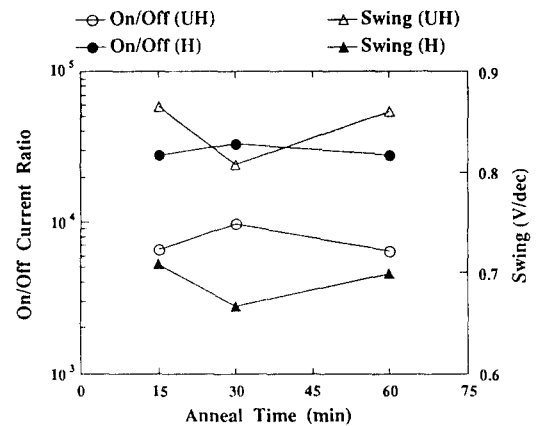
그림 6. 게이트 전압에 따른 정전 용량 특성
Fig. 6. Characteristics of capacitance vs. gate voltage.

이에 따라 on/off 전류비는 약 1 order 정도 증가를 보이고 있다. 6일, 8일 aging 처리 후에는 off current는 약간씩 감소하며 on current는 거의 변화가 없고 on/off 전류비는 약간 증가되는 것을 알 수 있다.

Aging 처리 시간에 따른 게이트 전류 밀도 변화의 형태는 앞에서의 off current의 변화와 유사하다는 것을 알 수 있다.



(a)



(b)

그림 7. 하부 게이트 구조에 대하여 (a)열처리 온도와 (b)열처리 시간에 따른 on/off 전류비와 swing의 변화

Fig. 7. On/off current ratio and swing as a function of (a)annealing temperature and (b)time for the bottom gate TFT.

2시간 수소 처리 후 게이트 전류 밀도는 약 2 order 정도 증가하여 2일 동안 aging 처리 후에는 약간의 감소를 보이다가 4일 동안 aging 처리하면 게이트 전류 밀도는 큰 폭으로 감소하며 6일, 8일 aging 처리에서는 점차적으로 감소하여 8일 aging 처리 후에는 원래 값으로 회복되었음을 알 수 있다. 이는 수소 처리시 과도한 양의 수소가 TFT 게이트 산화막내로 침투되어 게이트 산화막의 특성이 저하된 것이라 생각되며 aging 처리시 침투된 수소가 외부

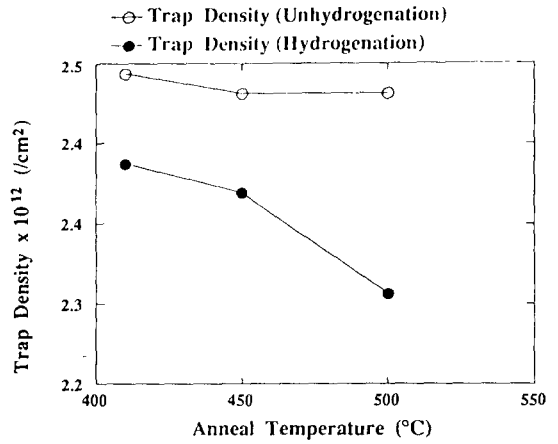
로 빠져나가면서 게이트 산화막의 특성이 점차로 회복되어 이에 따라 off current도 점차 감소된 것이라 생각된다. $400 \times 400 \mu\text{m}^2$ 의 면적을 갖는 게이트 산화막 (두께 $\approx 370 \text{ \AA}$)에 대하여 수소 처리 전, 후 및 aging 처리 시간에 따른 게이트 전압에 대하여 정전 용량의 변화를 1 MHz의 주파수에서 HP4275A multi-frequency LCR meter로 측정하여 그림 6에 나타내었다. 수소 처리 전에는 전형적인 C-V 특성을 보이고 있으며 수소 처리 후 C-V 개형이 완전히 바뀌었음을 알 수 있으며 2일 동안의 aging 처리 후에는 큰 변화를 보이지 않고 있으며 6일 경과 후에는 다시 원래 상태의 C-V 형태로 되었음을 알 수 있다. 이는 앞에서의 결과와 잘 일치하고 있으며 수소 처리 후 게이트 산화막의 특성 저하로 인한 누설전류의 증가 때문에 C-V 특성이 크게 변화되었으며 aging 처리 시간이 증가함에 따라 게이트 산화막의 누설전류는 감소되고 이로 인하여 C-V 특성도 원래 상태로 회복되었다고 생각된다.^[11]

3. PECVD SiN 막을 이용한 수소처리 효과

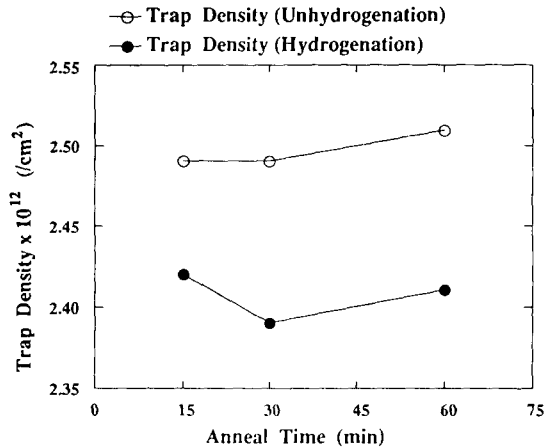
금속배선공정까지 완료된 하부 게이트 구조의 TFT에 대하여 PECVD 방법으로 SiH_4 , NH_3 가스를 이용하여 400°C 에서 5000 \AA 의 SiN 막을 증착하고 열처리 온도와 시간을 달리하여 이에 따른 on/off 전류비의 변화와 swing 값의 변화를 그림 7 (a)와 (b)에 나타내었다. 열처리 온도를 410, 450, 500°C 로 증가시킴에 따라 on/off 전류비는 증가함을 알 수 있으며 이에 따라 swing 값이 감소되는 폭 또한 증가함을 알 수 있다.

410°C 의 열처리 온도에서 열처리 시간을 15, 30, 60분으로 변화시킴에 따른 on/off 전류비 및 swing 값은 거의 변화하지 않음을 알 수 있다. 이는 PECVD 방법으로 증착된 SiN 막 내에서 TFT의 채널로 침투되는 수소의 양은 열처리 온도에 크게 의존하며 열처리 시간에 대해서는 큰 변화가 없다고 생각된다. 그림 7에 나타난 결과에 대하여 수소 처리 전, 후의 입계에서의 trap 밀도의 변화를 그림 8의 (a), (b)에 나타내었다. 410°C , 450°C 로 열처리 온도가 증가함에 따라 trap 밀도는 거의 변화가 없으나 500°C 로 열처리 온도가 증가되면 trap 밀도는 크게 감소됨을 알 수 있다. 열처리 시간의 변화에 대한 trap 밀도의 변화는 15분에서 30분으로 열처리 시간이 증가함에 따라 trap 밀도의 감소폭은 다소 증가하며 30분에서 60분으로 열처리 시간의 증가에 대해서는 trap 밀도 감소의 폭은 거의 변화하지 않음을 알 수 있다. PECVD SiN 막을 증착한 후 열처리 온도와 시간을 변화시켜 이에 따른 SiN 막내의 수소 함량의 변화를

그림 9에 나타내었다.



(a)



(b)

그림 8. 하부 게이트 구조에 대하여 (a)열처리 온도와 (b)열처리 시간에 따른 trap 밀도의 변화
Fig. 8. Trap density as a function of (a)annealing temperature and (b)time for the bottom gate TFT.

열처리 시간이 15, 30, 60분으로 증가함에 따른 SiN 막내의 수소 함량의 감소는 8% 내외로 크게 변화하지 않음을 알 수 있으며 열처리 온도가 410, 450, 500°C 로 증가함에 따라서는 6, 8, 16%로 수소 감소량이 증가함을 알 수 있다. 수소의 외부 확산이 있는 것을 감안하여도 이는 앞에서의 TFT 특성 변화와의 결과와 잘 일치하고 있으며 열처리 온도가 증가함에 따라 더 많은 수소가 다결정 실리콘 TFT의 채널에 존재하는 입계로 침투되었다고 생각할 수 있다.

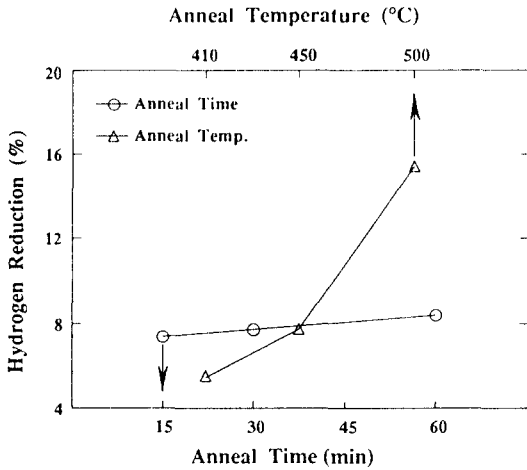


그림 9. PECVD 방법으로 증착된 SiN 막내에서의 열처리 온도와 시간에 따른 수소 감소량의 변화

Fig. 9. Hydrogen reduction vs. annealing temperature and time for SiN film deposited by PECVD.

IV. 결론

상부 게이트와 하부 게이트 구조를 갖는 다결정 실리콘 TFT에 대하여 NH₃ 가스를 이용한 plasma 처리와 PECVD 방법으로 SiN 막을 증착하고 열처리하는 수소 처리 방법을 행하여 TFT의 전기적 특성 변화를 조사한 결과 다음과 같은 결론을 얻었다.

1. NH₃ plasma 처리 시간이 증가함에 따라 on/off 전류비는 점차 증가하고 이에 따른 swing 값의 변화는 점차 감소함을 알 수 있었다. 또한 다결정 실리콘 입계에서의 trap 밀도는 초기 수소 처리 후 큰 폭으로 감소하며 그 이후에는 감소의 폭이 매우 작아짐을 알 수 있었다.

2. 상부 게이트 구조의 TFT가 하부 게이트 구조의 TFT 보다 더 높은 on/off 전류비, 더 낮은 swing 값, 더 낮은 trap 밀도를 갖는 등 전기적인 특성이 우수하였으며 이는 다결정 실리콘과 그 하부층인 실리콘 산화막과의 경계면에서의 결함에 의하여 하부 게이트 구조의 TFT의 전기적 특성이 저하된 것이라 생각된다.

3. 상부 게이트 구조의 TFT에 대하여 2시간 동안 NH₃ plasma 처리 후 상온에서의 aging 시간의 변화에 대하여 on current는 거의 변화하지 않으며 off current는 4일간 aging 처리 후 급격한 감소를 보이고 있으며 이에 따라 on/off 전류비도 증가한다.

게이트 전류 밀도는 점차 감소하여 8일 동안 aging 처리 후에는 원래의 값으로 회복되었다. 또한 수소 처리 후 게이트 전압의 변화에 따른 정전용량의 변화가 일어났으며 이 경우도 6일간 aging 처리 후에는 원래의 C-V 특성으로 회복됨을 알 수 있었다.

4. 하부 게이트 구조의 TFT에 대하여 PECVD 방법으로 SiN 막을 증착하고 열처리 온도를 증가시키면 on/off 전류비가 증가하고, swing 값은 감소하며 이에 따라 trap 밀도가 감소하여 TFT의 전기적 특성이 향상되며 열처리 시간에 따라서는 전기적 특성의 변화가 나타나지 않았다. 이는 열처리 온도 및 시간에 따른 PECVD 방법으로 증착된 SiN 막내의 수소 감소량의 결과와 잘 일치한다.

이상의 결론으로부터 다결정 실리콘 TFT에 대하여 수소 처리를 행하면 다결정 실리콘의 입계에서의 trap 밀도의 감소로 인하여 전기적 특성이 향상됨을 알 수 있었다.

參考文獻

[1] S.D.S. Malhi, H. Shichijo, S.K. Banerjee, R. Sundaresan, M. Elahy, G.P. Pollack, W.F Richardson, A.H. Shah, L. R. Hite, R.H. Womock, P.K. Chatterjee, and H.W. Lam, "Characteristics and three dimensional integration of MOSFET's in small grain LPCVD polycrystalline silicon," *IEEE Trans. Electron Devices*, vol. ED-32, no.2, pp. 258-281, 1985.

[2] A. Mimura, N. Konish, K. Ono, Y. Hosokawa, Y.A. Ono, T. Suzuki, K. Miyata, and H. Kawakami, " High-performance low-temperature poly-Si TFTs for LCD," *IEDM*, pp.436-439, 1987.

[3] Dig. Tech Papers and Seminar Notes Soc. Inform. Display (Baltimore, MD), May, 1989.

[4] M.K. Hatalis and D.W. Greve, "Large grain polycrystalline silicon by low-temperature annealing of low-pressure chemical vapor deposited amorphous silicon films," *J. Appl. Phys.*, vol.63, no. 7, pp.2260-2266, 1988.

[5] K.T-Y. Kung, and R. Reif, "Comparison of thin-film transistors fabricated at low

temperature ($\leq 600^\circ\text{C}$) on as-deposited and amorphized-crystallized polycrystalline Si." *J. Appl. Phys.*, vol. 61, no.4, pp. 1638-1642, 1987.

[6] K.F. Lee, J.F. Gibbons, K.C. Saraswatt, and T.I. Kamins, "Thin film MOSFET's fabricated in laser-annealed polycrystalline silicon," *Appl. Phys. Lett.*, vol.35, no.2, pp. 173-175, 1979.

[7] I-W. Wu, A.G. Lewis, T-Y. Huang, and A. Chiang, "Effects of trap-state density reduction by plasma hydrogenation in low-temperature polysilicon TFT," *IEEE Electron Device Letters*, vol.EDL-10, no.3, pp. 123-125, 1989.

[8] S. Batra, K. Park, C. Kyono, S. Bhattacharya, S. Banerjee, C. Maziar, D. Kwong, A. Tasch, M Rodder, and R. Sundaresan, "Rapid thermal annealing for H passivation of polysilicon MOSFET's from Si3N4 overcoat." *IEDM*, pp. 455-458, 1989.

[9] T. Yoshida, M. Kinugawa, S. Kanbayashi, S. Onga, M. Ishihara, and Y. Mikata, "Crystallization technology for low voltage operated TFT," *IEDM*, pp. 843-846, 1991.

[10] J. Levinson, F.R. Shepherd, P.J. Scanlon, W.D. Westwood, G. Gate, and M. Rider, "Conductivity behavior in polycrystalline semiconductor thin film transistors," *J. Appl. Phys.*, vol.53, pp. 1193-1202, 1982.

[11] 하 형찬, 전 하웅, 이 상규, 노 승정, 고 철기, "Aging effects of plasma hydrogenation on the Poly-Si TFT," 일본 추계 응용 물리 학회, Osaka, 1992.

— 著 者 紹 介 —



河炳讚(正會員)

1964年 5月 8日生. 1987年 2月 고려대학교 금속공학과 졸업, 1990年 2月 한국과학기술원 재료공학과 석사학위 취득. 1990年 3月~현재 현대전자 반도체 연구소 주임연구원. 주 관심분야는 중간 절연막 평탄화

기술 및 TFT제조 공정임.



李相奎(正會員)

1958年 7月 4日生. 1982年 2月 한양대학교 금속공학과 졸업. 1984年 2月 동 대학원 금속공학과 석사학위 취득. 1985年 5月~현재 현대전자 반도체 연구소 선임연구원. 주 관심 분야는 중간 저연막 평탄화 기술 및

TFT제조 공정임.

高 哲 基(正會員) 第 29卷 A編 第 4號 參照

현재 현대전자(주) 반도체 연구소 근무