

論文93-30A-2-6

게이트와 n^- 소스/드레인 重疊構造를 갖는 n 채널 MOSFET 의 핫캐리어 注入에 의한 劣化特性

(Degradation Characteristics by Hot Carrier Injection of n-channel MOSFET with Gate - n^- S/D Overlapped Structure)

李大雨*, 李宇一**

(Dae Woo Lee and Wu Il Lee)

要約

게이트와 n^- 소스/드레인 중첩구조를 갖는 n 채널 MOSFET 를 ITLDD (inverse - T gate lightly doped drain) 공정 기술을 이용하여 제작하였다. 게이트 길이 (L_{mask}) 는 $0.8 \mu\text{m}$ 였다. 본 중첩 소자에 대하여 문턱전압, 트랜스컨덕턴스 및 드레인 전류의 변화를 통해 게이트 산화막내로 주입되는 핫캐리어에 의한 열화효과를 분석하였다. 특히 게이트 전압 및 드레인 전압에 대한 열화 의존성이 조사되었다. n^- 농도가 높은 소자가 핫캐리어 주입에 대해 높은 저항력을 나타내었다. 소자수명을 조사한 결과, n^- 영역의 인 (P)의 이온 주입에너지가 80 keV 이며 이온 주입량이 $5 \times 10^{13} \text{ cm}^{-2}$ 인 중첩소자의 경우 $V_d = 5 \text{ V}$ 에서 수명이 10 년 이상 되었다.

Abstract

The n-channel MOSFETs with gate- n^- S/D overlapped structure have been fabricated by ITLDD(inverse-T gate lightly doped drain) technology. The gate length(L_{mask}) was $0.8 \mu\text{m}$. The degradation effects of hot carriers injected into the gate oxide were analyzed in terms of threshold voltage, transconductance and drain current variations. The degradation dependences on the gate voltage and drain voltage were characterized. The devices with higher n^- concentration showed higher resistivity against the hot carrier injection. As the results of investigating the lifetime of the device, the lifetime showed longer than 10 years at $V_d = 5 \text{ V}$ for the overlapped devices with the implantation of an phosphorus dose of $5 \times 10^{13} \text{ cm}^{-2}$ and an energy of 80 keV in the n^- region.

I. 서론

* 正會員, 韓國電子通信研究所 半導體研究團
(Semiconductor Technology Division, ETRI)

** 正會員, 慶北大學校 電子工學科
(Dept. of Elec. Eng., Kyungpook Nat'l Univ.)

接受日字 1992年 9月 15日

MOSFET의 채널길이가 서브마이크론 규모로 축소되면 고전계에 의한 핫캐리어(hot carrier) 주입효과는 소자의 신뢰성을 저하시키는 주요 원인이 된다. 이에따라 1980년대초부터 핫캐리어 발생을 억제하고 또 발생된 핫캐리어가 MOSFET의 산화막층으로 주

입되는 것을 줄이기 위한 소자구조에 대한 연구도 활발히 이루어져 왔다.^[1-3]

MOSFET에 있어서의 핫캐리어 주입은 드레인에서의 고전계에 의해 가속된 높은 에너지를 가진 캐리어가 Si - SiO₂ 계면에서의 에너지 장벽을 넘어서 게이트 산화막안으로 들어가는 것을 말한다. 이때 산화막 계면 및 그내부에 트랩된 핫캐리어는 소자의 문턱전압과 트랜스컨덕턴스 등의 변화를 가져와 소자특성을 열화시키는 원인이 된다.^[4]

최근 핫 캐리어 주입에 의한 소자 열화를 줄이기 위해 n 채널 MOSFET 소자의 경우, 게이트와 n⁻ 영역을 완전히 중첩시킨 구조의 소자들이 보고되었다.^[5-7] 게이트와 n⁻ 소스/드레인 중첩구조를 갖는 MOSFET의 주요 장점은 종래의 MOSFET에 비해 고전계에 있어서 신뢰성을 높일 수 있으며, 게이트와 n⁻ 소스/드레인이 부분적으로 중첩된 종래의 LDD에 비해서도 신뢰성 뿐만아니라 전류 구동력도 개선된다는 것이다.^[5,6] 그러나 공정이 다소 복잡하고 n⁻ 영역과 게이트간의 중첩 캐패시턴스가 단점으로 지적되고있다. 이와같은 중첩소자(게이트와 n⁻ 소스/드레인 중첩구조 MOSFET)에 대해 제조공정, n⁻ 드레인 영역에서의 전계모델 분석 및 열화 특성 등에 대한 연구는 현재까지 계속되어 왔으나 이들에 있어서의 게이트 산화막내로의 핫캐리어 주입에 의한 열화 현상은 아직 충분히 규명되지않고 있다.^[7,9]

본 연구에서는 게이트와 n⁻ 소스/드레인 중첩구조를 갖는 n 채널 MOSFET의 게이트 산화막내로의 핫캐리어 주입에 의한 열화 현상을 조사하였다. 이 중첩소자는 ITLDD 제조공정 기술^[5]을 이용하여 제작하였다. 제작된 중첩소자의 드레인 및 게이트에 스트레스 전압을 인가하여 소자의 선형동작영역에서 문턱전압의 변화를 외삽(extrapolation)법으로 측정하였다. 아울러 다양한 스트레스 전압인가에 따라 문턱전압, 트랜스컨덕턴스 및 드레인 전류에 대한 열화특성을 조사하였다. 또한 n⁻ 농도 변화에 대해 문턱전압 및 트랜스컨덕턴스에 대한 열화 상관관계와 소자 수명을 분석하였다.

II. 실험

1. 제조공정

본 실험에서 제작된 n 채널 MOSFET 중첩소자 제조공정에 따른 단면도를 그림 1에 나타내었다. 실험에 사용된 기판은 비저항이 6~9Ω·cm이며 결정면이 (100)인 p형 실리콘 단결정 웨이퍼 이었다. 주요 공정을 간략히 살펴보면 다음과 같다. 먼저 게이트 산화막 성장 및 다결정 실리콘을 형성하는 공정은

종래의 n 채널 MOSFET 공정에서의 경우와 동일하다.

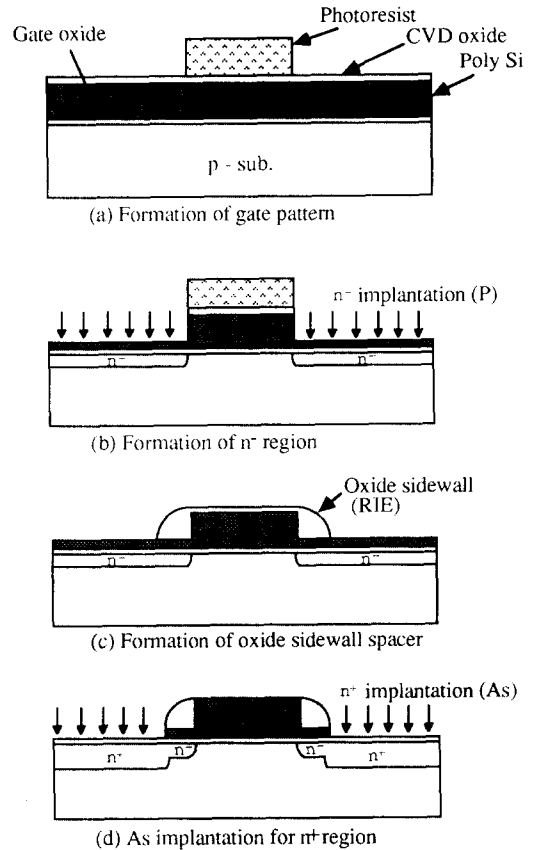


그림 1. 중첩구조를 갖는 n채널 MOSFET의 대표적인 제작과정의 단면도

Fig. 1. Typical cross section of n-channel MOSFET with overlapped structure.

이때 게이트 산화막 두께와 다결정 실리콘 두께는 각각 220 Å 과 2500 Å 으로 하였다. 문턱전압 조절을 위한 채널의 붕소(B) 이온 주입 에너지는 40 keV 이며, 이온 주입량은 $5 \times 10^{13} \text{ cm}^{-2}$ 였다. 그림 1(a)는 다결정 실리콘을 900℃ 에서 POCl₃로 인(P)을 도핑한 후 두께 1000Å 의 CVD 산화막을 증착하고, 사진전사 공정을 통하여 게이트 패턴을 형성한 것이다. 그림 1(b)에서 건식식각 공정을 통하여 두께 1000Å의 CVD 산화막을 제거하고, 두께 2500Å 의 다결정 실리콘은 800Å ~1000Å 정도 남기고 제거하였다. 그 다음 n⁻영역을 형성시키기 위해 인 (P) 이온 주입에너지는 80 keV 이며, 이온 주입량은 $5 \times$

10^{12}cm^{-2} 내지 $5 \times 10^{13} \text{cm}^{-2}$ 범위로 하였다. 이어서 게이트 패턴위에 남겨져 있는 감광막을 제거하였다. 그림 1(c)에서는 CVD 산화막을 두께 2000 Å 으로 증착하여 RIE(reactive ion etching) 공정으로 산화막 측벽(oxide sidewall spacer)을 형성시켰다. 그림 1(d)에서는 소스/드레인 영역에 있는 두께 800 Å ~ 1000 Å 정도의 다결정실리콘을 건식식각 공정으로 제거시킨다. 이어서 n^+ 소스/드레인 영역을 형성하기 위해 비소(As) 이온의 주입에너지는 50 keV 이며, 이온 주입량은 $7 \times 10^{15} \text{cm}^{-2}$ 로 하였다. 이시편을 RTA(rapid thermal anneal) 공정으로 1050 °C, N_2 분위기에서 15 초 동안 열처리를 하였다. 이때 n^+ 소스/드레인 영역의 접합깊이는 약 0.13 μm 였다. 마지막으로 420 °C 에서 30 분동안 N_2 분위기에서 열처리를 하였다.

그림 2는 다결정 실리콘층이 RIE 공정을 통하여 '역 T 자형' 으로 형성되었음을 보여주는 테스트 패턴의 SEM 사진이다. 여기서 산화막 측벽폭 Γ 는 약 0.15 μm 였다.

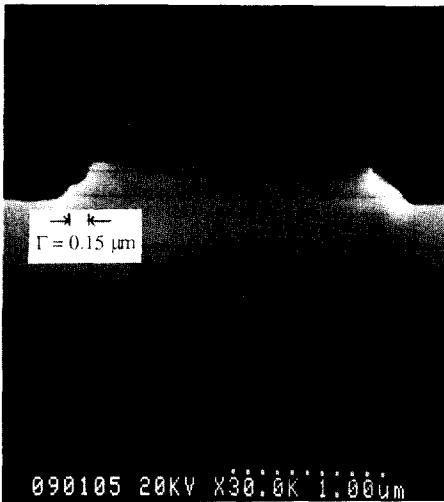


그림 2 '역T자형' 구조의 SEM 측정사진
Fig. 2. SEM picture of 'inverse-T structure'.

본 중첩소자에서 게이트와 n^- 영역간의 중첩길이는 RIE 공정을 하기전에 증착된 CVD 산화막의 두께로 조절되며, 그림 3 에서 나타난 바와같이 CVD 산화막의 두께가 1000Å 에서 3000Å 으로 변화함에 따라 Γ 는 0.08μm 에서 0.22μm 로 선형적으로 증가 하였다.

그림 4는 본 실험에서 제작된 중첩소자의 단면도이다. 게이트 길이 L_{mask} 는 약 0.8μm 이며, 게이트 산화막 두께는 약 220Å 이다. 그리고 n^+ 소스/드레인

의 접합깊이 X_j 는 0.13 μm 정도이며, Γ 는 약 0.15μm 이다.

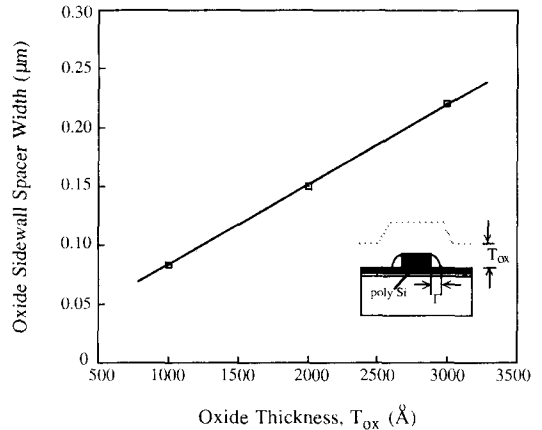


그림 3. RIE공정 후 CVD산화막 두께(T_{ox})에 대한 게이트 가장자리에서의 산화막 측벽폭 (Γ)

Fig. 3. Oxide sidewall spacer width(Γ) at the gate edge versus CVD oxide thickness(T_{ox}) after RIE process.

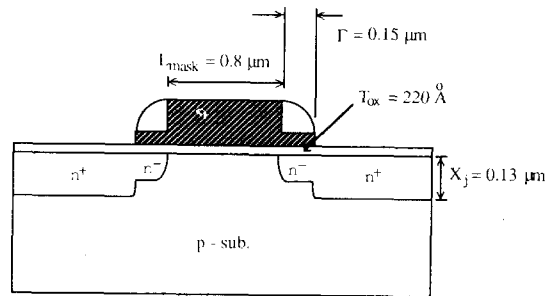


그림 4. 중첩소자의 단면도

Fig. 4. Cross section of the overlapped device.

2. 측정

본 실험에서 제작된 n 채널 MOSFET 중첩소자에 대한 DC 전기적 파라미터는 HP4145B Parameter Analyzer 를 이용하여 측정하였다. 스트레스 전압인가 및 측정에는 HP4145A Parameter Analyzer 와 HP9000 시리즈 300 컴퓨터를 사용하여 자동으로 스트레스 시간 및 전압을 제어하였다. 여기서 게이트와 드레인 단자에 스트레스 전압을 최대 10초 동안 인가하였다. 일반적으로 소자의 열화특성을 알아보기

위해서는 소스와 드레인 단자에 대해 스트레스 전압을 인가한 후 이들 소스와 드레인 단자를 바꾼 역방향 모드에서 측정한다. 그 이유는 핫캐리어 주입에 의해 국부적으로 열화된 드레인 부근에서의 Si - SiO₂ 계면이 드레인 전압에 의해 영향을 받으므로 이를 제거하기 위해서이다.^[10] 본 측정에서도 각 스트레스 전압 인가 후 소스와 드레인 단자를 바꾼 역방향 모드에서 스트레스 시간에 따른 소자의 문턱전압 V_t, 트랜스컨덕턴스 G_m 및 드레인 전류 I_d를 측정하였다. 여기서는 V_t의 변화 ΔV_t, G_m변화율 ΔG_m/G_{m0} × 100 및 I_d 변화율 ΔI_d / I_{d0} × 100은 각각 식(1), (2) 및 (3)으로 정의하였다.

$$\Delta V_t = V_t - V_{t0} \tag{1}$$

$$\frac{\Delta G_m}{G_{m0}} \times 100 = \frac{G_{m0} - G_m}{G_{m0}} \times 100(\%) \tag{2}$$

$$\frac{\Delta I_d}{I_{d0}} \times 100 = \frac{I_{d0} - I_d}{I_{d0}} \times 100(\%) \tag{3}$$

여기서 V_{t0}, G_{m0} 및 I_{d0}는 각각 스트레스 전압을 인가하지않은 초기상태에서의 V_t, G_m 및 I_d 값이다. 이때 V_t는 소자 동작의 선형영역에서 외삽법으로 구하였으며, G_m은 G_m의 최대값을 취하였다. I_d는 드레인 전압 V_d= 0.1V 및 게이트 전압 V_g = 3V에서 측정하였다. 한편 소자의 수명 τ는 ΔG_m / G_{m0} × 100 = 10 % 가 되는 스트레스 시간으로 정의된다.^[11] 본 열화측정에서는 스트레스 전압인가 전의 문턱전압 V_{t0}가 1.12 V에서 10% 이내의 범위에 들어온 소자들만을 선택하여 측정하였다.

Ⅲ. 결과 및 고찰

1. 기본 전기적 특성

제작된 n 채널 MOSFET 중첩소자에 대한 I_d - V_d 특성을 그림 5에 나타내었다. 짧은 채널효과에 의한 I_d 특성은 V_g = 5V인 경우 V_d = 5V 까지 되어도 거의 일어나지 않았다.

표 1은 중첩소자의 열화를 측정하기 위해 선정한 대표적 소자의 파라미터 측정결과를 종합하여 나타낸 것이다. 여기서 중첩소자의 중첩길이는 0.15μm 이며 n⁻ 영역의 인(P) 이온 주입에너지 및 이온 주입량은 각각 80 keV 및 1 × 10¹³cm⁻² 이다.

2. 핫 캐리어 주입특성

1) 스트레스 전압에 대한 열화특성

게이트 산화막내에 주입될 수 있는 주된 핫캐리어

는 n채널 MOSFET의 경우 드레인 어벌런치 핫캐리어 (DAHC: drain avalanche hot carrier)와 채널 핫전자(CHE: channel hot electron) 이다.^[4]

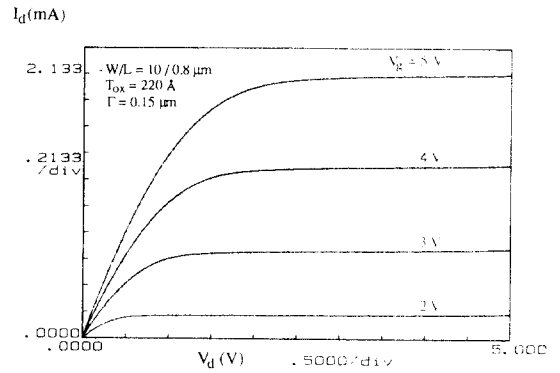


그림 5. 중첩소자의 I_d-V_d 특성

Fig. 5. I_d-V_d characteristics of the overlapped device.

표 1. 열화측정을 위한 대표적 중첩소자의 파라미터

Table 1. Parameters of the typical overlapped device for the measurement of the degradation.

Device parameter	Results
Device dimension (W/L, mask)	10 / 0.8μm
Gate oxide thickness (T _{ox})	220 Å
S/D junction depth (X _j)	0.13μm
Threshold voltage (V _t)	1.12 V
Maximum transconductance (G _m , mS/mm)	73 at V _d = 5 V
Subthreshold slope (mV/decade)	106 at V _d = 5 V
S/D junction breakdown voltage	9.2 V

DAHC은 V_d가 V_g보다 높은 경우 드레인의 고전계에 의해서 가속된 채널전자가 드레인 부근에서 격자와 충돌하여 이온화(impact ionization)로 발생된 핫전자와 핫정공이다. 이때 발생된 일부의 핫전자와 핫정공이 게이트 산화막안으로 주입된다. CHE은 V_d ≅ V_g의 경우 드레인의 고전계에 의해서 가속된 높은 에너지를 가지는 전자를 말한다. 이때 일부의 핫전자

가 채널상에서 게이트 산화막안으로 주입된다.

그림 6은 DAHC 가 게이트 산화막내에 주입될 정도로 $V_d > V_g$ 인 경우, 산화막내의 전계분포(그림 6(a))와 에너지 밴드 구조(그림 6(b) 및 그림 6(c))를 나타낸 것이다.

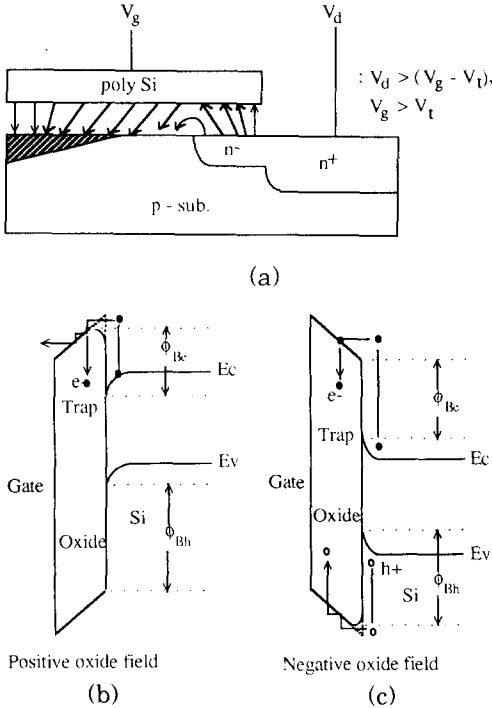


그림 6. 중첩소자의 포화영역에서 (a)게이트 산화막에서의 전계분포, (b)양의 산화막전계 및 (c)음의 산화막전계에 대한 에너지 밴드 구조

Fig. 6. Gate oxide field distribution (a), and energy band structure for positive oxide field (b) and negative oxide field (c) in the saturation region of the overlapped device.

그림 6(a)는 중첩소자가 포화영역에서 동작할때의 산화막내의 전계분포를 나타낸 것이다. 게이트 산화막내에는 중첩소자의 드레인으로부터 소스 방향으로 갈수록 게이트와 기판간에는 V_g 에 의한 양의 산화막전계(positive oxide field)가 걸리며, 드레인 부근에서는 V_d 에 의해 게이트와 드레인간에 음의 산화막전계(negative oxide field)가 걸리게 된다.^[12] 게이트 산화막내의 전계는 V_g 및 V_d 의 값에 따르며 이들 값에 따라 소자 열화의 주된 원인으로 작용하는

주된 캐리어가 핫전자, 핫정공 혹은 이들 둘 다에 의한 것인가에 대한 우세여부가 결정된다.

그림 6(b)는 양의 산화막전계가 걸렸을 경우 게이트와 기판에서 핫전자가 게이트 산화막안으로 주입되는 현상을 나타낸 것이다. 드레인과 채널간의 전계에 의해 높은 에너지를 얻은 CHE와 DAHC의 핫전자 중 Si - SiO₂ 계면에서 전자의 에너지 장벽(ϕ_{Be})보다 큰 에너지를 갖는 전자들은 게이트 산화막안으로 주입된다. 그림 6(c)는 음의 산화막전계가 걸렸을 경우 중첩영역에서 핫정공과 핫전자 모두가 산화막안으로 주입되는 현상을 나타낸 것이다. 일반적으로 중첩소자에서 DAHC는 Si - SiO₂ 계면에서 약간 Si안쪽의 pn⁻ 접합면의 n⁻ 영역에서 최대로 발생된다.^[6] 여기서 발생된 핫캐리어 중 Si - SiO₂ 계면에서 정공의 에너지 장벽(ϕ_{Bh})보다 큰 에너지를 가지는 정공들은 게이트 산화막안으로 주입되며, 전자의 에너지 장벽(ϕ_{Be})보다 큰 에너지를 가지는 핫전자도 주입된다. 이 경우 핫전자보다는 핫정공이 게이트 산화막내로 주입되기가 어렵다. 그이유는 Si - SiO₂ 계면에서의 에너지 장벽^[13]이 전자에 대해서는 3.1eV인 반면에 정공에 대해서는 3.7eV로서 높기 때문이다.

핫전자와 핫정공이 산화막내에 주입될 때에 드레인 부근의 Si - SiO₂ 계면에는 국부 열화층 (locally degraded layer)이 형성된다. 이때 전자의 이동도는 국부 열화층의 길이 ΔL_{eff} 내에서 영향을 받게 된다. 드레인 전류의 열화 특성과 국부 열화층에서 전자의 유효이동도 μ_{eff} 는

$$\frac{\Delta I_d}{I_{d0}} = \frac{G_0 - G(\Delta L_{eff}, \mu_{eff}, \Delta N_{it})}{G_0} \quad (4)$$

$$\mu_{eff} = \frac{\mu_0}{1 + \alpha N_{it}} \times \left(\frac{E_c}{E_{eff}}\right)^m \quad (5)$$

으로 표현되어진다.^[14] 식(4)에서 G_0 는 열화되지 않은 초기 상태의 채널 컨덕턴스, G 는 열화된 후 국부 열화층에서의 채널 컨덕턴스, ΔN_{it} 는 발생된 계면준위밀도이다. 식(5)에서 E_c 및 E_{eff} 는 각각 임계전계의 세기와 채널에 대한 유효 수직전계의 세기이며, μ_0 는 낮은 전계에서의 전자의 이동도이고, α 및 m 은 기판의 불순물 농도와 관련된 상수이다. 따라서 식(5)에서 계면전하량이 증가하면 전자의 유효이동도는 감소됨을 알 수 있고, 식(4)에서 드레인 전류가 감소함을 보여준다.

일반적으로 n채널 MOSFET 동작 상태의 경우 어셉터형(acceptor-like)의 계면준위가 전자와 결합하여 음전하로서 작용하며 소자특성에 영향을 준다고 알려져 있다.^[15] 핫캐리어가 게이트 산화막내에

주입되면 Si - SiO₂ 계면에서의 계면전하와 산화막내부에 트랩된 전하가 모두 소자열화에 영향을 주게 된다. 즉 핫전자가 산화막에 주입되는 경우, 계면 및 산화막내부의 트랩된 전자로 인해 V_t는 증가하고, 전자의 이동도가 감소하여 I_d 및 G_m은 감소한다. 한편 핫정공이 산화막에 주입되면, 산화막내부의 트랩된 정공으로 인해 V_t는 감소하고, I_d 및 G_m은 증가된다. 그러나 계면에 트랩된 전자에 의해서 전자의 이동도는 감소되며 I_d 및 G_m은 감소된다.^[15] 따라서 I_d 및 G_m의 값은 핫정공주입의 경우에는 산화막내부의 트랩된 정공량과 계면에 트랩된 전자량에 의해서 결정된다.

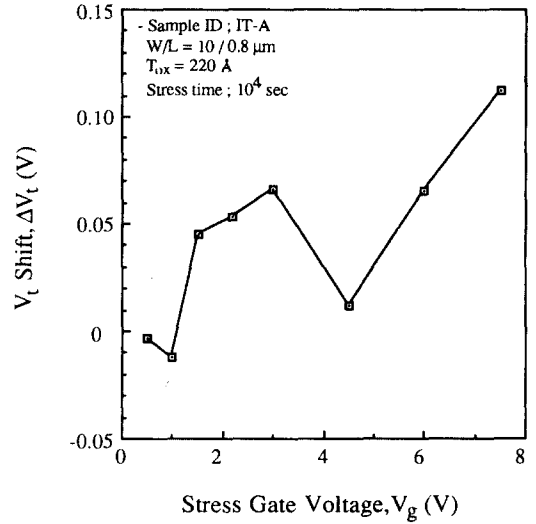
표 2는 본 증첩소자의 열화측정을 위해 사용된 시편을 나타낸 것이다. 사용한 시편 IT-A, IT-B 및 IT-C는 n⁻ 영역의 이온 주입량을 각각 5x10¹²cm⁻², 1 x 10¹³cm⁻² 및 5 x 10¹³cm⁻²로 한 것이며 이들의 증첩길이는 모두 0.15μm로 동일하다. 시편 LD-A는 증첩소자의 열화특성을 비교하기 위한 종래의 LDD 소자이다.

표 2. 소자 열화측정을 위해 사용된 시편
Table 2. Samples used for the measurement of device degradation.

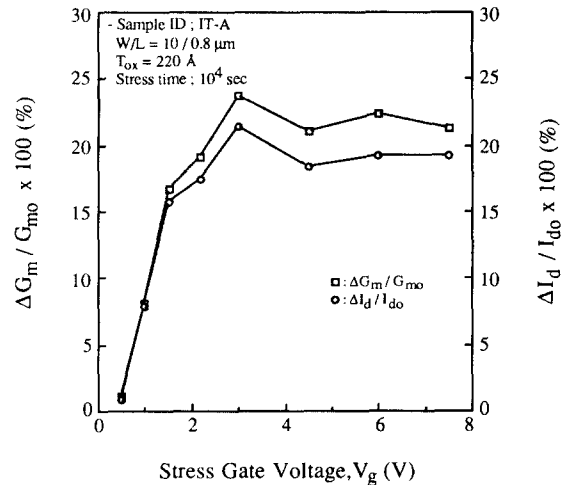
Sample ID	Oxide thickness (Å)	Γ* (μm)	P implant in n ⁻ region		Device structure
			Energy (keV)	Dose (cm ⁻²)	
IT - A	220	0.15	80	5 x 10 ¹²	Overlapped device
IT - B	220	0.15	80	1 x 10 ¹³	Overlapped device
IT - C	220	0.15	80	5 x 10 ¹³	Overlapped device
LD-A	250	-	40	1 x 10 ¹³	Conv. LDD device

* Gate / n⁻ overlap length in the overlapped device

그림 7은 V_d = 6V로 고정하고 각 V_g에 대한 ΔV_t, G_m 및 I_d의 변화율을 나타낸 것이다. 이때 인가한 스트레스 시간은 모두 104초였다. V_g 변화에 대한 ΔV_t 열화특성은 종래의 MOSFET에서의 게이트 열화특성^[4,16]과 거의 유사한 현상을 보여주고 있다. 증첩소자의 열화 측정결과에 대해 V_g ≅ V_{to}, V_g = V_d / 2 및 V_g ≅ V_d의 세영역으로 나누어서 설명해보면 다음과 같다. V_g = V_{to}(= 1.12 V)에서는 게이트와 드레인 간의 높은 음의 산화막 전계 영향으로 핫정공에 의한 주입현상이 우세하며, 산화막내부에 포획된 정공에 의해 V_g = 1 V에서 ΔV_t는 -12 mV를 나타내었다. 그러나 G_m 및 I_d의 변화율은 각각 8.1%와 7.8%로서 열화는 다소 증가되는데 이는 계면에 트랩된 전자로 인해 전자의 이동도가 감소되었기 때문이다.



(a)



(b)

그림 7. V_d=6V에서의 V_g 변화에 대한 (a) V_t, (b)G_m 및 I_d 열화특성

Fig. 7. Degradation of (a) V_t, and (b) G_m and I_d as a function of V_g at V_d=6V.

V_g가 증가함에 따라 드레인 부근에서 충돌이온화에 기여하는 채널전자는 증가하게 되지만 드레인의 옆방향 전계 (lateral electric field)는 낮아진다. 따라서 DAHC 발생영역내에서는 최대 충돌이온화가 일어난다는 V_g가 존재하게 되고, 이때 핫전자와 핫정공이 동시에 소자열화에 기여하게 된다.^[3] 본 실험에서

는 $V_g \cong V_d/2 (= 3V)$ 에서 ΔV_t 는 66mV, G_m 및 I_d 의 변화율은 각각 23.7%와 21.4%로 최대의 열화 특성을 나타내었다. V_g 가 $V_d/2$ 보다 더욱 증가함에 따라 V_t , G_m 및 I_d 의 변화율은 감소되었다. 그러나 $V_g \cong V_d (= 6V)$ 에 접근할수록 채널 영역에서의 핫 전자가 소자 열화의 주원인으로서 게이트 산화막내에 주입된다. 본 중첩소자에서는 V_g 가 V_d 이상인 경우 $V_g \cong V_d/2$ 경우보다도 V_t 는 더욱 증가하는 반면에 G_m 및 I_d 의 변화율은 각각 22% 및 19% 정도로 거의 일정한 값을 나타내었다. 이는 게이트 산화막내부에 CHE가 계속 트랩되는 것에 비해 계면준위의 발생은 거의 포화가 되는 것으로 추정할 수 있다.

그림 8은 $V_g = 3V$ 로 고정하고 각 V_d 에 대한 ΔV_t , G_m 및 I_d 의 변화율을 나타낸 것이다. 이때 인가한 스트레스 시간은 모두 104초 였다. V_d 를 증가시키기에 따라 ΔV_t 는 $V_d = 5.5V$ 까지는 거의 변화가 없다가 그이상에서는 비교적 급격하게 증가 하며, G_m 및 I_d 의 변화율은 $V_d = 4V$ 부터 비교적 급격하게 증가 하였다. 따라서 $V_d = 5.5V$ 이상에서 드레인 부근에 충돌 이온화가 크게 일어남을 예측할 수 있으며 이 경우에는 핫전자와 핫정공이 소자열화에 동시에 영향을 준다. 그러나 본 측정결과에서는 V_t , G_m 및 I_d 의 변화율의 증가로 인해 핫전자에 의한 주입효과가 우세 하다고 할 수 있다. 드레인 영역 부근에서 게이트와 드레인간에 인가되는 산화막 전계 E_{ox} 를 간단한 수식으로 다음과 같이

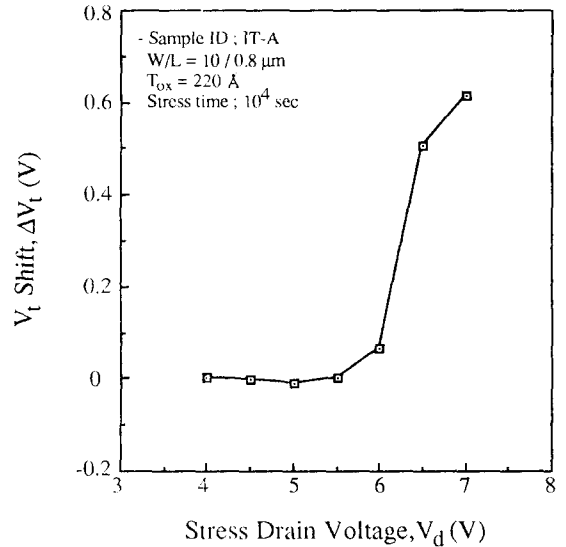
$$E_{ox} = (V_g - V_t - V_d) / T_{ox} \quad (6)$$

표현할 수 있다.¹²⁾ $V_d = 5.5V$ 및 $V_g = 3V$ 의 경우 게이트와 드레인간의 음의 산화막전계는 $V_w = 1.12V$ 및 게이트 산화막 두께 $T_{ox} = 220\text{\AA}$ 을 대입하면 약 1.6 MV/cm 이다.

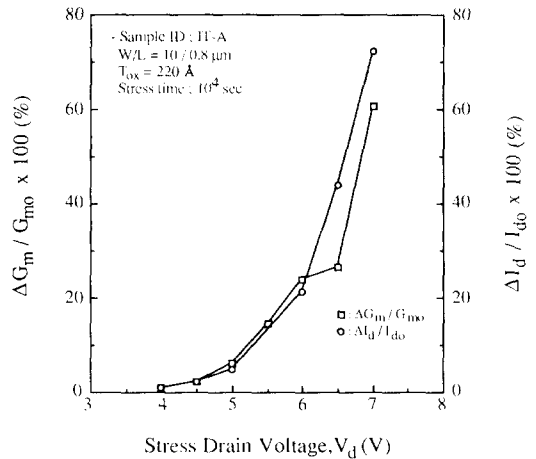
2) n^- 농도에 대한 열화특성

그림 9는 중첩소자 및 종래의 LDD 소자에 대해 n^- 농도 변화에 따른 ΔV_t 및 G_m 변화율의 열화 상관 관계를 나타낸 것이다. 스트레스 전압은 $V_d = 6V$ 에서 최대 I_{sub} 에 대응되는 V_g 로 하였으며, 이때 V_g 는 n^- 이온 주입량이 $5 \times 10^{12}\text{cm}^{-2} \sim 5 \times 10^{13}\text{cm}^{-2}$ 인 중첩소자에서 $3.05 \sim 3.2V$ 였다. 그리고 스트레스 시간은 10^4 초 였다. 중첩소자에서 n^- 이온 주입량을 $5 \times 10^{12}\text{cm}^{-2}$ 에서 $5 \times 10^{13}\text{cm}^{-2}$ 로 증가시키기에 따라 V_t 및 G_m 의 열화는 감소하였다.

이때 최대 G_m 변화율은 23%에서 5%로 감소하였다. 중첩소자에서 n^- 농도에 대한 최대 역방향전계 E_m 의 2차원 전계 시뮬레이션 분석 결과,¹⁹⁾ n^- 농



(a)



(b)

그림 8. 3V에서의 V_d 변화에 대한 (a) V_t , (b) G_m 및 I_d 열화특성

Fig. 8. Degradation of (a) V_t , and (b) G_m and I_d as a function of V_d at $V_g=3V$.

도가 증가함에 따라 기판과 n^- 접합점에서의 E_m 은 증가하는데 비하여 n^- 와 n^+ 접합점에서의 E_m 은 감소한다. 따라서 중첩소자에 영향을 주는 최대 E_m 은 n^- 농도를 증가시키기에 따라 어떤 특정 n^- 농도까지는 감소하다가 그이상에서는 증가하게 된다. 본 실험조

전에서의 n⁻ 농도는 특정 n⁻ 농도 이하에 있는 것으로 추정된다. 중첩소자에서 ΔV_t가 초기에 음의 값으로 증가하다가 시간이 지남에 따라 양의 값으로 증가하는 현상은 핫전자와 핫정공 주입에 의한 상호 보상 효과와 계면에 트랩된 전자에 의한 이동도 감소가 복합적으로 영향을 주었다고 할 수 있다. 그리고 종래의 LDD 소자에서는 ΔV_t가 양의 값으로 증가되고 있으며 n⁻ 영역이 게이트와 약하게 중첩됨으로 인해 드레인 부근에서 음의 산화막전계 감소로 거의 핫전자 주입에 의한 소자열화가 우세하다고 추정된다.

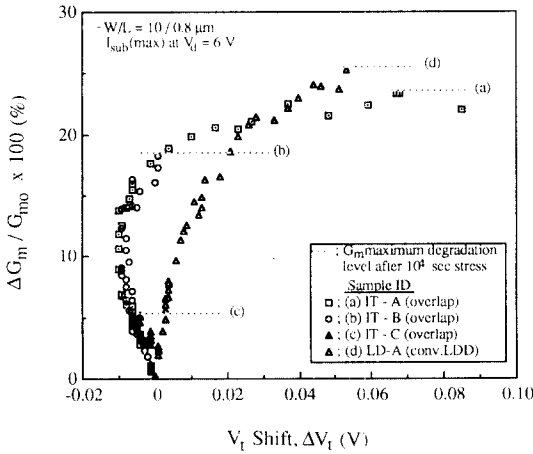


그림 9. n⁻ 농도가 다른 소자의 V_t 및 G_m 열화 상관 관계

Fig. 9. Correlation between V_t and G_m degradation with different n⁻ concentrations.

그림 10은 중첩소자와 종래의 LDD 소자에서 V_d 변화에 대한 소자 수명을 나타낸 것이다.

본 측정분석에서 각 V_d에 대해 기판전류 I_{sub}가 최대인 점에서의 V_g를 선택하여 스트레스 전압으로 인가 하였고, ΔG_m / G_{m0} × 100 = 10%에서의 스트레스 시간으로서 소자수명 τ를 정의 하여 τ와 V_d와의 관계를 나타내었다. 일반적으로 ln τ와 1 / V_d은 선형적인 관계를 가지고 있으며,^[11] 본 측정에서도 동일한 결과를 확인할 수 있었다. 일정한 V_d에 대해 중첩소자의 n⁻ 농도가 증가할 수록 τ는 증가하며, 종래의 LDD 소자의 경우보다 τ가 훨씬 개선되었다. 한편 n⁻ 이온 주입량이 5 × 10¹³ cm⁻² 인 중첩소자의 경우는 V_d = 5V에서 소자수명이 10년 이상으로 나타내었다.

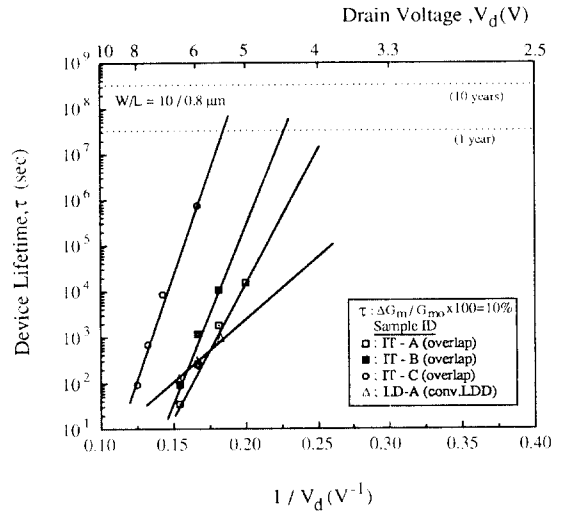


그림 10. 중첩소자와 종래의 LDD소자에서 다른 n⁻ 농도에 대해 1/V_d 변화에 대한 수명 특성

Fig. 10. Device lifetime versus inverse V_d as a function of different n⁻ concentration for the overlapped devices and a conventional LDD device.

IV. 결론

본 연구에서는 게이트 길이가 0.8μm 인 ITLDD (inverse - T gate lightly doped drain)형 n 채널 MOSFET 중첩소자에 대해서 핫캐리어 주입에 의한 소자의 열화특성을 조사하였다.

스트레스 전압에 대한 열화특성을 조사함에 있어서는 V_d = 6V로 고정하고 각 V_g에 대한 V_t, G_m 및 I_d를 조사하였다. 이때 인가한 스트레스 시간은 모두 104초 였다. 이경우 열화의 주원인이 되는 것은 V_d > V_g에서는 DAHC이며, V_d ≤ V_g에서는 CHE이다. V_g = 1V(≅ V_{th})에서는 열화가 주로 핫정공 주입에 기인하였다. 이때 ΔV_t는 -12mV, G_m 및 I_d의 변화율은 각각 8.1%와 7.8% 였다. V_g가 증가함에 따라 핫정공 뿐만 아니라 핫전자도 열화에 기여하였다. V_g = 3V(≅ V_d / 2)에서는 핫전자에 의한 열화가 우세하였다. 이때 ΔV_t는 66mV, G_m 및 I_d의 변화율은 각각 23.7%와 21.4% 였고, DAHC 주입에 의한 최대 열화를 나타내었다. V_g가 V_d / 2 보다 더욱 증가함에 따라 V_t, G_m 및 I_d의 변화율은 감소되었다. V_g가 V_d 이상이 되면 CHE 주입에 의해

$V_g = V_d / 2$ 인 경우보다도 ΔV_t 는 더욱 증가 하는 반면에 G_m 및 I_d 의 변화율은 각각 22% 및 19% 정도로 거의 일정한 값을 나타내었다. 또한 $V_g = 3$ V 로 고정한 채 $V_d = 4$ V에서 7V로 변화시키면, ΔV_t 는 $V_d = 5.5$ V 부근에서 비교적 급격하게 증가하였고, G_m 및 I_d 의 변화율은 각각 $V_d = 4$ V 부터 비교적 급격하게 증가하였다.

한편 n^- 농도에 대한 증첩소자의 열화특성은 $V_d = 6$ V로 고정하고 최대 I_{sub} 에 대응되는 V_g 에서 10^4 초 동안 스트레스 전압을 인가하여 조사하였다. 이때 최대 G_m 변화율은 n^- 이온 주입량을 $5 \times 10^{12} \text{cm}^{-2}$ 에서 $5 \times 10^{13} \text{cm}^{-2}$ 로 증가시키에 따라 약 23% 에서 5% 로 감소되었다. n^- 이온 주입량이 $5 \times 10^{13} \text{cm}^{-2}$ 인 소자의 수명은 $V_d = 5$ V일 때 10년 이상 이었다.

參 考 文 獻

- [1] N. G. Einspruch and G. Gildenblat, Eds., *Advanced MOS Device Physics*, Academic Press, San Diego, pp. 119-189, 1988.
- [2] J. J. Sanchez, K. K. Hsueh, and T. A. Demassa, "Drain-engineered hot-electron-resistant device structures : a review," *IEEE Trans. Electron Devices*, vol. ED-36, no. 6, pp. 1125-1132, 1989.
- [3] M. Koyanagi, "Hot carrier effects in MOS devices," *Oyo Buturi (應用物理, 日本)*, vol. 59, no. 3, pp. 310-324, 1990.
- [4] E. Takeda, "Hot - carrier effects in submicrometer MOS VLSIs," *IEE Proc.*, vol. 131, Pt. I, no. 5, pp. 153-162, 1984.
- [5] T. Y. Huang, W. W. Yao, R. A. Martin, A. G. Lewis, M. Koyanagi, and J. Y. Chen, "A novel submicron LDD transistor with inverse - T gate structure," *IEDM Technical Digest*, pp. 742-745, 1986.
- [6] R. Izawa, T. Kure, and E. Takeda, "Impact of the gate-drain overlapped device(GOLD) for deep submicrometer VLSI," *IEEE Trans. Electron Devices*, vol. ED-35, no. 12, pp. 2088-2093, 1988.
- [7] T. Hori, J. Hirase, Y. Odake, and T. Yasui, "Deep - submicrometer large angle tilt implanted drain(LATID) technology," *IEEE Trans. on Electron Devices*, vol. ED-39, no. 10, pp. 2312-2324, 1992.
- [8] Y. Hu, R. V. H. Booth, and M. H. White, "An analytical model for the lateral channel electric field in LDD structures," *IEEE Trans. Electron Devices*, vol. ED-37, no. 10, pp. 2254-2264, 1990.
- [9] K. Mayaram, J. C. Lee, and C. Hu, "A model for the electric field in lightly doped drain structures," *IEEE Trans. Electron Devices*, vol. ED-34, no. 7, pp. 1509-1518, 1987.
- [10] K. L. Chen, S. A. Saller, I. A. Groves, and D. B. Scott, "Reliability effects on MOS transistors due to hot - carrier injection," *IEEE Trans. Electron Devices*, vol. ED-32, no. 2, pp. 386-393, 1985.
- [11] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot - carrier injection," *IEEE Electron Device Letters*, vol. EDL-4, no. 4, pp. 111-113, 1983.
- [12] K. R. Hofmann, C. Werner, W. Weber, and G. Dorda, "Hot - electron and hole - emission effects in short n-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-32, no. 3, pp. 691-699, 1985.
- [13] R. B. Fair and R. C. Sun, "Threshold - voltage instability in MOSFET's due to channel hot - hole emission," *IEEE Trans. Electron Devices*, vol. ED-28, no. 1, pp. 83-94, 1981.
- [14] Y. Toyoshima, H. Iwai, F. Matsuoka, H. Hayashida, K. Maeguchi, and K. Kanzaki, "Analysis on gate - oxide thickness dependence of hot - carrier - induced degradation in thin - gate oxide nMOSFET's," *IEEE Trans. Electron Devices*, vol. ED-37, no. 6, pp. 1496-1503, 1990.
- [15] T. Tsuchiya, "Trapped - electron and generated interface - trap effects in hot

- electron - induced MOSFET degradation." *IEEE Trans. Electron Devices*, vol. ED-34, no. 11, pp. 2291-2296, 1987.

oxide region and hot - electron trapping as the main cause in Si nMOSFET degradation." *IEEE Trans. on Electron Devices*, vol. ED-34, no. 2, pp. 386-391, 1987.

[16] T. Tsuchiya, T. Kobayashi, and S. Nakajima, "Hot - carrier - injected

— 著 者 紹 介 —



李大雨 (正會員)

1956年 2月 18日生, 1980年 1月 ~ 현재 한국전자통신연구소, 반도체 연구단 근무, 1983年 2月 경북대학교 대학원 전자공학과 졸업(석사), 1988年 3月 ~ 현재 경북대학교 대학원 전자공학과 박사과정, 주 관심분야는 반도체 소자구조, 소자 모델링 및 신뢰성 분야

李 宇 一 (正會員) 第 28 卷 A 編 第 7 號 參照.

현재 경북대학교 전자공학과 교수