

수율 예측을 위한 변수 설정과 모델링에 대한 연구

(A Study of Establishment of Parameter and Modeling for Yield Estimation)

金興植*, 金鎮洙*, 金泰覺*, 崔民成

(Heung Sik Kim, Jin Soo Kim, Tae Gak Kim and Min Sung Choi)

要約

제품의 수율 예측을 위해서는 유효면적의 설정 뿐만아니라, 제조 공정의 청정도와도 관련된 검사 평균 결함 밀도 외에 최소 선폭 및 총 공정수가 포함된 공정 결함 밀도의 새로운 변수가 필요하다. 또한 기술을 선도하는 메모리 제품의 여분셀에 의한 재생 수율을 결함 밀도 분포 함수와 관련하여 도출하였고, 이에 따른 제품별 수율을 확인하였다. 이것은 제조 공정의 청정도와 설계 및 제조과정의 제품 조건에 따라 통계적 방법을 통하여 수율 예측을 가능하게 한다

Abstract

The estimation of yield for semiconductor devices requires not only establishment of critical area but also a new parameter of process defect density that contains inspection mean defect density related cleanness of manufacture process line, minimum feature size and the total number of mask process. We estimate the repaired yield of memory device, leads the semiconductor technique, repaired by redundancy scheme in relation with defect density distribution function, and we confirm the repaired yield for different devices as this model. This shows the possibility of the yield estimation as statistical analysis for the condition of device related cleanness of manufacture process line, design and manufacture process.

1. 서론

VLSI의 발달은 기능의 향상과 고집적화된 제품을 가능하게 하고 있으며, 이것은 회로 설계시 선폭의 작아짐과 칩 면적의 커짐이 필연적이다. 이로 인해 제조 과정에서 발생하는 결함(Defect)의 영향은 수율(Yield) 감소의 치명적인 원인이 되며 수율 예측의 주요 요소이기도 하다.^[1]

지금까지 수율을 예측하는 모델은 평균 결함 밀도의 측정과 칩의 유효 면적을 계산하여 통계적으로 계산 되어졌으며^[2], 초기에는 결함이 포아송 분포(Poisson Distribution : Random)에 의해 발생하는 모델로 설정되었고 그후 결함 밀도의 불균일 분포를 설명하면서 결함 밀도의 분포 함수를 고려하게 되었다.^[3,4] 이러한 분포 함수에는 삼각 함수(Murphy Yield Model), 지수 함수(Seed Yield Model), 직각 함수, 감마 함수, 다중 델타 함수등이 사용되어 왔다^[5]. 또한 제품에 미치는 영향에서 결함 밀도 분포 뿐만아니라, 결함의 크기에 대한 고려가 이루어졌고 이에 대한 분포 함수로는 선형 급수 분포(Linear Power Law Distribution : Ferris-

* 正會員, 金星 일렉트론 株式會社
(GoldStar Electron Co.)
接受日字: 1992年 7月 4日

Prabhu)가 대표적이다.^[6-8] 그러나, 실제 제조 공정에서 정확히 평균 결함 밀도와 결함의 크기에 대한 유효 면적(Critical Area)을 계산하여 수율을 예측하고 활용하기는 매우 어려운 일이다.

본 논문에서는 종전 방법인 칩의 유효 면적 설정과 광학 현미경 검사에 의한 평균 결함 밀도 외에 추가로 제품의 공정수, 최소 선폭 (Minimum Feature Size)을 고려한 수율과의 관계를 분석하여 모델화 하였다. 또한 동일 모양의 반복적인 셀을 가지고 있는 메모리 제품의 경우 결함에 의한 수율 감소를 보상하는 방법으로 여분의 셀(Redundancy Cell)을 만들어 불량셀을 재생하는 재생 수율(Repaired Yield)에 대해서도 모델화 하였다. 이렇게 설정된 모델을 기초로하여 고집적화된 제품의 관리되어야 할 결함 밀도 수준과 이에 대한 수율을 예측하였다

II . 본 론

1. 수율 모델 방정식

수율 모델 방정식은 머피의 공식(Murphy's formula)에 의하면, 식(1)로 표현된다.^[5]

$$Y = \int_0^{\infty} e^{-D\alpha c} f(D) dD = Y_0(D_0, A_c) \quad (1)$$

Y : 수율, D: 결함 밀도, D₀ : 평균 결함 밀도, A_c : 유효 면적, f(D) : 결함 밀도 분포 함수, 여기서 수율 Y₀에서 첨자 0은 결함이 유효면적에 없는 경우임을 강조한 것이다. 또한 결함 밀도(D)는 식 (2)로 얻어진다

$$D = \frac{x}{\Delta A} \quad (2)$$

x : ΔA 에서의 결함 수, ΔA : 검사 면적

식(1)에서 D=D₀ 일 경우는 결함이 균일한 분포를 하고 있는 경우이며 확률 분포 함수는 델타 함수 (δ D-D₀)로 되어 포아슨 수율 모델이 되고, D≠D₀ 일 경우는 결함이 불균일한 분포를 하고 있는 경우이며 수율 모델은 복합 포아슨 모델을 따르게 된다. 유효 면적 (A_c)은 결함 검사 영역(A)에서 선폭(Line Width) 및 선 간격(Line Space)과 결함의 크기로 결정되며 일정한 크기(X)를 갖는 결함이 불량(단선 또는 선연결)을 유발하는 확률(K(X))은 식(3)와 같아 된다.^[8]

$$K(X) = \frac{A_c}{A} \quad (3)$$

A_{cc}은 결함 크기 X의 검사 면적 A에 대한 유효 면적이다. 따라서, 전체 결함 크기에 대한 유효 면적 (A_c)는 식(4)로 표현된다.

$$A_c = A \int S(X) K(X) dX \quad (4)$$

여기서, S(X)는 결함 크기 분포 함수, K(X)는 불량 확률 커널(Fault Probability Kenel)로 0≤K(X)≤1 를 갖는다

본 논문에서 이용된 모델 방정식은 결함 밀도 분포 함수로 감마 함수를 갖는 복합 포아슨 모델을 기초로 하였다. 결함 밀도 분포 함수 f(D) 및 확률 분포 함수 P(D₀)는 다음과 같이 표현된다.^[5]

$$f(D) = \frac{1}{\Gamma(\alpha)\beta^\alpha} D^{\alpha-1} e^{-D/\beta} \quad (5)$$

$$\alpha = D_0^2 / \text{Var}(D)$$

$$\beta = \text{Var}(D) / D_0$$

$$D_0 = \alpha \beta$$

D : 결함 밀도, Var(D) : 결함 밀도의 분산, D₀ : 평균 결함 밀도

$$P(x, \alpha, A_c, D_0) = \frac{\Gamma(\alpha + x)(A_c D_0 / \alpha)^x}{x! \Gamma(\alpha)(1 + A_c D_0 / \alpha)^{(\alpha+x)}} \quad (6)$$

x : 결함수, α : 분포 인자, A_c : 유효 면적

여기서 식(6)은 웨이퍼의 평균 결함 밀도가 D₀일 경우 면적 A_c에 결함이 x 개 발생할 확률을 의미하며, 분포 인자 α는 웨이퍼에서의 결함 분포를 나타내는 인자이다. 이때 결함이 균일하게 분포할 경우 [Random, Var(D)→0, 결함 밀도 분포 함수 f(D) = δ (D-D₀)]에는 α 값이 큰 값을 갖게되고 수율 모델은 포아슨 모델에 가까워진다. 그러나 결함이 불균일하게 분포할 경우 [Clustering, Var(D)→∞]에는 α 값이 0에 가까워지고 복합 포아슨 모델이 된다. 한편 수율 방정식 Y는 위의 식(6)에서 칩의 유효 면적 A_c 내에 결함이 없는 경우(즉 x=0)로 다음의 식 (7)과 같게 된다.

$$Y(\alpha, A_c, D_0) = P(x=0, \alpha, A_c, D_0) = (1 + A_c D_0 / \alpha)^{-\alpha} \quad (7)$$

여기서 α → ∞이면, 수율 Y = e^{-A_cD₀}가 된다.

그러나 메모리 칩인 경우 선폭의 크기와 밀도에 따라서 결함에 의한 민감도 효과(Sensitivity Effect)가 서로 다르게 나타난다.^[9] 보통 메모리 칩은 주변

회로 영역과 메모리셀 영역으로 구분되어 있으며 메모리 셀 영역은 주변 회로 영역에 비해서 선풍이 작고 조밀하게 구성되어 있어 결합에 민감하고 칩 전체 면적의 반이상을 차지하여 수율 감소의 주영역이 된다. 따라서 집적도가 높은 메모리 칩의 경우에는 여분의 메모리 셀을 만들어 결합에 의한 메모리 셀 영역의 불량을 재생시켜 수율 감소를 보상하는 것이 통례이다. [5] 따라서 본 연구에서는 식(7) 수율 방정식을 메모리 제품에 적용하기 위해 칩을 주변 회로 영역과 메모리셀 영역으로 양분하고, 각각의 수율은 독립적으로 영향을 미친다고 생각하면 칩의 전체 수율은 두 영역 수율의 곱인 다음의 식 (8)와 같이 표현된다.

$$Y_{chip} = Y_p * Y_m$$

$$= Y_p * \left[\sum_{x=0}^{x_m} P_m(x, \alpha, A_m, D_o) \right]^{N_b} \quad (8)$$

- Y chip : 칩의 전체 수율
- Yp : 주변 회로 영역의 수율
- Ym : 메모리 셀 영역의 수율
- Nb : 부 블럭 수
- Ams : 부 블럭의 면적

식(8)에서 대괄호 안은 메모리 셀 영역의 수율로서 각 부블럭에서 결합이 없을 경우(x=0)의 수율과 재생 가능한 경우의 수율을 합한 것이다. 그리고 주변 회로의 영역과 메모리 셀 영역에서 결합에 대한 민감 정도를 고려해서 다음과 같이 각각의 영역에 대한 유효 면적을 가정하였다.

첫째, 주변 회로에서 발생하는 결합 중 반이 주변 회로의 불량을 유발한다. 즉 주변 회로 영역의 유효 면적(Apc)은 주변 회로 면적(Ap)의 반 (Apc = 1/2 Ap)이다.

둘째, 메모리 셀 영역에서 발생하는 결합은 전부 메모리 셀의 불량을 유발한다. 즉 메모리 셀의 유효 면적(Amc)은 메모리 셀 영역의 면적(Am)과 같다(Amc = Am).

또한 메모리 셀 영역에서 여분의 셀 구조는 로우(Row)와 칼럼(Column)으로 구성되어 있으며 각각에 대한 재생 수율을 고려해야 한다. 로우 및 칼럼의 여분 셀은 메모리 셀 영역에 대해서 각 여분 셀의 면적에 비례하여 재생할 확률이 있고 하나의 결합은 한 여분 셀에 의해 재생될 경우만을 고려하면 메모리 셀 영역은 로우 여분 셀에 의해 재생되는 로우 유효 면적과 칼럼 여분 셀에 의해 재생되는 칼럼 유효 면적

으로 양분할 수 있고 이때의 전체 칩의 수율 방정식 (8)는 다음의 식(9)와 같이 된다.

$$Y_{chip} = Y_p * \left[\sum_{x=0}^{x_r} P_{mr}(x, \alpha, A_{mcr}, D_o) * \sum_{x=0}^{x_c} P_{mc}(x, \alpha, A_{mcc}, D_o) \right]^{N_b} \quad (9)$$

- A_mcr : 로우 유효 면적,
- A_mcc : 칼럼 유효 면적,
- A_rr : 로우 여분 셀 원소의 면적,
- A_rc : 칼럼 여분 셀 원소의 면적,
- x_r : 로우 여분 셀 원소 수,
- x_c : 칼럼 여분 셀 원소 수

2. 제품별 검사 결합 밀도 측정

제품별 중요 공정에서 광학 현미경으로 결합 조사를 실시하였다. 각 공정에서 발생된 결합은 발생 공정 및 위치를 표시하여 타 검사 공정에서 중복되지 않도록 표시하였고 각 검사 공정에서 발견된 결합의 합을 검사 면적으로 나누어 검사 결합 밀도(Di)를 계산하였다.

$$D_i = \frac{\text{총 결합 수}}{\text{총 검사 면적}} \quad [\# / \text{Cm}^2] \quad (10)$$

표 1. 검사 제품 및 검사 결합 밀도

검사 결합 밀도는 전체 검사 웨이퍼의 평균 값임.

Table 1. Inspection devices and inspection defect density.

The value of inspection defect density is the average of total inspection wafer.

구분	A	B	C	D	E	F
검사 제품						
칩 면적 [Cm ²]	0.1515	0.4643	0.9176	0.7161	1.4842	2.2967
최소선풍 [μm]	1.2	1.0	0.8	0.8	0.6	0.4
마스크 공정 수	15	14	18	22	24	28
시료 로트 수	20	20	3	2	-	-
검사 웨이퍼 수 [웨이퍼/로트]	3	3	3	1	-	-
검사 칩 수 [칩/웨이퍼]	36	20	20	36	-	-
검사 결합 밀도 [# / Cm ²]	0.7	0.6	1.3	1.0	-	-

표 1에서 검사 샘플링(Sampling)은 AQL(Acceptable Quality Level) 6.5 % 기준으로 진행되었으며 로트당 웨이퍼 수는 25장이다. [10]

3. 공정 결함 밀도의 설정

결함의 크기 분포 $[S(X)]$ 는 페리스 프라후 (Ferris-Prabhu)에 의해서 제안된 선형 급수법 분포에 의하면 다음의 식(11)과 같다. [6-8]

$$S(X) = \frac{X^q}{X_m^{(q+1)}} \quad 0 \leq X \leq X_m, X_m < s$$

$$= \frac{X_m^{(p+1)}}{X^p} \quad X_m \leq X \leq \infty \quad (11)$$

여기서 최소 선평(s)을 갖는 메모리 셀 영역의 유효 면적은 메모리 셀 면적 전체로 가정하였고, X_m 은 최대 확률을 갖는 결함 크기를 나타낸다. 결함 크기의 불량 확률이 1인 경우에 대해서 최소 선평 및 선평간격이 s 인 것으로 가정하면, 이 경우의 결함 크기는 $X \geq 2s$ 가 된다. 일반적으로 q값이 크면 결함의 크기가 비슷하며 반대로 p,q가 작으면 결함의 크기가 많은 종류로 분포되어 있다고 할 수 있다. 식(11)에 $q=1, p=2$ 를 대입하면 다음과 같이 유효 결함의 수는 최소 선평에 반비례하는 것을 알 수 있다.

$$S(X \geq 2s) = \int_{2s}^{\infty} S(X)dx \propto \frac{1}{s} \quad (12)$$

이상에서 총 공정수와 최소 선평을 포함한 새로운 공정 결함 밀도 D_p 를 정의하면 다음과 같다.

$$D_p = D_i \cdot \frac{N}{s} \quad (13)$$

N : 제품의 총 공정 수, s : 최소 선평

다음으로 식(13)로 정의된 공정 결함 밀도와 제조공정의 청정도와 관련된 평균 결함 밀도(D_0)의 관계를 분석하기 위해서 수율 방정식(8)에서 α 를 무한대로 하고(포아슨 수율 방정식) 각 제품의 재생전수율로부터 $D_0 \cdot Ac$ 를 계산하여 표 2에 나타내었다. 여기에서 $D_0 \cdot Ac$ 와 $D_p \cdot A$ 의 상관 관계 분석에서 상관 계수 0.998, 신뢰 수준 99.9 %로 두 값이 선형 관계에 있는 것으로 나타난다. 이 두 값의 관계를 회귀 직선식으로 나타낸 선형 관계식은 다음의 식 (14)과 같이 표현된다. [11]

$$D_0 \cdot Ac = a D_p \cdot A + b \quad (14)$$

표 2. 제품별 공정 결함 밀도 및 유효 면적

제품 A 및 B의 검사 결함 밀도(D_i)는 표 1의 검사 웨이퍼의 결함 밀도를 각각 5 그룹으로 나누어 각 그룹의 평균값을 취하고, 제품 C와 D는 실험 웨이퍼의 결함 밀도의 평균값이다.

Table 2. Process defect density and critical area for devices

We divided the defect density of the inspection wafers on table 1 as 5 groups for device A and B. The inspection defect density (D_i) on table 2 is the average value of the group for device A and B. And the inspection defect density of device C and D is the average value of the defect density of sample wafer on table 1.

제품 구분	D_i (μm^2)	A_p (μm^2)	A_m (μm^2)	A ($1.5A_p + A_m$)	N	s	$D_p \cdot A$	$D_0 \cdot Ac$
A	3.0126	0.0692	0.0823	0.1169	15	1.2	5.7674	0.7670
	1.6499	0.0692	0.0823	0.1169	15	1.2	2.4109	0.5596
	1.3952	0.0692	0.0823	0.1169	15	1.2	2.0387	0.4093
	0.7949	0.0692	0.0823	0.1169	15	1.2	1.1615	0.2926
	0.1747	0.0692	0.0823	0.1169	15	1.2	0.2553	0.1416
B	1.4024	0.1915	0.2728	0.3686	14	1.0	8.1265	1.2944
	0.8231	0.1915	0.2728	0.3686	14	1.0	4.2470	0.7753
	0.5026	0.1915	0.2728	0.3686	14	1.0	2.5933	0.3757
	0.0881	0.1915	0.2728	0.3686	14	1.0	0.4546	0.2683
	0.0300	0.1915	0.2728	0.3686	14	1.0	0.1548	0.2057
C	1.3000	0.3646	0.5530	0.7353	18	0.8	22.3463	3.8674
	1.0000	0.2864	0.4297	0.5729	22	0.8	22.0567	2.8789

4. 결과 및 고찰

이상에서 설정된 수율 방정식, 유효면적 및 공정 결함 밀도에 대한 실제 데이터와의 관계를 검증한 결과를 살펴보면 다음과 같다. [표 2]의 실제 데이터의 선형 관계식은 식 (15)로 표현된다.

$$D_0 \cdot Ac = 0.178 D_p \cdot A + 0.07 \quad (15)$$

또한 그림 1에는 선형 관계식(식 15)을 실제 데이터와 비교하였고, 본 논문에서 설정된 수율 모델에 의해서 얻어진 수율과 실제 수율 데이터와 비교하기 위해서 재생전 수율에 대해서 도시하였다. 이 그림에서 식(15)의 선형성이 데이터와 잘 일치되고 있음을 보여주고 있으며, 설정된 수율 모델에 의한 재생전 수율도 데이터와 잘 일치되고 있음을 보여준다. 이는 VLSI제조 공정에서 청정도를 나타내는 평균 결함 밀도 (D_0)외에 제품별 공정 결함 밀도(D_p)의 민감도가 증가함을 말한다.

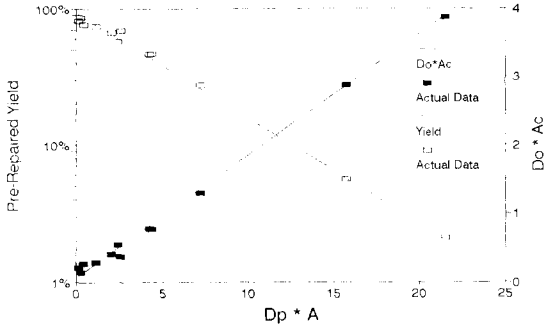


그림 1. 공정 결함 밀도 (Dp)에 의한 선형 관계식 및 수율 모델의 실측치와의 비교

Fig 1. Comparison of the linear relation and yield model for process defect density (Dp) and actual data.

그림 2는 검사 결함 밀도(Di)에 의한 포아슨 모델과 공정 결함 밀도(Dp)에 의해 설정된 수율 모델과 비교한 결과를 재생된 수율에 대해서 도시하였다. 이 그림에서 보여주는 바와 같이 실제 수율 데이터는 기존의 검사에 의한 평균 결함 밀도로 수율을 예측하는 것보다 공정 결함 밀도에 의한 수율 예측이 실제 제조공정에서의 수율 예측에 정확함을 나타낸다.

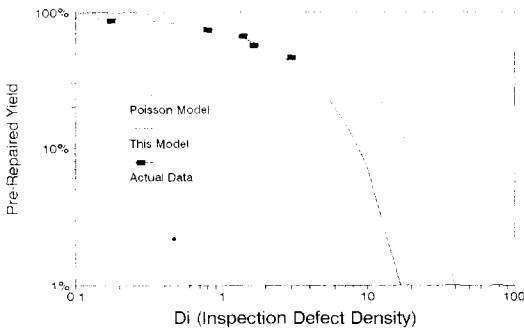


그림 2. 포아슨 모델과 공정 결함 밀도에 의한 관계식과의 수율 비교

Fig. 2. Comparison of yield between Poisson Model and the model as process defect density.

이는 실제 제조 공정에서 청정도를 나타내는 결함 밀도의 검출이 어렵고, 제품의 고집적화 및 기능이 향상됨에 따라 제품의 수율 감소에 영향을 미치는 결함

의 검출에 한계를 가지게 됨을 나타낸다. 따라서 제품의 회로 선폭, 선간격 및 특성에 따라 결함이 미치는 영향의 정도를 구분하고, 제품 제조 공정이 수율에 미치는 영향을 고려하여 새로운 변수 설정을 통하여 통계적 방법을 이용한 수율 예측을 위한 모델을 설정하는 것이 필요할 것이며, 본 논문에서 설정된 공정 결함 밀도에 의한 수율 예측 및 평가 방법은 보다 유용할 것으로 나타난다.

또한, 실제적으로 반도체 기술을 선도하는 메모리 제품일 경우 메모리 셀의 불량에 의한 수율 감소 영향을 보상하기 위해서 여분의 셀을 만들어 결함에 의한 메모리셀 영역의 불량을 재생시킨다. 따라서, 제품의 수율을 평가하기 위해서는 여분셀에 의한 재생 수율이 평가되어야 하며, 이러한 여분셀의 설계에 있어서도 로우(Row) 및 컬럼(Column)의 여분셀에 의한 재생 효과 및 부블럭 크기에 따른 여분셀의 재생 효과를 최적화하는 작업이 선행되어야 할 것이다. 이는 제품의 집적도 및 특성, 제조 공정의 청정도 및 제품 제조 공정의 특성과의 관계를 포함하는 최적 조건이 필요할 것이다. 이를 위하여 본 논문에서는 결함의 분포 인자(α)를 변화시켜가면서 이에 따른 제품의 결함 밀도 분포 함수와의 관계를 찾고, 각 제품별 결함의 분포 인자(α)와 공정 결함 밀도(Dp)값을 여분셀의 개념이 포함된 수율 방정식 (9) 으로 그림3과 같이 로우 및 컬럼의 여분셀을 변화시키면서 최적 조건의 여분셀 구조를 얻었다.

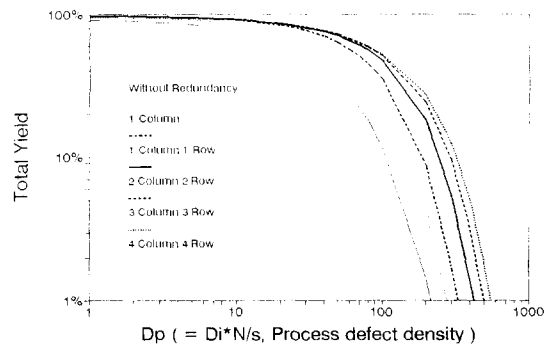


그림 3. 최적 여분 셀 구조에 따른 총 수율

Fig. 3. Total yield as optimized redundancy scheme.

이와 같이 얻어진 각 제품에 대한 최적 조건의 로우 및 컬럼 여분셀 구조에 따른 재생 수율이 포함된 총 수율(재생 전 수율 + 재생 수율)을 예측하여 그림 4

에 나타내었다. 이와 같이 적절한 여분셀의 설계는 제품의 고집 적화 및 복잡한 구조를 갖는 향후 반도체 제품에서는 필수적일 것이며, 동일 구조와 제조 공정에서 수율 향상을 위한 중요한 요소로 작용할 것이다.

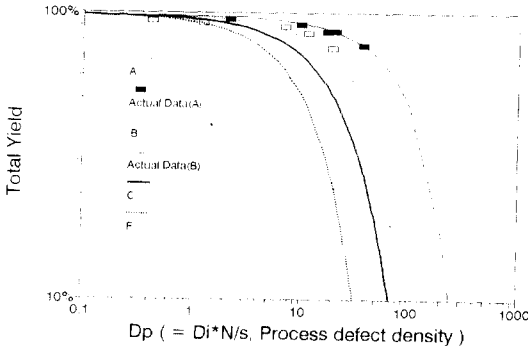


그림 4. 여분셀의 구조에 의한 총 수율
Fig. 4. Total yield as redundancy scheme for different devices.

이상에서 설정된 수율모델을 기초로 하여 공정 결함 밀도의 변수 설정에 따른 제품별 수율을 예측하여 그림 5에 나타내었다. 그림 5의 F 와 같이 현재의 청정도로써 기본적 수율을 얻지 못하는 제품은 최적의 수율을 얻기 위한 제품 제조 환경의 청정도 설계, 결함에 의한 불량률의 재생을 위한 최적화된 여분셀 및 재생 회로 설계와 제품 제조 공정 개발 등이 칩의 가격과 시장 환경에 따라 어떻게 설계, 제조되어야 하는지에 대해서 상품화되기전에 심의 결정되어야 할 것이다.

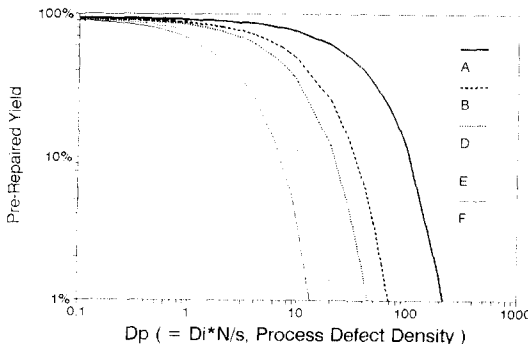


그림 5. 공정 결함 밀도에 의한 제품별 수율
Fig. 5. Pre-repaired yield as process defect density for different devices.

III. 결론

제조 공정의 청정도를 나타내는 평균 결함 밀도 (D_0)와 유효 면적(A_c)의 곱은 새롭게 정의된 공정 결함 밀도(D_p) 및 유효 면적(A)의 곱과는 99.9 %의 신뢰 수준으로 선형적인 관계가 있으며 ($D_0 \cdot A_c = a D_p \cdot A + b$), 이를 이용한 수율 예측은 기존의 모델 보다 간단하며 제품 제조에 있어서 공정 결함밀도는 수율 예측을 위한 새로운 변수로서 유용하게 활용될 수 있을 것으로 판단된다. 이는 제품의 고집적화 및 기능이 향상 되면서 평균 결함 밀도의 측정에 의존한 수율 모델에서 결함 밀도에 대한 변수 뿐만아니라, 회로의 미세화에 따른 결함의 영향 정도 구분 및 제품의 제조 공정에 대한 수율 감소의 요소를 고려한 변수가 필요하며, 본 논문의 결과에서는 최소 선폴 및 공정수가 수율 예측을 위한 중요한 변수가 되는 것으로 나타났다. 또한 메모리 제품의 결함에 의한 수율 감소를 보상하기 위하여 적절한 여분셀 설계가 필요하며, 본 논문에서는 제품의 집적도 및 특성, 제조 공정의 청정도 및 제품 제조 공정의 특성과의 관계를 고려하여 로우(Row) 및 컬럼(Column) 여분셀에 대한 최적 조건을 설정하여 재생 수율을 모델화 하였다. 이를 적용한 제품별 실측치와 통계적 방법을 이용한 계산치는 신뢰수준 99 % 이었다.

參考文獻

- [1] P.R. Pukite, " Defect Cluster Analysis for Wafer-Scale Integration ", *IEEE Trans. Semiconductor Manufacturing*, vol. 3, no. 3, pp 128 - 135
- [2] S. Gandemer, B.C. Tremintin and J.J. Charlot, " Critical Area and Critical Levels Calculation in I.C. Yield Modeling ", *IEEE Trans. Electron Devices*, vol. 35, no. 2, pp 158 - 166, February 1988
- [3] C.H. Stapper, " Defect Density Distribution for LSI Yield Calculations ", *IEEE Trans. Electron Devices*, vol. ed-20, no. 7, pp 655 - 657, July 1973
- [4] R.M Warner, " Applying a Composite Model to the IC Yield Problem ", *IEEE Journal of SolidState Circuits*, vol. sc-9, no 3, June 1974
- [5] T.L. Michalka, R.C. Varshney and J. D. Meindl, " A Discussion of Yield

Modeling with Defect Clustering, Circuit Repair and Circuit Redundancy", *IEEE Trans. Semiconductor Manufacturing*, vol. 3, no. 3, pp 116 - 126, August 1990

[6] A.V. Ferris-Prabhu, " Role of Defect Size Distribution in Yield Modeling ", *IEEE Trans. Electron Devices*, vol. ED-32, no. 9, pp 1727 - 1735, September 1985

[7] A.V. Ferris-Prabhu, " Modeling the Critical Area in Yield Forecasts ", *IEEE Journal of Solid-State Circuits*,

vol. SC-20, no. 4, pp 874 - 877

[8] A.V. Ferris-Prabhu, " Defect Size Variations and Their Effect on the Critical Area of VLSI Devices ", *IEEE Journal of Solid-State Circuits*, vol. sc-20, no 4, pp 878 - 880, August 1985

[9] C.H. Stapper, " The Defect-Sensitivity Effect of Memory Chips ", *IEEE Journal of Solid-State Circuits*, vol. sc-21, no. 1, pp 193 - 198.

[10] 한국공업 표준 협회, 샘플링 검사, 1987년 5월

[11] 박 성 현, 공업 통계학, 대영사, 1985년 6월

著 者 紹 介

金 興 植 (正會員) 第 29 卷 A 編 第 8 號 參照
현재 금성일렉트론(주) 연구소
책임연구원



金 泰 覺 (正會員)
1957年 12月 28日生. 1983年 2月
충북대학교 화학공학과 졸업(공학사)
1983年 1月 ~ 1987年 9月 현
대 전자 산업(주) 근무 1987年 10
월 ~ 현재 금성 일렉트론(주) 연구
소 선임 연구원 주관심분야는

CMOS Techo for process Integration. Asic 제
품기술, 신뢰성 및 FMA 등임.



金 鎮 洙 (正會員)
1964年 5月 23日生 1988年 2月 고
려대학교 물리학과 졸업(공학사)
1988年 1月 ~ 현재 금성일렉트론
(주) 연구소 주임 연구원. 주관심분
야는 CMOS Techo for Integra-
tion. Asic 제품기술, 신뢰성 및

FMA 등임.

崔 民 成 (正會員) 第 29 卷 A 編 第 12 號 參照
현재 금성일렉트론(주) 연구소
FAB 담당이사