

論文93-30A-3-6

불화물 게이트 절연막을 이용한 반전형 GaAs MISFET

(The GaAs Inversion-type MISFET using Fluoride Gate Insulator)

金光浩*

(Kwang Ho Kim)

要 約

불화물/GaAs 구조의 계면특성에 대하여 검토하였다. 저온퇴적시킨 불화물막을 800-850℃에서 1분정도 고온 단시간 열처리(RTA)를 행하여 불화물/GaAs 구조의 계면특성이 개선되는 것에 대하여 논의하였다. 이 구조에 있어서, RTA처리를 해도 계면에서의 원자의 현저한 상호확산은 관측되지 않았으며, 여러 실험결과를 토대로 이 구조의 계면원자결합모델을 제안하였다. 표준 planar 기술을 개발하여 반전형 GaAs MISFET를 제작하여 동작을 확인하였다.

Abstract

The interface properties of Fluoride/GaAs structures were investigated. It was found that rapid thermal annealing(RTA) typically 800-850℃ for 1 min. was useful for improving the interface properties of that structures. The analysis by means of SIMS indicated that interdiffusion of each constitutional atom through the interface was negligible. The interfacial atom bonding model for RTA treatment was proposed. Based on these results, inversion-type GaAs MISFET was fabricated using standard planar technologies.

1. 서론

실리콘 대규모 집적회로에 있어서는 MOSFET가 중요한 구성요소임에 반해 GaAs MISFET는 Si MOSFET를 대체시킬 수 있는 고속·저소비전력소자로서 일찍부터 주목되어 왔으나, GaAs를 사용했을 때, 게이트 절연물로서 산화물 뿐만 아니라 여러가지 절연물을 쓴 MISFET의 실현은 거의 없을 정도이

다. 그 이유는 GaAs반도체 기판상에 게이트 절연막으로서 사용 가능한 전기적, 화학적으로 안정하면서도 반도체와 계면사이에서 계면준위밀도가 적고 뛰어난 계면 전자전도특성을 나타내는 절연막을 얻기가 곤란하기 때문이다. 따라서 GaAs를 쓴 집적회로중의 FET게이트 전극으로서는 Schottky장벽형 접합(즉, MESFET)이나 undope AlGaAs를 쓴 MIS-like 접합을 사용하고 있으며 그 결과 MIS구조에 비해 소비전력이 크고, 문턱전압제어가 곤란하게 되는 등, 대규모 집적화를 하기 위해서는 문제점이 남아 있어 역시 이러한 문제를 본질적으로 해결하기 위해서는 MIS형 게이트 구조를 개발할 필요가 있다.

종래, GaAs기판상에다 절연물막을 형성시키는 방법으로는 산화막, 질화막등의 퇴적법과 플라즈마, 전해액 등을 써서 GaAs기판을 직접 산화하는 법 등이

正會員, 淸州大學校 半導體工學科
(Dept. of Semiconductor Eng., Cheongju Univ.)

(∵ 이 연구비는 '91년도 한국과학재단 연구비 지원에 의한 결과임)

接受日字: 1992年 9月 29日

시도되었으나¹¹⁾ 어떠한 방법에 의한 것도 양호한 계면 특성을 얻지 못하고 있다. 이와는 별도로, 최근 집적 회로의 고속·고밀도화를 위해서 절연물 기판상에 반도체 박막을 단결정 성장시키는 SOI 기술이 관심을 끌고 있어 그 일환으로 우선 반도체 기판상에 알칼리 토류 금속 불화물¹²⁾을 격자정합시킨 절연물 박막을 에피택셜 성장시키는 방법이 검토되고 있다. 이와같이 절연막을 격자정합시킨 조건에서 막을 성장시키면 미결합된 bond수가 적어져서 계면준위밀도가 낮은 반도체-절연막 계면이 형성되리라 기대된다. 더우기 불화물을 에피택셜 성장시키는 경우에는 진공증착법, MBE법등의 초고진공의 공정을 쓰므로 계면의 오염에 의한 특성열화문제도 경감될 가능성도 있다.

본 연구에서는 GaAs 기판상에 GaAs층을 homoepitaxial 성장시킨 후 불화물막을 초고진공중에서 연속적으로 퇴적 성장시킨후 고온에서 짧은 시간동안 열처리(RTA)시켜서 계면특성이 개선되는 것을 검토함과 동시에, 표준의 안정된 planar기술을 개발하여 반전형 GaAs MISFET를 제작하여 소자의 동작특성을 확인하였다.

II. 불화물/GaAs 구조의 계면특성

1. 실험 방법

불화막(CaF₂, SrF₂)의 퇴적을 MBE법으로 행하였다.

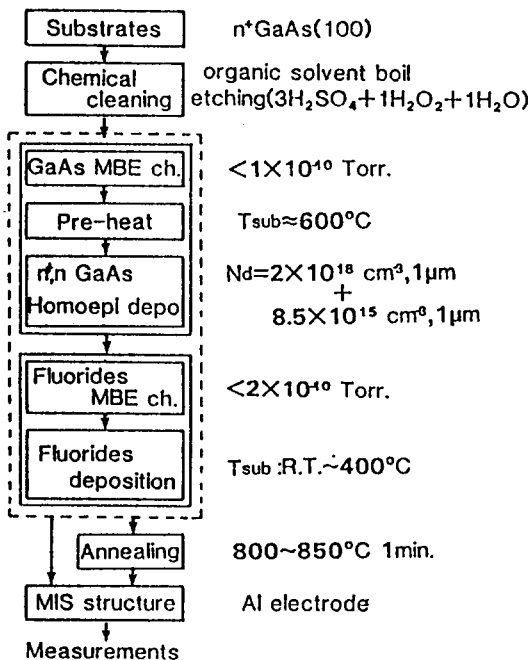


그림 1. 실험순서의 개략도
Fig. 1. Flow chart of the experiment.

사용한 장치는 GaAs 성장용과 불화물 성장용의 2개 chamber가 게이트 챔브로 직결되어 있다. 양 chamber의 base 진공도는 2×10^{10} Torr 이하이다. 그림 1에 실험의 flow chart를 보인다. n+및 p+GaAs(100) 기판상에 각각 si doping의 n형 및 undoping의 p형층을 MBE 성장시켰다. 이들 시료를 초고진공을 유지하면서 불화물 chamber로 옮겨, 기판온도를 상온에서부터 450°C 정도까지 변화시켜 약100nm의 불화물을 퇴적시켰다. 상온에서 퇴적시킨 막은 다결정인데 반해, 온도를 올려서 성장시킨 막은 단결정이었다. 여기서 불화물막은 주로 CaF₂를 쓰고 있으나 상온에서 격자정합된 계의 계면특성을 알아보기 위해 Ca_{0.43}Sr_{0.57}F₂인 혼정(混晶:mixed crystal) 막도 썼다. 전기적 특성은 Al전극을 증착시켜 MIS 커패시터를만들어서 평가하였다.

2. 특성의 평가

그림2는 p+GaAs기판상에 undope p형층을 에피택셜성장시켜, 그 위에 200°C이하의 온도에서 CaF₂막을 퇴적시킨 시료의 MIS커패시터의 1MHz C-V특성이다. 실선은 N₂분위기, 850°C에서 1분간 RTA처리를 행한 시료이며, 점선은 열처리를 하지 않은 시

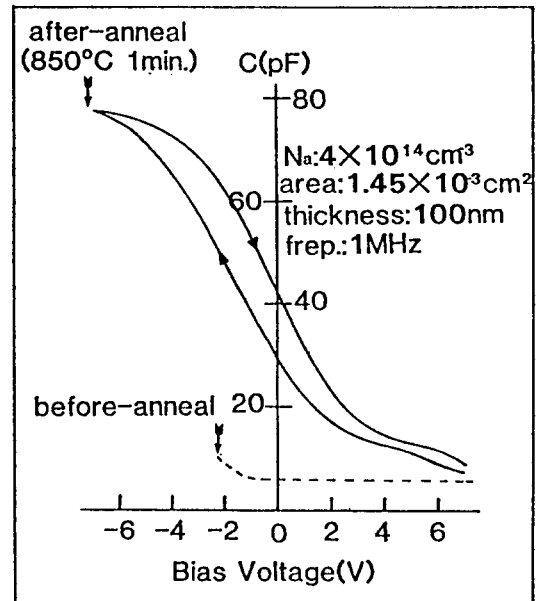


그림 2. MIS 커패시터의 열처리 전후의 C-V특성
Fig. 2. C-V characteristic of the MIS capacitor with and without thermal treatment.

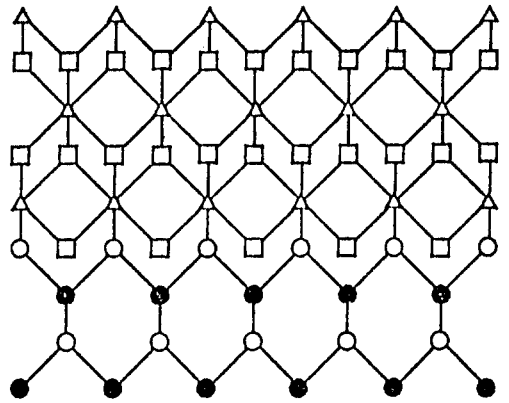
료이다. 그림에서 알수 있듯이 RTA처리전의 시료는 측정 범위내에서 용량의 변화가 관측되지 않는 것으로 보아 반도체 표면에서 Fermi준위가 pinning된 상태이다. 한편, RTA후의 시료에 있어서는 용량이 측정에서부터 반전상태까지 변화하고 있다. 또한, 절연과괴강도는 열처리전의 $3\sim 5 \times 10^5 \text{V/cm}$ 에서부터 열처리후에는 $1 \times 10^6 \text{V/cm}$ 이상까지 향상되었다. 이러한 절연과괴강도의 증가는 RTA중에 있어서 막의 결정성의 개선과 치밀화에 의한 것으로 판단된다. 이 RTA처리에 의해 얻어진 결과로 부터 산출한 계면준위밀도의 최저값은 midgap부근에서 $3\sim 5 \times 10^{11} / \text{cm}^2 \cdot \text{eV}$ 이다.

한편, GaAs 위에 상온에서 기판과 격자정합하는 $\text{Ca}_{0.43}\text{Sr}_{0.57}\text{F}_2$ 막을 450°C 에서 에피택셜성장시킨 시료의 MIS캐패시터 C-V특성은bandgap내에 계면준위밀도가 많아서 Fermi 준위가 pinning되었다고 판단되며, 이 시료를 RTA처리를 하여도 내압(耐壓)은 상승하지만 계면특성의 개선은 관측되지 않았다. 여러 종류의 제작 조건을 행하여 C-V특성이 개선되는 조건을 검토한 결과, 막퇴적시의 온도는 200°C 이하, RTA온도는 $800^\circ\text{C}\sim 850^\circ\text{C}$ 에서 양호한 결과가 얻어지는 것을 확인하였다. 또 격자정합시킨 불화물막을 썼을 때 양호한 결과를 얻을 수 없었으므로 격자정합조건이 반드시 양호한 C-V특성을 얻기 위한 필요조건은 아닌 것임을 알수 있었다.

계면특성이 개선되는 원인을 고찰해 본다. 우선, RTA에 의한 전기적 및 결정학적인 특성의 개선 효과는 CaF_2/Si 계에 있어서도 관측¹⁰ 되고 있으며, 최근에는 전기적 특성이 계면의 원자구조에 크게 의존한다는 것을 고분해능 투과전자현미경을써서 관찰하여, as-grown에 있어서는 계면에 Ca와 Si이 결합하고 있는 것과, RTA에 의해 계면에서 F가 해리(解離)되는 등의 보고^{9,10}도 있다. 한편, CaF_2/GaAs 계에 있어서도 최근 RHEED나 방사광 광전자분광법을 써서 계면에서의 결합상태에 대한 검토가 진행^{11,12} 되어, 계면에는 Ca과 As가 결합하고 있고 실온퇴적후 CaF_2/GaAs 구조에서 600°C 에서 5~7분간의 열처리에 의해 CaF_2 의 해리현상의 관측도 보고되고 있다. 이러한 보고들과 지금까지 논의한 일련에 RTA 실험 결과를 토대로 상징한 모델을 그림3에 보인다. (a)는 열처리전, (b)는 열처리후의 계면에서의 원자결합상태를 나타낸다. 즉, 열처리전에는 계면에 잔류하는 F가 열처리함으로써 CaF_2 가 해리하여 F가 제거된다고 판단된다. 여기서, Ca과 As가 결합한다고 단정하기는 어려우나 상기의 문헌¹²의 실험조건이 본 연구에서의 조건과 거의 같으므로 가능성이 가장 높다.

- △ Ca
- F
- As
- Ga

(a) as-depo



(b) annealed

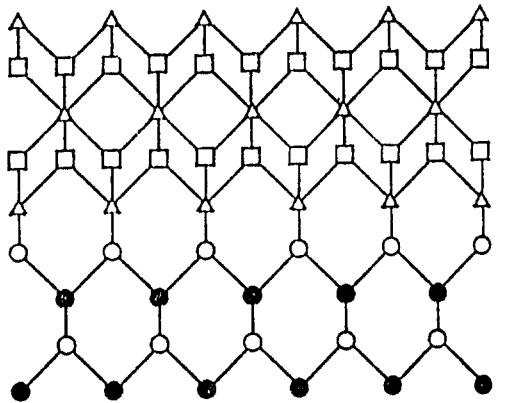


그림 3. 불화물/GaAs 구조의 원자결합모델

(a) 열처리 전 (b) 열처리 후

Fig.3. Interfacial atom bonding model of Fluoride/GaAs structure.

(a) before anneal, (b) after anneal.

그림3의 모델은 GaAs(100)의 표면구조를 고려하고 있지 않고 있으며, RHEED나 표면에너지 관계 또는 고분해능 투과전자현미경등을 써서 좀더 검토할 필요가 있다.

한편, RTA 전후에 있어서의 구성원자가 상호확산을 하는 것에 대한 조사를 SIMS를 통해 검토한 결과, 현 공정에 있어서 계면을 통한 구성원자의 현저한 상호확산은 관측되지 않았다.

3. 반전형 MISFET 제작

RTA 공정을 계면특성의 개선과 소스, 드레인 영역에 ion 주입한 Si ion의 전기적 활성화에 겸용한 표준 planar 기술을 개발하여 MISFET를 제작하였다. 공정은 4장의 photo-mask를 쓰는 표준의 Si-MOS 공정과 같은 방법이다. 그림 4에 제작공정도를 보인다.

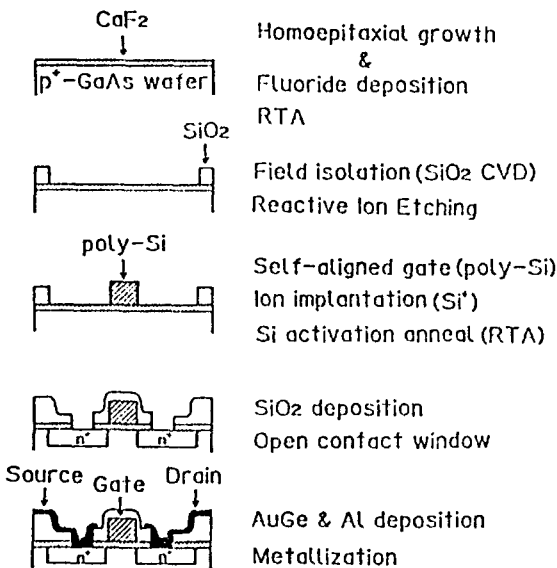


그림 4. MISFET의 제작 공정도

Fig. 4. Fabrication of the MISFET.

p+-GaAs(100)기판상에 활성층으로 undope GaAs층을 4 μ m 성장시킨후 CaF₂막을 저온에서 퇴적시킨후 계면특성의 개선을 위해 RTA 처리를 하였다. 소자분리를 하기 위해 plasma CVD법을 써서 두께 약 0.4 μ m의 SiO₂ 막을 웨이퍼 전면에 퇴적시킨후 RIE에 의해 소자부분을 에칭시켰다. 게이트 전극(게이트 길이 2 - 8 μ m)은 p+-poly Si을 퇴적시켜 patterning 한 후, 소스와 드레인의 pn 접합을 위해 Si을 자기정합(自己整合:self-align)적으로 ion주입시켰다. 이때 주입시킨 ion의 전기적 활성화를 위해

서도 RTA법을 썼다. 그 뒤, 절연분리를 하기위해 SiO₂를 퇴적시킨 후 소스와 드레인의 contact용 window를 형성시켰다. 소스와 드레인의 ohmic 재료로서는 AuGe을 진공증착시킨 후 450 $^{\circ}$ C, 90초간 sintering시켰다. 최종적으로 Al 막을 균일하게 퇴적시켜 가열인산용액에서 patterning시켜 FET를 완성시켰다. FET의 제작공정중, 열처리전의 불화물막은 박리(剝離)되기 쉬웠으나, RTA 처리를 하면 매우 안정된 막으로 되어 acetone 중에서 30분간 이상 초음파 세정을 해도 막의 박리현상은 없었다.

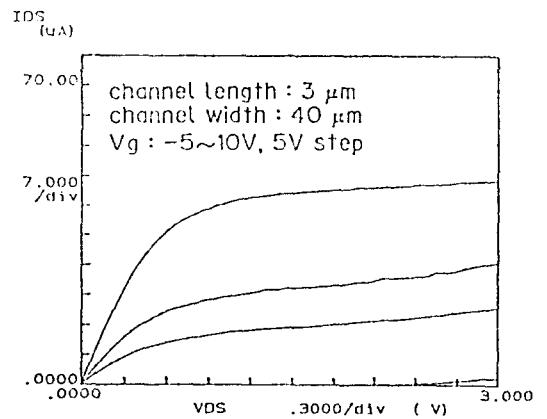


그림 5. MISFET의 ID-V_D특성

Fig. 5. I_D-V_D characteristic of the MISFET.

그림5에 불화물을 절연막으로 쓴 FET의 전형적인 ID-V_D특성을 보인다. 이 트랜지스터의 게이트 길이는 3 μ m, 게이트폭은 40 μ m이다. 이 FET는 본질적으로 enhancement형 반전 MISFET임을 알 수 있다. 이 FET의 상호컨덕턴스 gm은 1mS/mm 정도, 선형영역에서 구한 트랜지스터의 전계효과이동도는 수십 cm²/V·s정도로 예상한 것 보다 낮으나 process의 최적화 등을 고려하면 더욱 개선되리라고 기대한다. 그림5에서 게이트 전압은 -5V에서 10V까지 5V step씩 인가하고 있는데, 0V에 있어서도 드레인 전류가 흐르고있다. 이 현상은 FET 제작중에 발생한 계면근처의 고정전하에 의한 문턱전압의 shift에 기인한다고 판단된다.

III. 결론

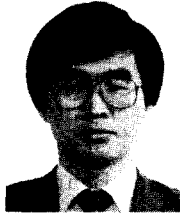
불화물/GaAs 구조에 있어서 RTA효과를 검토하였다. C-V특성의 개선에는 막의 저온 퇴적후에 800-850 $^{\circ}$ C의 온도에서 RTA처리를 할 필요가 있다는 점

과 RTA 처리를 해도 계면을 통한 구성원자의 현저한 상호확산은 관측되지 않은 점을 확인하였고, 상기 구조의 RTA 처리에 대한 계면에서의 원자결합모델을 제안하였다. RTA 효과를 계면특성의 개선과 주입불순물 ion의 전기적 활성화에 겸용시켜 표준 planar 기술을 개발하여 반전형 GaAs MISFET를 제작하였다. 그 결과 얻어진 FET의 특성은 아직 충분치는 않으나, RTA 처리는 계면 특성의 개선 뿐만 아니라, 소자제작 공정의 안정화에도 아주 유용한 것으로 입증되었다.

參考文獻

- [1] H. Hasegawa and T. Sawada, "III-V Compound Semiconductor MIS Interfaces and Their Applications", *Oyo Buturi* (in Japanese), 50, pp.1289 - 1302, 1981.
- [2] R.F.C. Farrow, P.W. Sullivan, G.M. Williams, G.R. Jones, and D.C. Cameron, "MBE-grown fluoride films: A new class of epitaxial dielectrics", *J. Vac. Sci. Technol.*, 19, pp.415-420, 1981.
- [3] H. Ishiwara and T. Asano, "Silicon/insulator heteroepitaxial structures formed by vacuum deposition of CaF_2 and Si", *Appl. Phys. Lett.*, 40, pp. 66-68, 1982.
- [4] T. Asano, H. Ishiwara, and N. Kaifu, "Heteroepitaxial Growth of Group-IIa Fluoride Films on Si Substrates", *Jpn. J. Appl. Phys.*, 22, pp.1474-1481, 1983.
- [5] T. Asano and H. Ishiwara, "Epitaxial growth of Si films on CaF_2/Si structures with thin Si layers predeposition room temperature", *Appl. Phys. Lett.*, 55, pp.3566-3570, 1984.
- [6] S. Siskos, C. Fontaine, and A. Munoz-Yague, "Epitaxial growth of lattice-matched $\text{CaSr}_{1-x}\text{F}_2$ on (100) and (110) GaAs substrates" *J. Appl. Phys.*, 56, pp. 1642-1646, 1984.
- [7] C.W. Tu, S.J. Wang, J.M. Phillips, J. M. Gibson, R.A. Stall, and R.J. Wunder, "Structural and Electrical Properties of Lattice-Matched $\text{Ca}_{0.4}\text{Sr}_{0.6}\text{F}_2/\text{GaAs}$ Structures Grown by Molecular-Beam Epitaxy", *J. Vac. Sci. Technol.*, B4, pp. 637-642, 1986.
- [8] Loren Pfeiffer, J.M. Phillips, T.P. Smith, III, W.M. Augustyniak, and K. W. West, "Use of a rapid anneal to improve $\text{CaF}_2/\text{Si}(100)$ epitaxy", *Appl. Phys. Lett.*, 46, pp.947-949, 1985.
- [9] J.L. Batstone, J.M. Phillips, and E.C. Hunke, "Evidence for the Influence of Interfacial Atomic Structure on Electrical Properties at the Epitaxial $\text{CaF}_2/\text{Si}(111)$ Interface", *Phys. Rev. Lett.*, 60, pp. 1394-1397, 1988.
- [10] M.A. Olmstead, R.D. Bringans, R.I. G. Uhrberg, and R.Z. Bachrach, "Bonding at the CaF_2 on $\text{Si}(111)$ Interface", *Mat. Res. Soc. Symp. Proc.*, 94, pp. 195-200, 1987.
- [11] Y. Yamada, M. Oshima, S. Maeyama, T. Kawamura, and T. Miyahara, "Determination of Ca-As Bonding at the CaF_2/GaAs Interface", *Appl. Surf. Sci.*, 33/34, pp. 1073-1080, 1988.
- [12] Y.Y. Maruo, M. Oshima, T. Waho, and T. Kawamura, "Photoemission and RHEED Studies of Bonding Properties at the $\text{CaF}_2/\text{GaAs}(001)$ Interface", *Jpn. J. Appl. Phys.*, 28, pp. L299-L302, 1989.

 著 者 紹 介



金 光 浩 (正會員)

1958年 12月 21日生. 1983年 2月 한양대학교 전자공학과(학사). 1984年 ~1990年 일본 문부성 초청 동경공업대학 연구원. 1987年 3月 일본 동경공업대학 대학원 전자시스템(석사). 1990年 3月 일본 동경공업대학 대학원 전자시스템(박사). 1990年 3月 ~ 현재 청주대학교 반도체공학과 조교수. 주관심 분야는 절연물/반도체 구조의 연구 및 전자디바이스에의 응용.