

論文93-30A-2-1

# SDH시스템에서의 포인터 조정지터 감소 알고리즘 및 성능연구

## (A Study on The Algorithm and Its Performance Evaluation for Reducing the Pointer Adjustment Jitter in a SDH-based system)

李昌基\*, 金在根\*

(Chang Ki Lee and Jae Guen Kim)

### 要約

CCITT 표준 동기식 디지털계위(SDH)를 기본으로 하는 동기식 다중장치에서는 신호프레임을 동기시키는 방법으로서 포인터 동기기법을 적용한다. 이는 상호 동기되지 않은 신호속도간의 차이를 포인터값의 조절을 통해 보상해주지만 이로 인해 종속신호상에 많은 양의 지터를 야기시킨다. 이러한 지터는 PLL을 이용해서 감쇠시킬 수 있지만 차단 주파수를 낮게 설정해야 하는 실현상의 어려움이 있다. 따라서 본 논문에서는 포인터 조정지터의 감소를 위한 비트리킹(Bit Leaking)방식의 제어기법과 이의 구현 방법을 제시하고, PLL이용기법과 비교하여 그 효과를 컴퓨터 시뮬레이션을 통해 확인한다.

### Abstract

For Frame synchronization in synchronous multiplexer based on SDH(Synchronous Digital Hierarchy), pointer justification mechanism(pointer adjustment) to compensate small frequency differences between the received line clock and local clock is used. But these pointer adjustment will introduce jitter onto tributary signal. This paper presents the bit leaking method to reduce those jitter to a level compatible with existing specification, where the simulation shows that this method reduces pointer adjustment jitter.

### 1. 서론

디지털 통신망에서 사용되는 클럭의 안정도와 정확도는 통신품질과 직결되는 중요한 요소로서 모든 디지털 통신장비에서는 매우 엄격한 규격으로 클럭성능이 감시되고 있다. 특히 여러개의 망노드와 링크들로

구성되는 망내에서 임의의 클럭 성능이 저하된다 하더라도 가능한한 통신품질에 미치는 영향이 최소화되도록 제어할 필요가 있으며, 이를 위해서 국제 또는 국가적으로 클럭의 정확도, 안정도, 망 및 타이밍지터관련 규정등을 설정하여 감시, 관리하고 있다.

1988년도에 CCITT에 의해서 표준화된 동기식 디지털 계위(SDH: Synchronous Digital Hierarchy) 기본의 동기식 전송망에서는 전송망 노드의 망 동기 성능 저하시 또는 동기 상실시 클럭차로 인한 전송신호의 손상을 방지하기 위해서 포인터 동기개념을 사용하여 보상하고 있다. 즉, 기존 비동기식 DSn 신호는 동기식 다중 요소인 가상 컨테이너(VCn:

\* 正會員, 韓國電子通信研究所  
(Electronics and Telecommunication  
Research Institute.)

接受日字 1992年 4月 9日

Virtual Container-n)로 맵핑되고, 이들이 보다 큰 용량을 갖는 상위 VCn+1 또는 동기식 전송신호 포맷인 STM-N(Synchronous Transport Module level-N)의 페이로드상에 다중화될 때 각 VCn의 시작점은 포인터에 의해서 지시된다. 이때 VCn 신호는 해당 STM-N을 형성하는 로컬클럭에 의해 지배되며, 여러 전송망 노드들을 거치면서 해체되지 않은 상태로 최종 노드까지 도달된다. 따라서 각 전송망 노드에서 STM-N내의 VCn 신호단위가 또다른 STM-N으로 다중화되는 과정에서 입력 STM-N 클럭과 출력 STM-N 클럭이 상호 독립된 클럭(망동기 상실상태)으로 운용될때 STM-N내에 포함된 VCn클럭간의 차는 바이트 단위(8비트)로 계수되는 포인터 값의 조정에 의한 정/영/부 (+/0/-)스터핑 기법에 따라 보상된 후 최종 망노드장치로 전송된다. VCn의 종단점에서는 포인터 값의 해석을 통해 VCn내에서 종속신호(DSn)를 추출하게 되며, 이때 포인터 조정이 발생되었을 경우에는 출력 DSn신호상에 큰 출력 지터를 야기시키게 된다.

따라서 본 논문에서는 포인터 조정으로 인해 발생하는 지터를 감쇠시키기 위한 방법으로서 CCITT에서 제시된 비트리킹 개념으로 부터 SDH망노드시스템에 실제 적용가능한 세부 제어기법을 설정, 제시하고, 기존 비동기방식에서 적용되는 위상동기루프(PLL)이용방법과 시뮬레이션을 통해 비교한다. 또한 망 노드의 수에 따른 지터의 영향 과 비트리킹방식의 구현 기법을 제시하고, 이의 성능 시뮬레이션 결과를 CCITT에서 규정하는 출력지터를 기준으로 하여 제시한다.

II. 포인터 조정지터의 특성

SDH망 노드에서 사용되는 클럭이 동기상태로 유지될 때의 포인터 조정은 망의 원더성분 및 잡음에

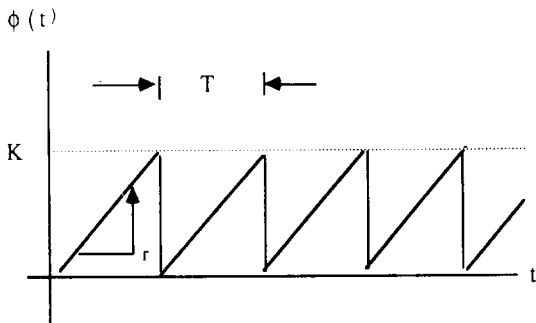


그림 1. SDH망 상태에 따른 포인터 조정  
Fig. 1. Pointer adjustment in SDH-based network.

의해서 장시간 주기로 발생되며 이에 따른 지터의 영향은 매우 미미하다.

그러나 망동기 기준을 상실한 퇴화상태(Degraded mode)에서의 포인터 조정은 주파수 드리프트성분, 단기클럭 안정도, 초기 주파수 율셋성분등에 따라 비교적 단시간 주기로 발생되며, 만일 원더성분과 대기 시간을 무시하면 그림 1와 같은 주기적인 파형으로 모델화할 수 있다.

그림 1에서 K는 포인터 조정을 발생시키는 상한치, T는 포인터 조정 발생 주기, r은 주파수 드리프트에 따른 위상 누적율(=K/T)로서 위상변화 1은 (1)식과 같이 표현할 수 있다.

$$\Phi(t) = \frac{K}{2} + \sum_{i=1}^{\infty} \frac{K}{i\pi} \cos \omega_i t \quad (1)$$

포인터 조정 발생신호는 역다중화 과정에서 발생하는 지터의 감쇠를 위해서 PLL을 사용하며, 이때 2차 PLL의 전달함수는 (2)식과 같다.

$$H(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (2)$$

여기서 xi는 댐핑팩터(Damping factor)로서 해당 종속신호의 지터 전달특성을 고려하여 결정되어야 하며, omega\_n는 PLL의 고유주파수(Natural frequency)이다.

퇴화상태에서의 위상변화 phi(t)에 대한 PLL 응답을 y\_BVT(t)라고 하면, y\_BVT(t)는 (1)식과 (2)식으로부터 (3)식을 얻을 수 있다.

$$\begin{aligned} Y_{BVT}(S) &= H(S) * \Phi(S) \\ Y_{BVT}(t) &= L^{-1}[Y_{BVT}(S)] \\ Y_{BVT}(t) &= \frac{K}{2} H(0) + \sum_{i=1}^{\infty} \frac{K}{i\pi} |H(j\omega_i)| \cos(\omega_i t + \arg H(j\omega_i)) \quad (3) \end{aligned}$$

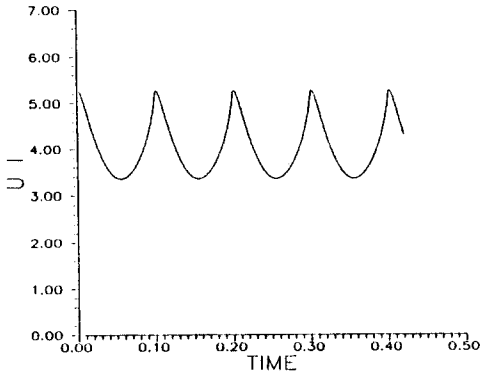
여기서 H(0)=1,

$$\arg H(j\omega_i) = \tan^{-1} \left[ \frac{2\xi\omega_n\omega_i(\omega_n^2 - \omega_i^2) - 2\xi\omega_i\omega_n^3}{4\xi^2\omega_n^2\omega_i^2 + \omega_n^2(\omega_n^2 - \omega_i^2)} \right]$$

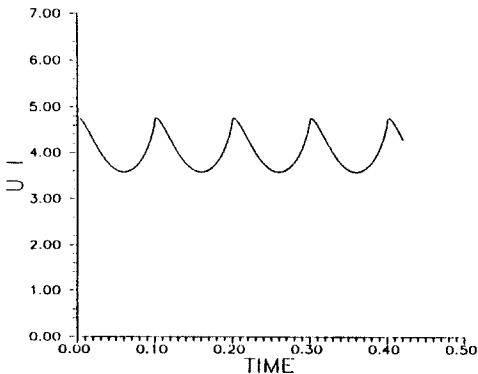
III. 포인터 조정지터 감쇠 알고리즘의 설정 및 분석

CCITT G.783에 권고하는 종속신호상의 출력지터 규격은 종속신호의 동기식 컨테이너로의 맵핑지터성분과 포인터 조정에 따른 지터성분의 합으로 규정되어 있지만 맵핑지터성분에 비해 포인터 조정지터성분이 훨씬 크기 때문에 주로 포인터 조정지터의 감쇠를

고려하였다. 포인터 조정지터를 감소시키는 방안으로는 역동기화 용 PLL을 협대역으로 설계하여 직접 감소시키거나 비트단위(혹은 그 이하)로 리킹(Leaking) 처리하는 비트리킹 제어방법이 있다.



(a)PAF=10Hz, CF=5Hz, 10Hz HPF



(b)PAF=10Hz, CF=3Hz, 10Hz HPF

그림 2. 협대역 PLL 처리 방법에 의한 지터 감소효과  
Fig. 2. Jitter reduction effect by narrow band PLL.

역동기화기용 PLL을 이용해서 포인터조정으로 발생하는 8비트 갱핑(Gapping) 지터를 일정수준까지 감소시키기 위해서 요구되는 PLL의 차단주파수는 (3)식으로부터 예측해볼 수 있다. 그림 2는 퇴화상태에서의 위상변화인  $y_{BYT}(t)$ 와 고역여파기(HPF)를 통과시킨 출력지터를 PLL의 차단주파수(CF)가 5Hz와 3Hz인 경우에 대해서 비교한 것으로서 이는 포인터 조정 주파수(PAF)를 10Hz, K를 8로 가정한 것이다. 여기서 3Hz의 차단주파수를 사용하였을때 국제적 출력지터 규격인 1.5UI를 만족한다는 사실을 알 수 있다. 따라서 북미계위의 1.544Mbps와 44.736Mbps신호에 대한 출력지터 규격을 만족시키기

위해서는 3Hz이하의 차단주파수를 사용하여야 하고, 이는 유럽계위의 2.048Mbps신호에도 만족될 수 있을 것이다.

그러나 이와 같은 낮은 차단 주파수의 사용은 고정도의 VCXO(Voltage Controlled X-tal Oscillator)를 이용해야 얻을 수 있는 등의 단점이 있다. 따라서 바이트 단위의 갱핑을 비트단위의 갱핑으로 바꾸어 처리하면 역동기화기용 PLL의 차단주파수를 높게 설정할 수 있다.

1. 비트리킹 제어(Bit leaking Control)기법

비트리킹 제어기법은 포인터 조정이 일어날 때 마다 발생하는 8비트(8UI) 지터성분을 1비트(1UI) 혹은 그이하 단위로 8비트에 해당되는 양만큼 클럭을 당기거나 미는 리킹 동작을 수행함으로써 지터량을 감소시키는 방법이다. 그림 3은 비트리킹 제어 과정을 나타낸 것으로서 T는 포인터 조정 간격, K는 포인터 조정지터, M은 비트리킹 폭이다.

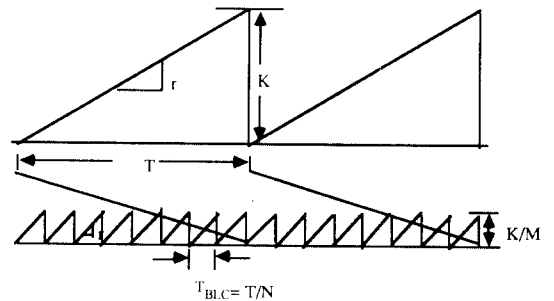


그림 3. 비트리킹 제어

Fig. 3. Bit teaking control.

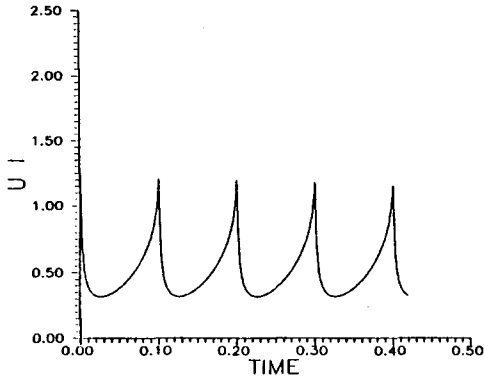
단일 노드에서 비트리킹 제어된 포인터 조정을 수식으로 표현하면 (1)식으로부터 (4)식을 얻을 수 있다.

$$\Phi_{BLC}(t) = \frac{K}{2M} + \sum_{i=1}^{\infty} \frac{K}{\pi Mi} \cos(\omega_i t) \quad (4)$$

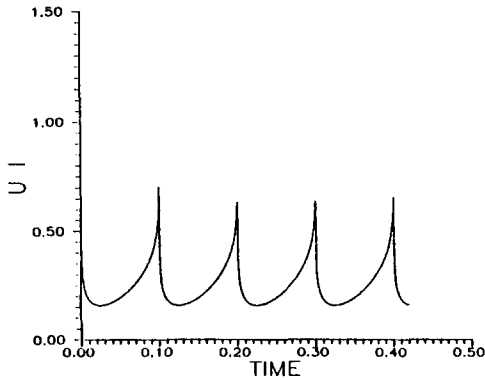
PLL 응답을 구하기 위해서 (2)식을 이용하면 다음과 같이 쓸 수 있다.

$$y_{BLC}(t) = \frac{K}{2M} + \sum_{i=1}^{\infty} \frac{K}{\pi Mi} |H(j\omega_i)| \cos(\omega_i t + \arg H(j\omega_i)) \quad (5)$$

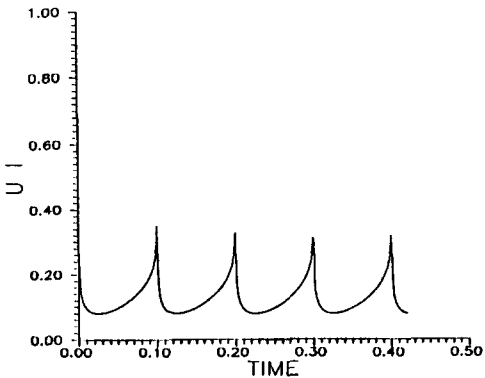
(5)식과 (3)식을 비교하면 1/M배 만큼 감소하는 것을 알 수 있다. (5)식을 이용한 시뮬레이션 결과는 그림 4에 나타내었고, 이들 그림은 비트리킹 주파수



(a)BLF=10Hz, CF=100Hz, M=8, 10Hz HPF



(b)BLF=10Hz, CF=1KHz, M=16, 10Hz HPF



(c)BLF=10Hz, CF=500Hz, M=32, 10Hz HPF

그림 4. 비트리킹 제어방법에 의한 지터 감소효과 (M=8)

Fig. 4. Jitter reduction effect by BLC method (M=8).

(BLF)를 10Hz로 하고 M을 각각 8,16,24를 설정하였을 때의 결과이다. 100Hz의 차단주파수를 사용한

그림 4(a)에서 살펴보면 첨두치 출력지터는 CCITT 규격인 1.5UI보다 적다는 것을 알 수 있어서 그림 2의 결과와 비교하면 상기 방법이 역동기화기 PLL의 차단주파수를 높일수 있다는 사실을 알 수 있다. 그리고, 그림 4의 결과를 통해서 M값이 크면 클수록 출력지터는 감소함에 따라 차단주파수를 더 높게 설정 가능하다는 것을 알 수 있다.

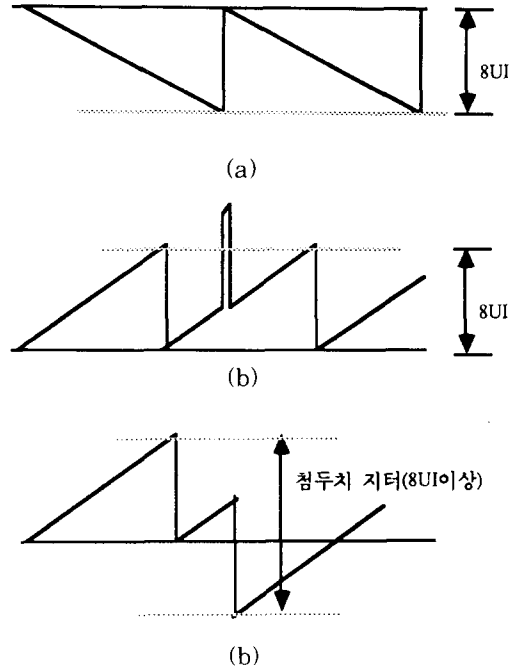


그림 5. 바이트단위 처리시의 노드에 의한 지터 누적 (a)노드 1 (b)노드 2 (c)노드 2의 출력지터

Fig. 5. Jitter accunmulation effect in multi-node network.

(a)Node 1, (b)Node 2, (c)Output jitter of Node 2.

## 2. Multi-node 포인터 조정에 대한 영향

동기기능을 상실한 Multi-node로 구성된 망에서의 포인터 조정지터는 지터성분의 누적때문에 전송품질에 심각한 영향을 주게 되며, 이는 그림 5와 그림 6으로부터 살펴볼 수 있다. 그림 5는 바이트단위의 포인터 조정에 따른 노드의 영향을 나타낸 것이다. 여기서 노드1과 노드2의 드리프트 성분이 서로 반대방향인 최악의 상태로 자주발진한다고 가정하였을 때 노드1에서 생성된 포인터 조정이 노드2에서는 지터의 누적을 발생시켜 8UI이상의 첨두치 출력지터를 야기한다.

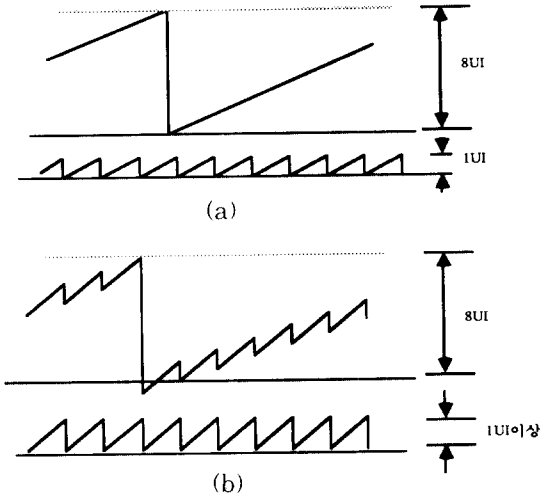


그림 6. 비트단위 처리시의 노드에 의한 지터누적 (M=8)  
(a) 노드 1 (b)노드 2

Fig. 6. Jitter accumulation by bit leaking control in multi-node network (M=8).  
(a) Node 1, (b) Node 2.

그림 6은 비트단위 처리시의 지터누적 상태를 나타낸 것으로서 노드2에 나타나는 침두치 출력지터는 노드1의 영향으로 1UI이상의 성분으로 발생된다. 따라서 포인터 조정지터는 동기기능을 상실한 두개의 노드로 구성된 경우에 두배로 증가하며, N개의 노드수에 대해서는 N배로 증가될 수 있음을 예측할 수 있다. 여기서 노드1과 노드2에 발생하는 비트리킹 기율기와 주파수를 동일하게 둔 것은 가장 최악의 출력지터가 발생하는 경우를 고려하였다.

만일 N개의 노드가 존재할 때 두번째 노드에 미치는 위상변화를  $\phi_2(t)$ 라 하면 (6)식을 얻을 수 있고,

$$\begin{aligned} \Phi_2(t) = & \frac{a_0}{T_{BLC}} + \sum_{i=1}^{\infty} \frac{2}{T_{BLC}} \sqrt{a_i^2 + b_i^2} \cos(\omega_i t + \theta_i) + \frac{a_0}{T_{BLC}} H(0) \\ & + \sum_{i=1}^{\infty} \frac{2}{T_{BLC}} \sqrt{a_i^2 + b_i^2} |H(j\omega_i)| \cos(\omega_i t + \theta_i + \arg H(j\omega_i)) \end{aligned} \quad (6)$$

N번째 노드의 위상변화  $\phi_N(t)$ 는 (7)식과 같다.

$$\begin{aligned} \Phi_N(t) = & \sum_{k=0}^{N-1} \frac{a_0}{T_{BLC}} H^k(0) + \sum_{k=0}^{N-1} \sum_{i=1}^{\infty} \frac{2}{T_{BLC}} \sqrt{a_i^2 + b_i^2} |H(j\omega_i)|^k \\ & * \cos(\omega_i t + \theta_i + k \arg H(j\omega_i)) \end{aligned} \quad (7)$$

여기서 N은 노드수, i, j는 정수이다.

(7)식의 PLL 응답을 구하기 위해 (5)식을 이용하면 (8)식과 같다.

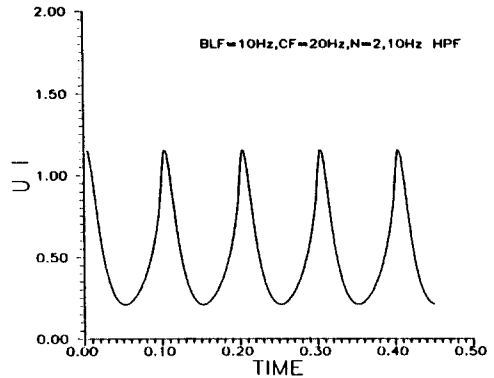
$$\begin{aligned} Y_N(t) = & \sum_{k=1}^N \frac{a_0}{T_{BLC}} H^k(0) + \sum_{k=1}^N \sum_{i=1}^{\infty} \frac{2}{T_{BLC}} \sqrt{a_i^2 + b_i^2} |H(j\omega_i)|^k \\ & * \cos(\omega_i t + \theta_i + k \arg H(j\omega_i)) \end{aligned} \quad (8)$$

(8)식을 다시 정리하면 (9)식과 같다.

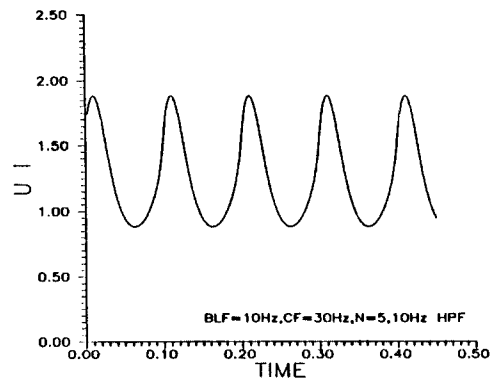
$$Y_N(t) = \frac{KN}{2M} + \sum_{k=1}^N \sum_{i=1}^{\infty} \frac{K}{\pi M i} |H(j\omega_i)|^k \cos(\omega_i t + \theta_i + k \arg H(j\omega_i)) \quad (16)$$

여기서

$$\begin{aligned} a_0 &= \frac{KT_{BLC}}{2M}, \\ a_i &= 0, \\ b_i &= -\frac{KT_{BLC}}{2\pi M i}, \\ \theta_i &= 0. \end{aligned}$$



(a) BLF=10Hz, CF=20Hz, M=8, N=2, 10Hz HPF



(b) BLF=10Hz, CF=30Hz, M=16, N=5, 10Hz HPF

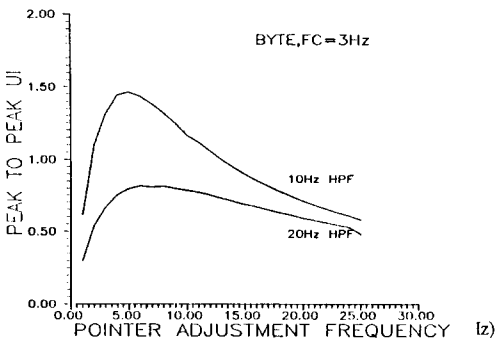
그림 7. 비트단위시의 노드수에 따른 위상변화(N=5)  
Fig. 7. Phase variation by BLC in multi-node network (N=5)

Multi-node 포인터 조정에 따른 출력지터의 시뮬레이션 결과를 그림 7에 나타내었다.

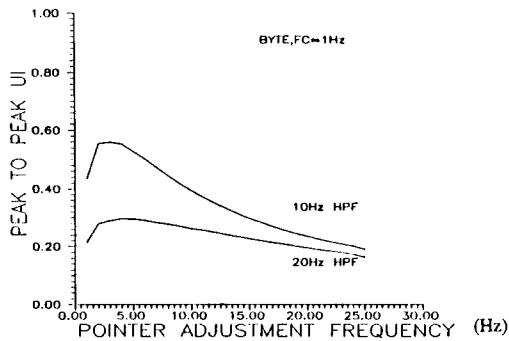
그림 7(a)는 노드수(N)가 2, 비트리킹 폭(M)이 8이고 차단주파수를 20Hz로 설정하였을 때의 결과로서 첨두치 출력지터는 1UI정도임을 알 수 있고, 그림 7(b)는 N이 5, M이 16, 30Hz의 차단주파수를 사용하였을 때의 결과이다.

이상의 결과와 노드수 1일때의 결과인 그림 4와 비교해보면 노드수가 증가하면 할수록 출력지터가 증가함에 따라 차단주파수를 낮게 설정하거나 M값을 크게 해야 함을 알 수 있다.

3. 시뮬레이션 및 결과 검토



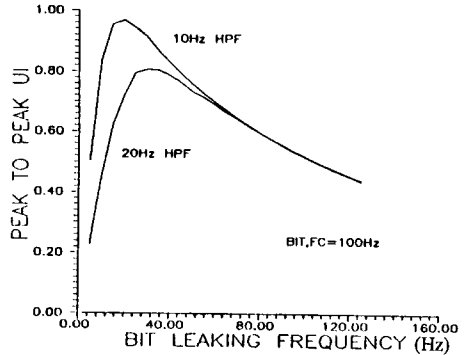
(a) CF=3Hz



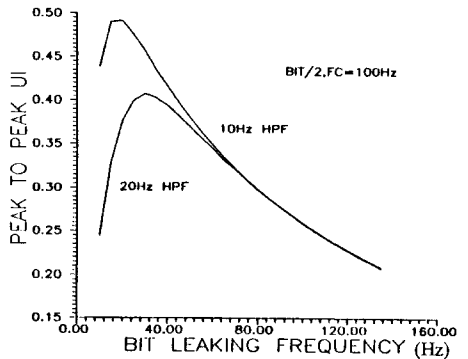
(b) CF=1Hz

그림 8. PLL 처리시의 첨두치 출력지터  
Fig. 8. Peak to peak output jitter by PLL processing.

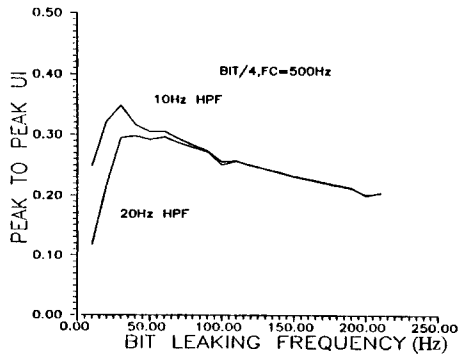
포인터 조정지터의 감소를 위한 PLL기법과 비트리킹 기법에 대해서 포인터 조정 주파수(PAF)와 비트리킹 주파수(BLF)에 따른 첨두치 출력지터의 시뮬레이션 결과를 그림 8, 9, 10에 나타내었다. 그림 8에서 보면 PLL의 지역 차단주파수가 3Hz이하일 경우에



(a) M=8



(b) M=16



(c) M=32

그림 9. 비트리킹 제어제어의 첨두치 출력지터  
Fig. 9. Peak to peak output jitter BLC method.

CCITT에서 규정한 1.5UI의 출력지터 규격을 만족될 수 있음을 알 수 있고, Multi-node에서는 이보다 훨씬 낮은 주파수를 설정해야 함을 알 수 있다. 이와 같은 낮은 차단주파수의 사용은 탄성버퍼의 용량을

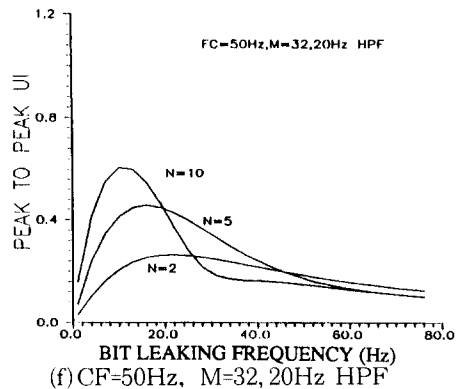
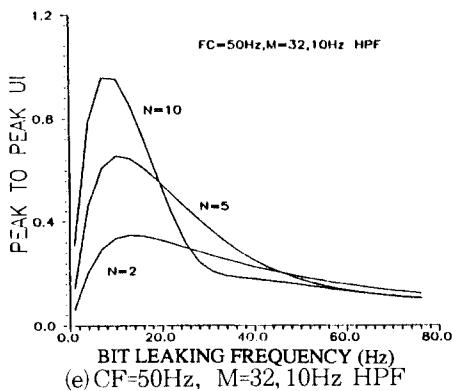
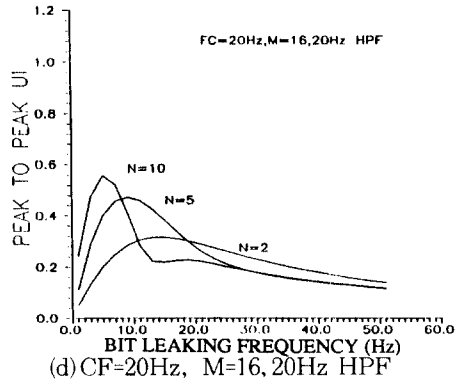
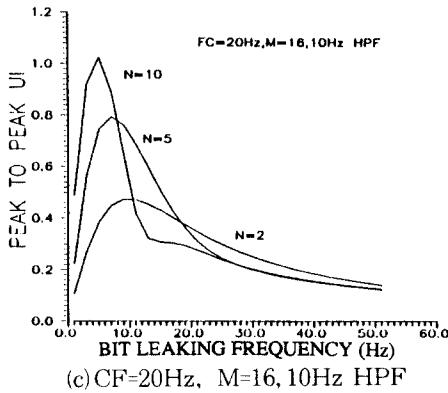
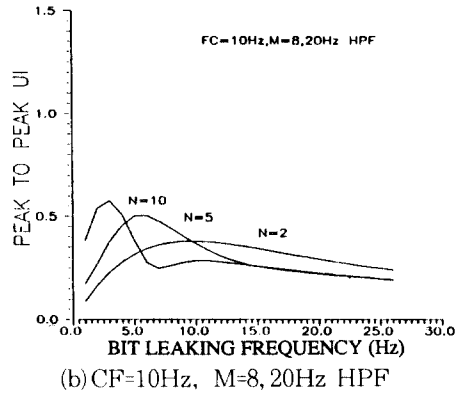
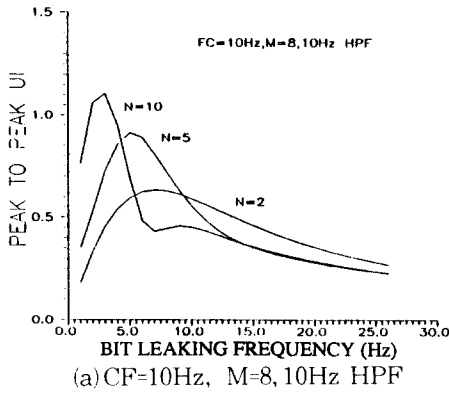


그림 10. Multi-Node시의 침투치 출력지터

Fig. 10. Peak to peak output jitter in multi-node network.

크게해야 하고, 또한 시스템의 불안정, 실현의 어려움 등과 같은 단점이 있다. 한편 비트리킹 제어 기법에 대한 시뮬레이션 결과를 나타내는 그림 9에서 보면, M값이 8인 침투치 출력지터는 약 0.95UI,

M=16 은 0.49UI, M=32는 0.35UI임을 알 수 있다. 따라서 M값이 증가에 따라 출력지터가 감소함을 알 수 있고, 비트리킹 제어를 사용함에 따라 PLL의 차단주파수를 높일 수 있다는 사실을 확인할 수 있

다. 또한 Multi-node적용시의 첨두치 출력지터는 그림 10에서 보는 바와 같이 노드수가 증가함에 따라 커지고, M값의 증가에 따라 감소함을 알 수 있다.

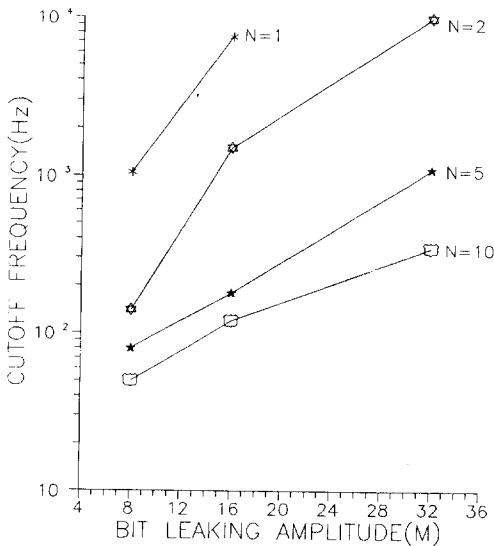


그림 11. 노드수(N), 비트리킹폭(M)과 차단주파수와의 관계

Fig. 11. Relation with N, M and Cutoff Frequency

또한 그림 11은 복미방식의 CCITT규격을 만족하는 노드수(N), 비트리킹폭(M)과 차단주파수와의 관계를 나타낸 결과로서 노드수만 결정되면 비트리킹폭과 차단주파수의 설정이 가능하며, 여기서 차단주파수를 높이려면 비트리킹폭을 증가시키면 가능하지만 M의 증가는 비트리킹을 위한 클럭의 속도를 증가시켜야 하기 때문에 구현상의 어려움이 존재한다.

#### IV. 비트리킹 방식의 구현

이상에서 설명한 바와 같은 비트리킹에 의한 포인터 조정지터 감소 기법을 SDH망노드 시스템에 응용을 위한 전형적인 기능 블럭도는 그림 12와 같다.

상위 VCn 또는 STM-N신호로부터 추출된 AU/TU 포인터와 해당 프레임 클럭(보통 8KHz)을 받아서 포인터 조정상태 검출기(PJS Detection)를 통해서 포인터 조정 여부를 검출하고, PJS 검출(8UI 지터 발생) 즉시 비트리킹 간격(BL period) 산출 알고리즘의 적용을 통해서 BL 주기가 설정된다. 이때 상기 알고리즘은 그림 3에서 제시한 바에 따라 T<sub>BL</sub>를 하드웨어적으로 직접 계산하거나 마이크로 프로세서의 제어에 의해 소프트웨어적으로 계산할 수 있다.

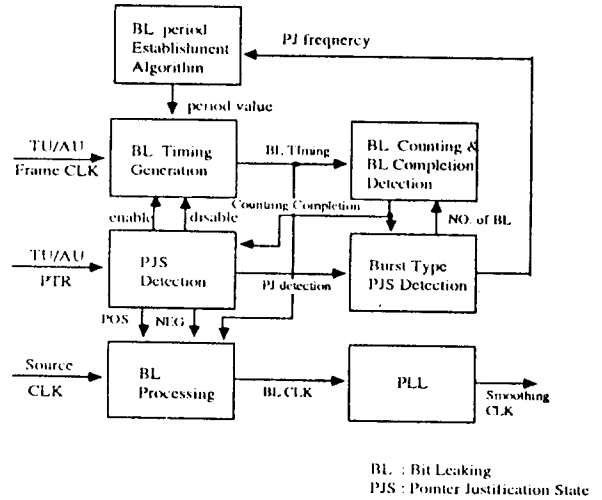


그림 12. 비트리킹 처리기법의 기능 블럭도

Fig. 12. Functional block diagram of BLC method

또한 BL 요구 타이밍 생성부(BL Timing Generation)는 상기 설정 주기로 BL 타이밍을 발생시켜 BL 처리부(BL Processing)에 정/부 클럭 조정을 요구하고, 이때 BL 처리부는 정 스테핑 조정일 경우 TU/AU 프레임에 동기된 클럭(보통 해당 VCn 속도 또는 이의 정수배 클럭)에 대해서 1 비트 혹은 그 이하 비트 주기로 Lag시키고, 부 스테핑 조정일 경우 Lead시켜 총 8UI의 지터를 1UI이하로 평활화 되도록 처리된다. 여기서 생성된 BL 클럭은 해당 VCn내에 포함된 종속신호(DSn)의 최종 송신단 클럭으로 직접 사용될 수 있고, BL 클럭을 기준클럭으로 하는 PLL을 통해서 고주파 지터성분을 다시 제거시킨 후에 사용될 수 있으며, 이는 CCITT에서 규정하는 DSn 신호별 출력지터의 만족여부에 따라 선택 적용한다. 보통 전자의 경우는 저속(VC1) 포인터 처리기에서 사용(M)=16)하고, 후자는 고속(VC3/4) 포인터 처리기에서 사용(M)=8)될 수 있을 것이다. 한편 BL이 진행중인 상태에서 또다른 정/부 PJS가 검출되면 버스트형 PJ 상태 발생으로 간주하여 버스트 처리 알고리즘에 따라 리킹횟수를 재산출하고, 또한 BL 주기가 재설정되어 적용된다.

#### V. 결론

SDH망노드 시스템상에서 발생하는 포인터 조정으로 인한 지터는 종속신호상에 심각한 위상변화를 야기시키므로 이를 감소시키기 위해서 사용될 수 있는 PLL적용기법과 비트리킹제어기법에 대해 살펴보았



다. 지터를 PLL에 의해 직접 차단시키려면 3Hz이하의 저역통과 특성을 가져야 하는 실현상의 어려움이 존재하기 때문에 본 논문에서는 비트리킹 제어기법의 사용을 제시하였고, 또한 이를 Multi-Node에 적용한 경우의 성능을 제시하였다. 상기 방법에 대한 성능 시뮬레이션 결과를 검토해 보면 적절한 노드수(N)와 비트리킹 폭(M)의 설정을 통해서 PLL 처리 기법보다는 보다 높은 차단주파수의 사용이 가능함을 보였다. 여기서 제시된 세부 비트리킹 제어기법은 SDH기본의 모든 망요소에 적용 가능할 것이며, 실제로 한국전자통신연구소에서 개발된 155Mbps급 동기식 광전송 장치에 적용되어 실용성이 확인된 바 있다.

參 考 文 獻

[1] TR-TSY-000499, "Transport System Generic Requirements(TSGR)," Bellcore, Issue 2, December, 1988.  
 [2] TR-TSY-000253, "Synchronous Optical Network(SONET) Transport System: Common Generic Criteria," Bellcore, Issue 1, September, 1989.  
 [3] CCITT Rec. G. 708 "Network Node Interface for the Synchronous Digital

Hierarchy," Blue book, 1988.  
 [4] CCITT Rec. G.709 "Synchronous Multiplexing structure," Blue book, 1988.  
 [5] CCITT Draft Rec. G.782 "Types and general characteristics of SDH multiplexing equipment," COM XV-R14-E, August, 1990.  
 [6] CCITT Draft Rec. G.783 "Characteristics of SDH equipment functional blocks," COM XV-R14- E, August, 1990.  
 [7] CCITT Draft Rec. G.sna2 "Performance and Management Capabilities of Transport Networks based on the SDH," COM XVIII-TD37, MAY, 1990.  
 [8] 이 창기와 4인, "동기식 다중장치에서의 포인터 조정지터 감소 알고리즘 및 구현 연구," 한국통신 학회 하계 학술발표회 논문집, 제9권 제2호, pp887-890, 1990년 8월.

< 감사의 글 >

본 논문은 한국통신에서 출연한 "155Mbps급 동기식 다중기술 개발"과제를 수행하는 과정에서 작성된 것이며, 본 과제에 수행시에 여러가지 도움을 주신 이성경부장님과 강철희박사님께 감사를 드립니다.

著 者 紹 介



李 昌 基 (正會員)  
 1962年 1月 12日生.. 1984年 2月  
 경북대학교 전자공학과 졸업.  
 1986年 2月 경북대학교 전자공학  
 교 석사학위 취득. 1987年 12월  
 ~ 현재 한국전자 통신연구소, 전  
 송시스템연구실 선임연구원.

주관심분야는 전송시스템 개발 등임.



金 在 根 (正會員)  
 1952年 8月 28日生. 1980年 2月  
 고려대학교 전자공학과 졸업.  
 1983年 2月 고려대학교 전자공학  
 과 석사학위취득. 1990年 8월 고  
 려대학교 전자공학과 박사학위취  
 득. 1979年 12월 ~ 현재 한국전

자통신연구소 전송시스템 연구실 실장 책임연구원.  
 주관심분야는 전송시스템 개발 등임.