

論文93-30A-3-10

고속 인쇄회로기판의 잡음계산 소프트웨어 개발

Development of a Noise Simulation Software for High Speed Printed Circuit Boards

李先馥*, 李華伊**, 金大煥*, 韓善景*, 劉泳甲***

(Sun Bok Lee, Hwa Ee Lee*, Dae Hwan Kim, Seon Kyeong Han and Young GouYou)

要 約

이 연구는 첨단 중형컴퓨터에서 사용되는 고속 다층인쇄회로 기판에서의 잡음의 simulation software 개발에 관한 것이다. 특히 100MHz의 clock이 운용되는 컴퓨터 시스템의 주기판 또는 백플레인의 설계과정에 초점을 맞추어서, 높은 속도의 신호가 20층 이상의 인쇄회로 기판을 통과할 때 발생하는 가장 심각한 문제인 crosstalk과 reflection을 예측하므로써 효과적인 잡음 제어가 가능하도록 하였다. 여기서 개발된 simulation program은 약 1000개의 net에서 잡음계산을 정확하게 계산할 수 있다.

Abstract

A noise simulation software is developed to estimate crosstalk and reflection noise in multi-layer printed circuit boards having upto 20 layers and carrying signals of 100 MHz range. The simulation software can handle up to 1000 nets yielding accurate noise value associated with each net. The calculation results can be used to build optimal printed circuit boards used in high speed computers and telecommunication equipments.

1. 서 론

중형 및 대형 컴퓨터의 구현에 있어서 고속 논리 회로의 사용은 불가피하다. 특히 고속의 신호파형을 전체 시스템에 원활하게 공급하여야 한다. 중형 컴퓨터의 경우 50MHz 이상의 클럭을 운용하는 것이 일반적인 추세이며, 대형에서는 150MHz 이상의 클럭 속도를 감당하기 위한 PCB(Printed Circuit Board)개발이 한창 진행 중이다. 이와 같은 운용 clock 주파수의 상승은 PCB설계에 있어서, 종래의

논리설계 및 검증에만 치중하는 접근방식에 한계를 갖고 있다. PCB 자체의 제조기술과 재질도 회로의 성능에 영향을 주기 시작하고 있으며, 특히 신호를 구동하는 부품의 inductance와 capacitance 특성과 그것을 전달해주는 신호전달 구조체와 그 신호를 수신하는 부품의 영향까지 고려하지 않으면 안되게 되었다.^[1,2,3,4,5,6]

또한 PCB 기술의 발달에 따라 대형 PCB의 사용과 다층화된 PCB 기술의 등장은 이들에 탑재된 trace의 숫자를 급격하게 증가시키고 있어서, 이들 trace별 또는 trace간의 전기적 특성분석에 자동화된 분석방법의 사용을 강요하고 있다.^[2,7,8,9] 특히 pattern의 미세화와, 구동파형의 고속화에 따라 지극히 정밀한 circuit simulation 방법(예컨대 SPICE simulation)의 사용은 필수 불가결한 과정이 되어 버렸다. 또한 PCB의 via나 band등의 3차

*準會員, ***正會員, 忠北大學校 情報通信工學科
(Dept. of Telemastic Eng., Chungbuk Nat'l Univ.)

**正會員, 淸州大學校 電子工學科
(Dept. of Elec. Eng., Chongju Univ)

接受日字: 1992年 9月 8日

원 구조에 대한 capacitance 및 inductance 도 3차원 simulator(예컨대 CALIF등)를 써서 구하는 것이 보통이다. 이들 simulator의 사용에 일차적으로 따르는 작업이 각 부품과 회로구조체의 전기적 모형인바, 이것의 최적화를 통해서만 PCB 기판의 성능이 보장되며, 또한 제조시 제품 품질 유지에 기여하는 것이다.^[10]

현재 사용중인 circuit simulator들은 PCB 전체 회로에서 극히 일부분적인 회로에 대하여 신호파형의 특성분석이 가능하다. 전체 PCB 회로에서 야기되는 전송선상의 신호파형의 변화를 파악하기 위해서는 새로운 형태의 simulator가 필요하다. 이 논문에서 새로 도입하는 simulator는 전송선의 전기적인 특성에 의한 신호파형의 변화를 예측하는 기능을 수행하는데, 대상 PCB의 재질, trace의 구조, trace의 배치 상태, 회로소자의 전기적인 특성등을 modeling하여 PCB 전체의 모든 tarce에서 발생할 수 있는 cross talk과 reflection을 계산한다. PCB의 trace 배치 상태에 의해서 발생할 수 있는 crosstalk과 reflection을 예측함으로써 sample PCB 제작에 소요되는 시간과 비용을 줄일 수 있고, 시스템의 안정화를 기할 수 있다. 이 논문의 2장은 고속 중형 컴퓨터의 package, 3장은 noise simulation program (NOISECOM)에 대한 설명이 포함되어 있다.

II. 고속 컴퓨터의 Package

컴퓨터 시스템의 package는 계층적인 구조로써 chip carriers 또는 multi-chip modules, PCB, connectors, frames으로 구성되어 있다. 이들 각 계층의 package에 있어서 전기적 특성의 정량적 평가가 중요하다. 컴퓨터 package는 시스템이 만들어지기 전에 잘 설계되어야 하므로, 모든 LSI chip들을 연결하는 기계적 구조체의 전기적 성질을 조사하여야 한다. 특히 package에서 power, signal 분배에서 발생하는 효과를 조사하고, 또한 잡음에 대한 효과도 조사하여야 한다. 종합적인 package의 측면에서 분석방법을 개발하여 simulation으로 전체 package 계층의 성능을 계산하여야 한다.

그림 1은 독립적인 두장의 고속 PCB에 각각 실장된 chip 1과 chip 2가 서로 신호를 주고받기 위하여 중간에 거쳐야 할 구조물들이 계층적으로 제시되어 있다. 이 구조물들은 신호파형에 영향을 미치기 때문에, 그 전기적 특성이 면밀히 분석되어 회로설계에 반영되어야 한다. 특히 중간 구조물에 연관된 capacitance와 inductance의 modeling을 통한

simulation은 성공적인 hardware 설계의 요체라고 할 수 있다. 따라서 chip 1과 chip 2 사이의 모든 구조체의 전기적인 특성을 정량화 하여야 하는 과제가 있는 것이다.

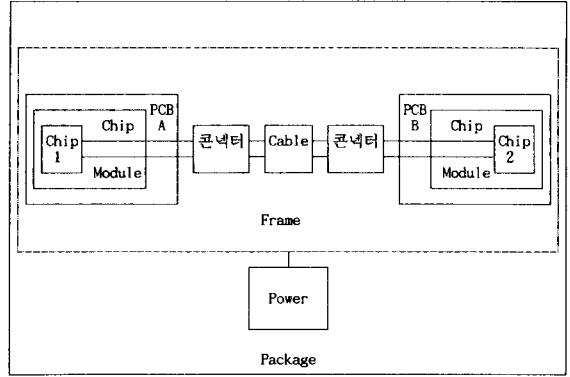


그림 1. Chip간 신호 경로의 물리적 모델
Fig. 1. Physical model of inter Chip Signal path.

이러한 순서를 보여주기 위하여, 첫째, chip module을 쓰는 planar board technology를 사용한다. 이 기술은 중, 대형컴퓨터 제조에 보편화되고 있는 기술로서 고속화 고밀도화에 적합한 것이다. 둘째, PCB의 특성 impedance에 영향을 주는 power 분배, signal 분배, noise effect등을 고려해야 한다. 마지막으로 package와 시스템 성능사이의 관계를 비교하는 과정을 거치게 된다.

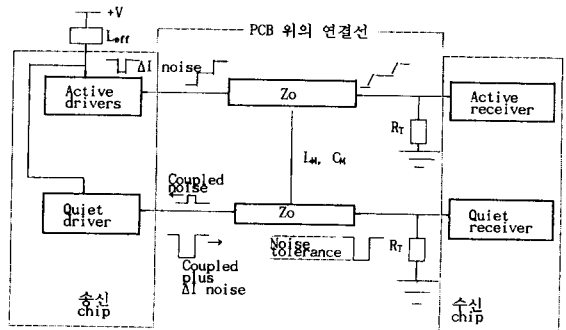


그림 2. 신호선에서의 switching과 coupling noise 효과
Fig. 2. Switching and Coupling noise effect at Signal lines.

고속 컴퓨터의 package에서는 두가지의 잡음, 즉 crosstalk과 reflection이 주로 문제가 된다. 이중에

서 crosstalk는 다시 switching noise와 coupled noise로 분류할 수 있다. Switching noise와 coupled noise는 동시에 취급한다. Switching noise와 coupled noise의 발생과 상호작용을 알기 위해서는 effective package inductance L_{eff} 를 결정한다. 그림 2는 coupling noise효과를 보여준다. 한 chip에서 여러개의 스위칭 동작을 하게 되면 L_{int} 양단에 부전위의 전압이 유도된다. 이것은 ΔI noise라고 하며 전원선에서 발생하여 데이터선에 영향을 주어 신호의 왜곡을 유발시킨다. [11]

Package의 유효 inductance L_{eff} 는 noise에 의하여 유발되는 파형을 분석하여 그 결과를 circuit simulation 해서 찾아 내게 된다. 이것은 parallel path, mutual effect, chip load effect등으로 인하여 model이 지극히 복잡하기 때문이다. 이 simulation으로 noise magnitude, current slew rate등도 구하게 된다. V_n 을 잡음의 크기, N_d 을 동시에 switching되는 구동회로의 갯수, S_r 를 slew rate라고 할 때, package의 유효 inductance는 다음과 같이 구한다. [11]

$$L_{eff} = \frac{V_n}{N_d S_r}$$

신호파형의 왜곡현상에서 거꾸로 L_{eff} 를 계산해 내는 이 방식은 noise simulation의 근간이 되어 왔다. 이 L_{eff} 를 이용하여 다양한 PCB 구조와 신호파형에 대한 잡음을 다시 계산해 낼 수 있는 것이다.

디지털 논리 회로에서 사용되는 IC의 고집적화와 고속화가 급속히 발전되는 추세와 함께 이들 IC들로 구성된 전송선에서 발생하는 crosstalk와 reflection을 interconnection noise로써 정의할 수 있으며 시스템의 성능향상과 더불어 더 이상 무시할 수 없는 요소로써 평가된다. Reflection를 줄이는 가장 일반적인 방법으로 termination 저항을 이용한다. 그러나 termination 저항의 추가는 시스템의 가격과 요구되는 공간의 증가를 초래하게 되고 소모 전류의 증가를 가져오게 된다. 보다 근본적인 reflection 해결 방법은 시스템의 집적도를 높여 전송 선로의 길이를 줄이는 것이다. PCB 설계 기술의 향상으로 부품배치와 배선 작업을 효과적으로 운영함으로써, 전송 선로의 길이를 줄이는데 상당한 기여를 할 수 있다.

시스템의 집적도가 높아짐으로써 reflection을 줄일 수 있으나 상대적으로 crosstalk의 유발을 가중시킬 수 있다. 집적도의 증가로 인접한 전송선 사이에서 coupling 효과가 시스템을 오동작 시킬 수 있을 정도로 커지게 된다. 한 전송선로의 신호가 인접한

전송 선로에 유기됨으로써 시스템에 치명적인 오동작을 발생시키게 된다.

디지털 시스템에서 reflection과 crosstalk를 계산하기 위한 전송선에 대한 기본모형은 그림 3과 같이 나타낼 수 있다. 전송선의 특성을 나타내기 위한 인수들로 T_d , Z_{inf} 그리고 α 를 사용한다. T_d 는 전송선의 단위 길이당 신호지연 시간이며, Z_{inf} 는 무한한 길이의 전송선에 대한 impedance 값이다. 여기서 전송선의 전류나 전압감쇠효과를 나타내는 α 는 일반적으로 무시된다. α 값이 무시할 수 있을 정도의 작은 값일 때 T_d 와 Z_{inf} 는 전송선의 단위길이당 L (inductance)과 C (capacitance)로써 $T_d = \sqrt{LC}+1/\nu$, $Z_{inf} = \sqrt{LC}$ 와 같이 표현된다. 여기서 L 과 C 의 값은 전송선의 간격, 두께, 그리고 폭으로 결정되며는 ν 는 신호 전파 속도를 의미한다.

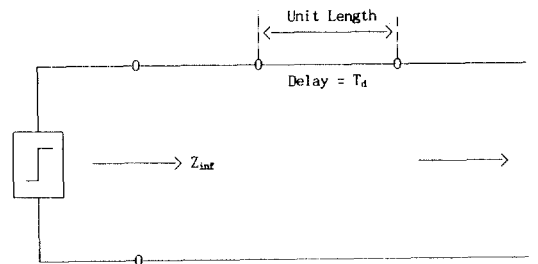


그림 3. 무한한 길이를 갖는 2개의 전송선
Fig. 3. Two transmission lines with infinite length.

PCB에서 전송선이 위치하게 되는 형태에 따라 2가지로 나누게 된다. 하나는 PCB의 맨 위층과 아래층에 위치하는 microstrip transmission line과 다른 하나는 PCB의 내부층에 묻히는 strip transmission line이 있다. Microstrip transmission line은 strip line과는 다르게 복합 유전체인 공기와 PCB에 사용되는 fiber glass epoxy나 ceramic 물질과 접해 있다. 이러한 복합 유전체를 갖는 구조가 단일 유전체를 갖는 strip line보다 전송 속도가 빠르다. 따라서 잡음 해석에서는 이들 유전체의 상수변화가 정밀하게 반영되어야 한다.

지금까지 PCB에서 문제되는 crosstalk과 reflection에 대한 설명을 하였다. Crosstalk와 reflection을 수식적으로 유도하기 위해서는 PCB trace의 배치상태와 구조에 의해 전송선들의 전기적인 특성값인 capacitance와 inductance을 도출하는 계산식의 유도가 필요하다. 단독으로 있는 전송선의 경우 전송선의 특성을 나타내는 capacitance,

inductance, 그리고 impedance 값은 쉽게 계산이 된다. 그러나 현실적인 상황은 보다 복잡한 구조를 갖는 전송선으로 회로들이 구성된다. 그러한 구조의 예를 보면 PCB에서 각 신호층에 있는 전송선들의 재질과 각 신호층을 분리시키는 절연물질, 전송선의 모양(두께, 넓이, 길이), 이웃하는 전송선들의 배치상태 등이 복잡하게 연관되어 각각의 전송선에 대한 특성이 결정된다. 결국 이러한 전송선의 구조에 따른 특성(capacitance, inductance)들이 crosstalk와 reflection을 결정하게 된다. 각각 12가지의 trace 구조에 대한 capacitance와 inductance 계산식을 정리하였다. 그림 4에 12가지 형태의 trace 구조에 대한 항목들을 열거하였다.

공식 이름	modeling structure
C-1, L-1	Two Circular Conductor
C-2, L-2	A Circular Conductor and a Ground Plane
C-3, L-3	Two Circular Conductor Near a Ground Plane
C-4, L-4	Parallel, Vertical, Flat Conductor
C-5, L-5	Horizontal Flat Conductors
C-6, L-6	A Flat Conductor and a Ground Plane(Microstrip line)
C-7, L-7	Two Horizontal, Flat Conductors Near a Ground Plane
C-8, L-8	Four Conductor System
C-9, L-9	A Flat Conductor and Two Ground Planes(Stripline)
C-10, L-10	Two Flat Conductors Near Two Ground Plane
C-11, L-11	Coaxial Cables
C-12	Two Small Spheres
L-12	Circular and Square loops

그림 4. Model structure list
Fig. 4. Model structure list.

PCB의 다층화 과정에서 가장 중요한 설계기법중의 하나로서 impedance을 일치시키는 과정이 있다. 해결방안으로 strip line층들은 접지층(전원층과 접지층) 사이에 2층까지만 존재하도록 설계되는 것이 일반적인 접근방법이다.^[12] 또한 접지층 사이에 포함된 각각의 strip line층들은 전송선들이 서로 직교하도록 배치하여 상호 전기적인 영향을 줄인다. 이 방법으로 다른 strip line층들도 구성을 하여 서로의 전기적인 간섭효과를 피할 수 있다. 그러나 이들 간의 상호작용이 무시할 수 없을 때에는 앞서의 12가지 형태에서 작성된 식을 통하여 구해게 되며, 전원층이나 접지층 바깥과의 상호작용은 지극히 미미하므로 무시하고 있다.

Ⅲ. 잡음계산 프로그램

고속 PCB에서 crosstalk와 reflection을 계산하기 위하여 noise computation program (NOISECOM)이 작성되었다.^[13] NOISECOM은

PCB의 trace와 via 등에 대한 trace 설계가 완성된 후 sample PCB 제작에 앞서 각 전송선들 간의 crosstalk와 reflection 전압을 계산하게 된다. 일반적인 PCB Artwork용 CAD에 의해 생성되는 최종 출력 파일인 Gerber 파일과 그 밖에 필요한 몇가지 정보(IC type, IC 핀의 입출력관계, net code등)는 CAD용 utility(VALID의 CAD tool에서는 EXTRACT가 있음)를 이용하여 ASCII 형식으로 입력시킬 수 있다.

일반적으로 transmission noise라 말하는 crosstalk와 reflection은 시스템 논리 설계와는 무관하며, PCB network와 밀접한 관계를 갖는다. 그러므로 시스템 논리회로 설계가 끝난후 PCB 제작단계에서 transmission noise의 평가가 필요하다. 이러한 평가를 하기 위한 기존의 방법은 sample PCB를 제작한 후 실측하는 방법이 있을 수 있으나, 실제 이러한 작업은 오랜 시간과 비용이 소모되는 작업이다. 실측에 의한 평가와 반복되는 sample PCB의 제작은 현실적으로 비효율적이다. NOISECOM은 sample PCB 제작전에 PCB artwork용 CAD프로그램의 출력자료 만으로 transmission noise를 평가 분석함으로써 sample PCB의 신뢰성을 높이며 반복적인 PCB 제작에 소요되는 비용과 시간을 줄일 수 있다 NOISECOM은 현재 SUN-4 SPARC station 기종에서 작동된다. SUN-4 SPARC station에서 일반적으로 사용되는 PCB artwork용 CAD 프로그램으로는 Valid사의 Allegro와 Mentor Graphics사의 Board station이 있다. NOISECOM에서 필요하는 전송선들에 대한 물리적인 치수(길이, 폭, 두께, 좌표값등)는 PCB artwork용 CAD의 최종 출력인 GERBER파일에서 얻을 수 있다. 그밖에 필요한 정보(PCB 각층별 전송선의 impedance, length, 유전체 상수, via의 capacitance, IC type, IC-pin type, 신호의 방향등)들은 CAD 프로그램에서 지원 하는 utility를 이용하여 구할 수 있다.

```

net# branch_type x1 y1 node_type x2 y2 node_type layer#
12 S 12 45 V 12 334 I 3
12 S 12 334 I 156 334 L 3
(net# branch_type x1 y1 node_type layer# node_type layer#)<- via
12 V 156 334 V 5 V 7 type
. . .
. . .
13 S 452 777 S 552 652 I 2
    
```

그림 5. 전송선 net list 형식
Fig. 5. Net list format of transmission lines.

NOISECOM의 입력자료들은 2부분으로 나누어 설명할 수 있는데, 첫째, 대상 PCB의 trace의 배치 상태와 PCB에서의 모든 trace들에 대한 net list가 있다. 그림 5는 net list의 예를 보여주고 있으며, 그림 6에는 그림 5에서 사용된 node type의 종류들을 설명하고있다. 둘째, 대상 PCB의 전기적인 특성과 관련하여 SPICE circuit simulator를 이용하여 계산되는 기본적인 잡음 특성값(default crosstalk, reflection model)들이 있다. 이 기본적인 잡음 특성값을 구하기 위해서는 PCB 제작 공정에서 결정되는 PCB의 물리적인 공정 parameter가 필요하다. PCB의 trace에 대한 물리적인 치수 및 전기적인 특성과 PCB layer의 구성형태와 재질등이 이러한 parameter에 속한다.

node_type	상 태
V	via와 연결됨
I	segment의 연속
S	IC의 출력(source)
L	IC의 입력(load)
T	Terminator
*B	bi-direction
X	break via

* 표시된 것은 현재 사용되지 않음

그림 6. Node type

Fig. 6. Node type.

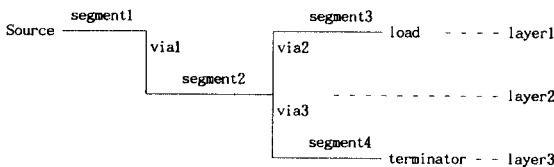


그림 7. Net의 구성도

Fig. 7. Net Configuration.

PCB에서 trace의 배치상태를 표현하는 방법은 개별적인 신호선들에 대해 신호의 출력에서부터 입력까지의 trace들의 조각들(segment, via)을 절대 좌표값으로 표시하여 나열하는 것이다. 이러한 tarce의 구성도를 그림 7에 나타내었다. 대상 PCB에서 신호

net #	net number
pn	path number
pt	path type
d	switching direction
net code	net code
TOTAL	total noise level (Ref1+Xtalk)
ACRMS	root mean square (Ref1 ² + Xtalk ²) ^{1/2}
Ref1	reflection noise
Xtalk	crosstalk noise

그림 8. 출력자료 형식

Fig. 8. output Format.

net #	-pn	d	PT	net code	TOTAL	ACRMS	Ref1	Xtalk
89-02	H	IL			349.7	349.7	0.0	349.7
89-02	L	IL			349.7	349.7	0.0	349.7
90-01	H	IL			470.1	353.5	150.0	320.1
90-01	L	IL			470.1	353.5	150.0	320.1
90-02	H	IL			342.9	342.9	0.0	342.9
90-02	L	IL			342.9	342.9	0.0	342.9
91-01	H	SL			620.3	438.6	307.0	313.3
91-01	L	SL			620.3	438.6	307.0	313.3
91-02	H	SL			552.7	396.4	229.3	323.4
91-02	L	SL			552.7	396.4	229.3	323.4
91-03	H	SL			466.4	357.6	135.4	331.0
91-03	L	SL			466.4	357.6	135.4	331.0
91-04	H	SL			339.2	339.2	0.0	339.2
91-04	L	SL			339.2	339.2	0.0	339.2
92-01	H	SL			614.4	434.5	302.0	312.3
92-01	L	SL			614.4	434.5	302.0	312.3
92-02	H	SL			537.3	385.4	222.9	314.4
92-02	L	SL			537.3	385.4	222.9	314.4
92-03	H	SL			455.1	347.2	135.4	319.7
92-03	L	SL			455.1	347.2	135.4	319.7
92-04	H	SL			333.7	333.7	0.0	333.7
92-04	L	SL			333.7	333.7	0.0	333.7
93-01	H	SL			592.5	419.3	285.2	307.3
93-01	L	SL			592.5	419.3	285.2	307.3
93-02	H	SL			548.8	392.6	232.4	316.4
93-02	L	SL			548.8	392.6	232.4	316.4
93-03	H	SL			328.9	328.9	0.0	328.9
93-03	L	SL			328.9	328.9	0.0	328.9
93-04	H	SL			338.0	338.0	0.0	338.0
93-04	L	SL			338.0	338.0	0.0	338.0
94-01	H	SL			609.8	431.2	301.0	308.9
94-01	L	SL			609.8	431.2	301.0	308.9
94-02	H	SL			544.5	388.4	236.2	308.3
94-02	L	SL			544.5	388.4	236.2	308.3
94-03	H	SL			314.2	314.2	0.0	314.2
94-03	L	SL			314.2	314.2	0.0	314.2
94-04	H	SL			321.4	321.4	0.0	321.4
94-04	L	SL			321.4	321.4	0.0	321.4

그림 9. 출력화일의 보기

Fig. 9. Example of output line.

들 간의 crosstalk과 한 전송선상에서 발생하는 reflection을 계산하기 위해서는 각 신호들이 전송선을 따라 PCB상에서 어떻게 배치되어 있느냐가 관계가 된다. 그밖에 전송선의 물리적인 구조(넓이, 두께, 길이)와 클럭 펄스의 특징(상승 시간, 하강 시간,

주기, 폭)등에 의해 계산되며, 이 값들을 NOISECOM의 입력값으로 활용한다. 여기서 구해지는 기본적인 잡음특성은 trace의 단위 길이당 발생하는 crosstalk과 reflection에 대한 기본 설정값으로 사용된다.

NOISECOM에서 계산이 완료되어 모든 trace들에 대한 crosstalk과 reflection이 구해지면 출력화일을 생성하게 된다. 이 출력화일의 구성은 PCB상의 신호를 기준으로 net별로 클럭 핀스의 상승시간과 하강시간에서 발생하는 crosstalk과 reflection값을 전압(mV)으로 표시한다. 그림 8에는 출력화일에 포함되는 항목들을 설명과 함께 나타내었으며, 그림 9에 출력화일의 보기를 보여주고 있다.

IV. 잡음계산 및 결과값 보정

첨단 중형컴퓨터에서 사용하는 다층 고속 PCB 설계과정에서 noise simulator의 사용은 필수적이다. 특히 주기판이나 백플레인에는 고속의 신호가 사용되어 잡음이나 신호왜곡의 크기를 조절할 수 있는 기술이 요구된다. 일반적인 동작환경하에서 신뢰할 만한 신호전달을 보장하기 위하여는 10층 이상의 PCB에 100MHz정도의 신호의 파형을 정확하게 예측해야 할 필요가 있는 것이다.

이 연구에서는 특히 100MHz의 클럭이 운용되는 컴퓨터 시스템의 주기판 또는 백플레인의 설계과정에 초점을 맞추었다. 높은 속도의 신호가 10층 이상의 PCB를 통과할 때 발생하는 가장 심각한 문제인 crosstalk과 reflection을 예측함으로써 효과적인 noise control이 가능한 것이다.

이 연구의 결과물로서, 고속 PCB상에서의 주요한 2가지 잡음, 즉 reflection과 crosstalk를 계산하기 위한 software tool(NOISECOM)이 완성되었다. 이것은 약 3만줄 정도의 C language code로서 구성되었으며 SPARC station상에서 성공적으로 가동되고 있다. NOISECOM은 크게 3부분으로 형성된다. 첫째, 자료의 입력과 가공이 이루어지는 부분이 있고, 둘째 transmission noise를 계산하는 부분이 있으며, 마지막으로 계산 결과를 출력하는 부분이 있다. 입력부분은 다시 두 부분으로 나눌 수 있는데 default parameter를 입력하는 부분과 각 전송선에 대한 netlist를 입력받는 부분이 있다. Transmission noise를 계산하는 부분은 crosstalk와 reflection을 계산하는 부분과 total noise를 계산하는 부분이 있다. 프로그램의 구성을 그림 10에 나타내었다. 각 블럭별 기능은 다음과 같다

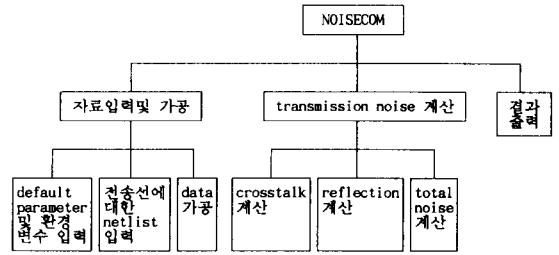


그림 10. NOISECOM block diagram
Fig. 10. NOISECOM block diagram.

Default 및 환경변수 입력부분에 해당되는 프로그램은 모든 default parameter와 환경변수들을 초기화한다. Default parameter에는 via_cap, max_net_num, 그리고 xtalk_cutoff등 10가지가 있으며 환경변수는 입력화일등과 같은 변수들에 프로그램에서 정한 화일명이 default로 설정된다. 전송선에 대한 netlist 입력부분은 noise simulator에서 사용하는 고유의 netlist 형식의 화일을 입력하는 부분이다. 이 netlist는 PCB에서의 전송선에 대한 신호의 입출력 관계와 branch type, branch의 좌표값등의 정보를 갖게 된다. Data 가공부분은 입력된 netlist 화일인 branch_input을 계산 부분에서 이용할 수 있도록 내부 data structure를 구성하는 부분이다. 환경변수에 설정된 화일명 중에서 weight table과 xtalk_table들은 이 crosstalk 계산부분에서 parallel한 전송선에서의 crosstalk계산에 이용된다. 하나의 branch에서 crosstalk값이 결정되는 방법은 기준이 되는 branch에 대하여 평행한 주변의 모든 branch를 거리와 길이로써 계산을 하여 xtalk_table과 weight_table에서 근사값을 보간법으로 구한다.

Reflection을 구하는 부분 프로그램 내부에

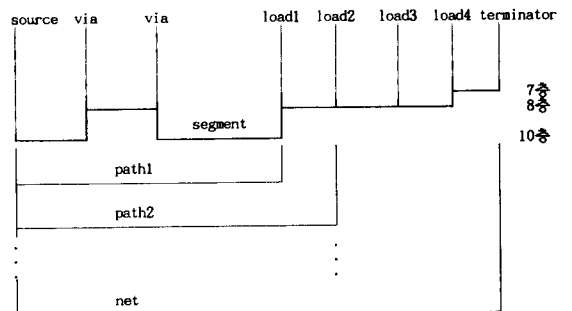


그림 11. Net 보기
Fig. 11. An example of a Net.

model 값을 설정하여 각 net에서 node들에 대한 reflection을 계산한 후 전체 reflection을 구한다. 각 net는 하나의 신호 발생원인 source와 여러개의 load들로 구성된다. Source에서 각 load까지를 path로써 구분한다. Total noise 계산부분은 각 net의 path들에서 계산된 crosstalk와 reflection, 그리고 rms (root mean square)값을 종합하여 net별 transmission noise level을 계산한다. 계산 결과의 출력은 crosstalk과 reflection의 계산된 값들은 ASCII 형태의 출력 화일로 생성된다.

이 simulation 프로그램에 의해서 계산된 잡음 값을 설명하기위해 그림 11과 같은 net을 입력 netlist들 중에서 선정하였다. 그림 11의 net에는 각각 한개의 source와 terminator가 있으며, 모두 4개의 load가 연결되어 있다. 각 segment들은 7, 8, 10층에 분포되어 있으며 source에서 첫번째 load까지의 길이는 946.7 mil, 두번째 load까지는 1200.1 mil, 세번째 load까지는 1453.3 mil, 마지막 load까지는 1706.6 mil이다. 각 load의 첫번째부터 마지막까지의 reflection값은 317, 232, 135, 0 mV로 계산이 되었다. 계산된 결과에서 알 수 있듯이 첫번째 load에서 reflection이 가장 크게 일어남을 알 수 있다. Crosstalk 값의 계산은 주변의 모든 평행한 net들에 대해서 계산을 한다. 실제로 그림 11에는 모든 평행한 net들을 표시할 수는 없으나, 계산결과는 첫번째 load에서 마지막 load까지 각각 306.4, 309.9, 317.8, 327.5 mV로 계산이 되었다.

계산된 잡음값들은 첫번째로 제작된 PCB에서 실측된 잡음 값들과 correlation을 할 필요가 있다. 이것은 단순한 회로에 대한 correlation을 통하여 simulation 결과치의 실측치와의 차이를 제거하고, 이를 통하여 복잡한 회로에 대한 계산결과의 신뢰성을 높이는 것이다. 즉 계산된 결과의 정확성을 점검하고 조정하는 의미가 있다. 우선 부품이 삽입되어 있지 않은 bare PCB를 준비한다. Reflection을 측정하기 위해서는 PCB내에서 적당한 net을 선택하여 net에 연결된 곳의 부품들을 삽입한다. 출력 source에서 사용하게 될 가장 빠른 클럭의 구형파를 연결하고, 첫번째 load에서 발생하는 reflection을 측정하려면 첫번째 load의 부품을 제거하고 부품(보통은 IC류)의 입력 핀에 대응하는 capacitor로 대체한다. 교체된 capacitor에서 oscilloscope로 측정을 하면 reflection에 의해 왜곡된 구형파를 관측할 수 있다. 이와 같은 방법을 측정하고자 하는 load에만 capacitor을 교체하여 reflection을 관측할 수 있다. Crosstalk의 경우는 일정 길이이상 평행하게 진행하

는 두개의 net를 고르고, 한쪽 net에는 클럭을 입력시키고 같은 net의 끝에는 terminator를 부착한다. 다른 쪽 net에는 양쪽 끝에 terminator를 부착한다. 양쪽이 terminator로 연결된 net에서 crosstalk를 측정할 수 있다. 실측된 값들과 simulation에서 계산된 값을 비교하여 필요한 경우 프로그램의 입력 parameter들의 수정을 해야한다

V. 결론

이 연구의 결과는 다음과 같이 활용될 수 있다. 먼저 첨단 중형 computer의 backplane 또는 motherboard 설계에 활용된다. Backplane에 사용되는 printed circuit board의 material 및 층수, 두께 등 물리적 가능성을 고려하여 최적설계를 실시하는데 활용한다. 또한 설계된 printed circuit board의 설계검증의 일환으로 사용된다. 둘째, backplane 또는 mother board의 평가 및 failure mode analysis로서 시험제작된 backplane의 noise 특성 평가 후 개선방향 설정에 활용한다. 특히 고장 발생시 그 원인이 잡음인지 또는 기능적 고장인지를 확인시킬 수 있다. 세번째, PCB의 다층화 및 고속화를 위하여 활용된다. 일반 utility기능을 탑재하는 PCB의 다층화 고속화를 통하여 system 성능향상에 활용한다. 주어진 printed circuit board의 분석을 통하여 고속화를 위한 수정요구지역을 찾아내게 된다. 네번째, 차세대 noise simulation tool 개발에 활용된다. 고속화하여 층수가 더욱 많이 요구되어 지는 응용범위를 cover하기 위하여 finite element method 등의 기법을 활용하는 noise simulator 개발에 기반기술로 활용된다.

알림

본 논문은 그 주요한 연구에 있어서 구철회씨의 기여가 컸음을 알립니다.

參考文獻

- [1] J.H. Bogar and E. Vanderheyden, "Interconnection and circuit packaging for electromagnetic compatibility", *IEEE Tr. Components, Hybrids, and Manufac. Tech.*, vol. CHMT-5, no. 4, pp. 470-478, Dec. 1982.
- [2] R.F. Bonner, J.A. Asseltas and F.W.

- Haining, "Advanced printed-circuit board design for high-performance computer applications", *IBM J. Res. Develop.*, vol. 26, no. 3, pp. 297-305, May 1982.
- [3] P.A.Brennan, N.Raver and A.E. Ruehli, "Three-dimensional inductance computations with partial element equivalent circuits", *IBM J. Res. Develop.*, vol. 23, no. 6, pp. 661-668, Nov. 1979.
- [4] J.A.de Falco, "Reflection and crosstalk in logic circuit interconnections", *IEEE Spectrum*, vol. 7, pp. 44-50, July 1970.
- [5] A.Feller, H.R.Kaupf, and J.J. Digiacomo, "Crosstalk and reflections in high-speed digital systems", *AFIPS Conf. Proc., Fall Jt. Computer Conf.* 27, pp. 511-525, 1965.
- [6] C.W.Ho, A.E.Ruehli and P.A. Brennan, "The modified nodal approach to network analysis", *IEEE Tr. Circuits and Systems*, vol. CAS-22, no. 6, pp. 504-509, June 1975.
- [7] A.E.Ruehli, "Survey of computer-aided electrical analysis of integrated circuit interconnections", *IBM J. Res. Develop.*, vol. 23, no. 6, pp. 626-639, Nov. 1979.
- [8] A.E.Ruehli and P.A.Brennan, "Efficient capacitance calculations for three-dimensional multiconductor systems", *IEEE Tr. Microwave Theory and Tech.*, vol. MTT-21, no. 2, pp. 76-82, Feb. 1973.
- [9] H.Terai et al, "Basic concepts of timing-oriented design automation for high performance mainframe computers", *ACM/IEEE Design Automation Conf.*, pp. 193-118, 1991.
- [10] C.R.Paul, "Modeling electromagnetic interference properties of printed circuit boards", *IBM J. Res. Develop.*, vol. 33, no. 1, pp. 33-50, Jan. 1989.
- [11] E.E.Davidson, "Electrical design of a high speed computer package", *IBM J. Res. Develop.*, vol. 26, no. 3, pp. 349-361, May. 1982.
- [14] J.R.Bupp, "High-density board fabrication techniques", *IBM J. Res. Develop.*, vol. 26, no. 3, pp. 306-317, May 1982.
- [12] 유영갑등, "PCB 설계에 대한 잡음분석연구", 서울대학교 컴퓨터신기술공동연구소 보고서, 1992. 2.

著者紹介



李先馥(準會員)

1967年 3月 1日生. 1991年 충북대학교 정보통신공학과(공학사). 1992年 충북대학교 정보통신공학과(공학석사). 1992年 12月~현재 신흥기술연구소 전자부 연구원. 주관심 분야는 중형 및 대형 컴퓨터 제작 및 제조기술, 컴퓨터 통신선로 암호화, MCU을 이용한 하드웨어 및 소프트웨어 설계 등임.



韓善景(準會員)

1969年 3月 1日生. 1991年 충북대학교 정보통신공학과(공학사). 1992年 충북대학교 정보통신공학과(공학석사). 1992年 12月~현재 충북대학교 정보통신산업연구소 연구원. 주관심 분야는 컴퓨터 통신선로 암호화, 고집적 메모리 테스트, 중형 및 대형 컴퓨터 제작 및 제조기술 등임.



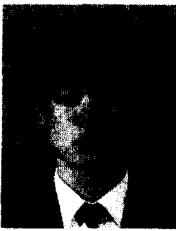
李華伊(正會員)

1967年 12月 25日生. 1990年 2月 서울산업대학 전자공학과(공학사). 1992年 8月 청주대학교 전자공학과(공학석사). 1984年 7月~1989年 7月 금성반도체(주) 반도체연구소 연구원보. 1990年 1月~1992年6月 충북대학교 정보통신산업연구소 연구원. 1992年 7月~현재 서두로직(주) 전자기술연구소 연구원. 주관심 분야는 반도체 메모리테스트, ASIC설계, DSP설계등임.



劉泳甲(正會員)

1948年 3月 22日生. 1975年 8月 서강대학교 전자공학과(공학사). 1981年 8月 미국미시간대학교 전기전산학과(공학석사). 1986年 4月 미국 미시간대학교 전기전산학과(공학박사). 1975年 8月~1979年 8月 국방과학연구소 연구원. 1982年 4月~1986年 4月 미시간 전산연구소. 1986年 2月~1988年 2月 금성반도체(주) 책임연구원. 1988年 3月~현재 충북대학교 정보통신공학과 학과장. 정보통신산업연구소장. 1991年 5月 전국정보통신 교수협의회 부회장. 주관심 분야는 반도체 집적회로테스트, 고장극복형 컴퓨터구조, 가변익항공기제어, 중형 및 대형 컴퓨터 제작 및 제조기술, 정밀인쇄장치 구조설계 등임.



金大煥(準會員)

1968年 7月 11日生. 1991年 충북대학교 정보통신공학과(공학사). 1992年 충북대학교 정보통신공학과(공학석사). 1992年 11月~현재 한국타이어(주) 연구원. 주관심 분야는 고집적 메모리 테스트, 중형 및 대형 컴퓨터 제작 및 제조기술 등임.