

# 고속 신호처리를 위한 GaAs MESFET's 스위치드 커패시터 필터 설계에 관한 연구

## (A Study on the Design of GaAs MESFET's Switched Capacitor Filter Using GaAs MESFETs for High - Speed Signal Processing)

金學善\*, 林明護\*\*, 金慶月\*\*\*, 李亨宰\*\*

(Hak Sun Kim, Myung Ho Lim, Kyung Wol Kim and Hyung Jae Lee)

### 要約

본 논문에서는 스위치드 커패시터 회로에 사용될 GaAs MESFET 회로 설계기법을 이용하여 기본증폭기, 정전류원, 연산 증폭기 등을 설계하였고 이를 이용하여 고속 3차 elliptical 필터를 구성하고 PSPICE를 이용하여 시뮬레이션하였다. 회로설계시 GaAs MESFET의 결점을 보완하는 설계기법을 사용하므로써 5GHz의 샘플링 주파수에서 20MHz이상의 동작범위를 얻었다.

### Abstract

In this paper, switched-capacitor building block presented which are suitable for implementation in GaAs MESFET technology. They include a current source, a gain stage, and an operational amplifier. Switched-capacitor design techniques are discussed that minimize filter sensitivity to finite gain of the GaAs operational amplifier. Simulation results are presented on third-order elliptic lowpass ladder filter at a sampling rate of 5GHz.

### 1. 서론

스위치드 커패시터 회로는 아날로그 MOS 신호처리 회로에서 매우 중요한 회로로써 전자통신, 음성인

식, 그리고 신호 데이터 변환회로등에 쓰인다.

그러나 고속 실리콘 MOS 기술로 제작된 회로에서의 샘플링 rate는 약 15MHz정도로 제한되어진다.<sup>[1]</sup>

이러한 회로에서의 표본화 주파수를 수백 MHz 이상까지 확장시킨다면 radar에서의 agile 필터링이나 수신기, 데이터 통신에서의 clock recovery, 텔레비전 수신기에서의 화상처리 등에서 많은 도움이 될 것이다. GaAs MESFET 기법은 이런 고속 스위치드 커패시터 회로의 실현을 가능하게 한다. 왜냐하면 MOS 기법보다 높은 전자 이동도와 적은 포유용량 등의 특징을 가지고 있기 때문이다.

그러나 상보소자의 부족, 제한된 문턱전압, 절연

\*正會員, 大田産業大學校 情報通信工學科 (Dept. of Information and Telecommunication Eng., DaeJeon Nat'l Univ. of Industry)

\*\*正會員, \*\*\*準會員, 韓國航空大學校 電子工學科 (Dept. of Avionics Eng., Hankuk Aviation univ.)

接受日字: 1992年 10月 10日

게이트의 결함 등 기술적 결점을 가지고 있다. [5] [6]

따라서 본 논문에서는 공핍형 GaAs MESFET 집적회로를 이용한 스위치드 커패시터 회로의 설계 기법을 제시하고자 한다. 2장에서는 스위치드 커패시터 회로의 기본 회로를 설계하며, 3장에서는 GaAs 기법의 결점을 극복하기 위한 스위치드 커패시터 회로 설계 기법을 제시하며, 4장에서는 시뮬레이션 결과를 검토하였다.

시뮬레이션 결과, 설계된 GaAs 스위치드 커패시터 회로의 표보화율은 커다란 손실없이 100MHz 이상을 얻을 수 있었고 동작대역은 20MHz 이상을 얻었다.

## II. GaAs MESFET 아날로그 building block 설계

### 1. GaAs technology의 제한 및 고려사항

GaAs 디바이스를 이용한 아날로그 회로의 설계는 보다 완벽한 공정과 새로운 설계 기법이 요구된다. 예를 들면 GaAs technology는 complementary device의 제작상 어려운 점때문에 NMOS와 어떤 면에서는 비슷하다. 따라서 설계기법은 NMOS에서 사용하고 있는 방법을 이용할 수 있다. 그러나 NMOS와는 달리 대부분의 GaAs 공정은 공핍형 디바이스만을 제공하고 MESFET의 body effect는 무시할 수 있다. 또한 GaAs technology에서 schottkey diode는 고속의 level shifting에 사용되어질 수 있고 반절연성의 GaAs 기판은 interconnect뿐 아니라 드레인과 소오스 영역의 기생용량을 최소화 시켜 준다. [6] [7]

GaAs MESFET의 한가지 단점은 고주파에서의 이득  $g_{mI_{ds}}$ (10 -20)가 작다는 것이다. 낮은 이득은 비록 substrate-channel 사이의 trapping center에 의해 영향을 받지만, 근본적으로는 short channel effect에 의한 것이다. 이러한 결점은 FET 및 회로의 전달특성 곡선에 있어서 hysteresis를 불러 일으킨다. 이 효과를 제거하기 위한 공정의 절차와 재료의 개선에 대한 많은 연구가 진행되어 왔지만, 상업적으로 이용 가능한 GaAs FET에서 이 영향은 문제시 될 것으로 예상된다. 따라서 이러한 effect를 최소화 하는 증폭기의 설계가 요구된다.

GaAs MESFET의 문턱전압의 matching은 문턱전압 표준편차가 20에서 50mV 사이인 기존의 실리콘 MOS 디바이스보다 별로 좋지 못하기 때문에 op amp offset 전압에 덜 민감한 스위치드 커패시터의 설계가 필요하므로 본 논문에서는 op amp offset 전

압을 줄이는 회로를 설계하여 스위치드-커패시터 필터 회로를 구성하였으며 스위치드-커패시터 필터에서도 향상된 특성의 회로를 설계한다.

### 2. GaAs MESFET 정전류원

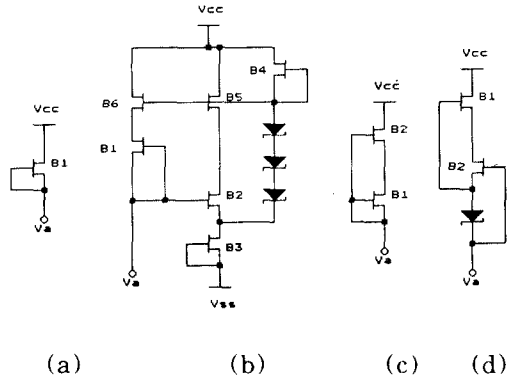


그림 1. (a)공핍형 FET 정전류원  
(b) Bootstrapped 정전류원  
(c) Self-bootstrapped 정전류원  
(d) 설계한 정전류원

Fig. 1. (a) Depletion-mode FET current source.  
(b) Bootstrapped current source.  
(c) Self-bootstrapped current source.  
(d) Designed current source.

Analog IC 설계에 있어서 정전류원은 자주 사용되는 building block이다. 정전류원은 그림1(a)에서처럼 공핍형 트랜지스터의 게이트에 source를 직접 연결함으로써 구현할 수 있다. 이 회로는 B1의 낮은 드레인 - 소오스 임피던스로 인해 낮은 출력 임피던스 ( $Z_{out} = r_{ds}$ )를 갖게 된다.  $Z_{out}$ 은 potential  $V_a$ 에 무관하게 B1의 potential  $V_{ds}$ 를 일정하게 유지시킴으로써 증가될 수 있다. 그림1(b)의 "bootstrapped" 정전류원은 이 점을 해결하였다. B2 - B6는 B1 양단의 전압  $V_{ds}$ 가 일정하게 유지되도록 unity gain buffer를 형성한다. B2와 B6의 width를 B1과 같게 setting 하고 B2, B4 와 B5의 width를 B1의 1/2이 되게 setting하면 넓은 바이어스 영역에 대해  $V_{gs}$ 는 거의 '0' 으로 유지될 것이다. 그러므로 B1의  $V_{ds}$ 는 순방향으로 바이어스된 3개의 다이오드에서의 전압강하 (약 2.2 V)와 같을 것이며 이것은 B1이 포화영역에 있음을 말한다.

이 기법은  $g_{m6}r_{ds6}$ 의 factor에 의해 정전류원의 출력 임피던스를 증가시킨다. 비록 그림1(b)의 bootstrapping approach가 정전류원의 출력 임피던스를 증가시키는데 효과적이지만 신호의 스윙폭을 제한하고 전력소비를 증가시킨다.

어느 정도까지 이 단점을 극복한 또다른 회로가 그림1(c)이다. 이 회로에서 트랜지스터  $B_1$ 은 더 큰 트랜지스터  $B_2$ 에 의해서 "bootstrapped"된다.  $B_1$ 은 낮은 드레인 소오스 포화전압때문에 포화영역에 있게 된다.  $B_2$ 는 다음 factor 정도로  $B_1$  보다 넓어야 한다.

$$\frac{W_2}{W_1} \frac{K_2}{(K-1)^2} \tag{1}$$

여기서  $W_2$ 와  $W_1$ 는 각각  $B_2$ 와  $B_1$ 의 width이고  $K$ 는  $V_{ds\ sat} = (V_{gs} - V_T) / K$ 로 주어지는 short channel FET의 early saturation 정도를 나타내는 상수로서 1과 2사이의 값을 갖는다. (1)식이 유효하다면 그림1(c)의 정전류원의 출력 임피던스는  $g_{m2}r_{ds2}r_{ds1}$ 으로 추정된다. 그러나 문턱전압이 positive해짐에 따라 1로 근접하기 때문에 (1)식의 조건은 GaAs 공정에서 얻기 힘들다. 이런 문제점들을 개선시킨 회로를 그림1(d)에 제시하였다. 이 회로는 GaAs 쇼트키 다이오드를 이용함으로써 속도의 저하를 가져오지만 공정의 어려움을 극복할 수 있다.

[8]

3. 이득단 및 차동 증폭기

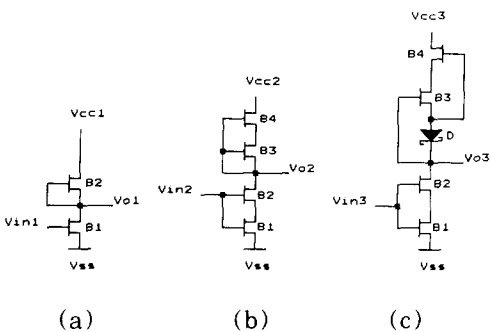


그림 2. 단일증폭기  
Fig. 2. Single stage amplifier.

그림2(a)는 NMOS에서 주로 사용하는 회로이나 이득이 낮고 그림2(b)는 갈륨비소 MESFET의 2차 특성인 early saturation 현상에 영향을 받을 뿐 아니라 문턱 전압을 2중으로 조정해야 하는 문제점이

있다. 이 기법은 모든 MESFET가 early saturation 현상을 나타내지는 않으며 또한 공정이 복잡해 질 수 있다는 단점이 있다. 따라서 보다 큰 이득을 얻기 위하여 1차 특성을 이용한 안정된 회로 구성인 그림2(c)의 증폭기를 설계, 제시하였다.

개선된 증폭기에서 가3가 포화 영역에 있도록 쇼트키 다이오드를 사용하였다. 따라서 그림2(c)의 전압 이득은 다음과 같이 구해진다.

$$A_v = -g_{m1} / \left( \frac{g_{d3}g_{d4}}{2g_{m4}} + \frac{g_{d1}g_{d2}}{g_{m2}} \right) \tag{2}$$

위의 식에서 분모의 첫째 항의 크기가 작아져서 결과적으로는 이득이 증가한다. 이는 출력 저항이 그림 2(b) 회로에 비해 2배 정도 증가되었기 때문이다.

그림2(c)는 다른 증폭기의 회로 구성에 비해 전력 소비가 다소 증가하고 주파수 특성에 제한을 받지만 높은 출력 저항을 얻을 수 있으므로 전압 이득을 향상시킬 수 있다. 또한 MESFET의 1차 특성을 이용함으로써 공정의 어려움을 피할 수 있고 안정된 동작을 할 수 있다는 장점이 있다.

본 논문에서는 그림3과 같이 새로 설계된 단일 증폭기를 응용하여 차동 증폭기를 구성하였다. 부하 저항을 증가시키는 이득 증가 기법을 사용함으로써 고 이득의 차동 증폭기를 설계하였다. 이 회로에서 다이오드로 인해 주파수 특성이 다소 떨어지지만 전체적으로 안정된 특성을 얻을 수 있다.

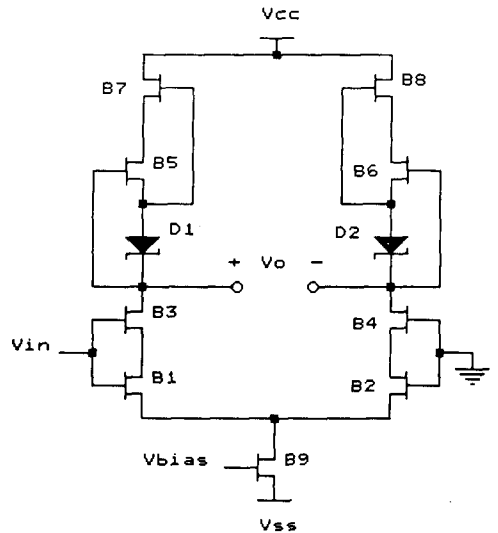


그림 3. 설계된 차동증폭기  
Fig. 3. Designed Differential Amplifier.

D1과 D2의 크기는 다이오드 양단의 전압이 B5, B6를 포화 영역에 있도록 하기 위하여 B5, B6의 게이트 폭과 동일하게 정한다. 정전류원으로 사용되는 MESFET B9는 D1과 D2에 의한 전류의 감소로 다른 회로 구성에 비해 게이트 폭이 좁은 FET의 사용이 가능하다. 결과적으로 부하의 출력 저항을 향상시켜 차동 증폭기의 이득은 기존의 회로들에 비해 증가된다.<sup>[9]</sup>

4. GaAs Transmission Gate Design

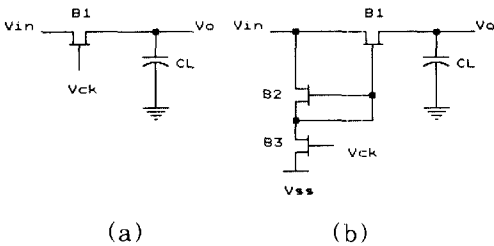


그림 4. (a) transmission 게이트를 사용한 단일 MESFET  
(b) 개선된 동작범위를 가진 MESFET transmission

Fig. 4. (a) Single MESFET operated as transmission gate.  
(b) MESFET transmission gate with improved dynamic range.

GaAs 기술에서 transmission 게이트의 실현은 실리콘 MOS 기술에서 보다 더 어렵다. MESFET의 게이트가 부수적인 전류를 전달하기 때문에 순방향바이어스될때 이것은 거의 0.6V 이상이 된다. 그러므로 단일 GaAs MESFET가 transmission 게이트로 사용되고 있으며 입력 전압은 좁은 범위내로 한정된다. 그림4(a)에 이런 고려사항이 나타나 있으며 공평형 GaAs MESFET가 transmission 게이트로서 동작한다. 이 경우 입력과 클럭 전압은 다음과 같다.<sup>[6]</sup>

$$V_{in} + V_T(V_{ck}(on) - V_{in} + 0.6V) \tag{3}$$

$$V_{ck}(off) - V_{in} + V_T \tag{4}$$

여기서 Vin, Vck, VT 은 각각 입력전압, 클럭전압, FET 임계전압이다. 클럭전압이 고정되어 있다고 하면 이런 한계점들은 전형적으로 최대 0.6-VT내로 신호 swing을 제한하게 된다. 이 범위는 "고속 응용회

로에서는 부적당하므로 입력 동작범위를 개선시키기 위해 transmission 게이트 설계가 자주 요구되어진다.

그림5(b)에 개선된 회로를 제시하였다. B3가 off되는 Vck가 low일때 B2에는 전류가 흐르지 않으며 B1의 VGS는 거의 '0'에 가깝고 이것은 Vin에 무관하다. B1이 on이 되면 Vck는 high가 되고 B3은 on으로 바뀌고 B1은 off로 된다. 그러나 입력 전압이 너무 낮아지게 되면 B1은 off로 변하게 되나 dc 바이어스를 가해줌으로서 해결할 수 있다. 그러나, 스위치드-커패시터 필터에 사용되는 일반적인 회로에서는 입력 전압이 동작범위를 벗어나지 않으므로 설계된 회로에 dc 바이어스를 가하지 않고 사용하여도 무방할 것이다.

5. 연산증폭기 설계

설계한 정전류원 및 차동증폭기와 level shifter, 출력단을 이용하여 연산증폭기를 구성하였다. 설계된 회로의 특징은 GaAs MESFET를 이용한 아날로그 회로 설계시 가장 큰 문제로 부각되는 저이득 현상을 줄이기 위한 이득 증가 기법을 이용한 증폭기를 사용하였으며 입력단의 설계시 안정된 특성을 가지는 새로운 정전류원을 사용하였다는 것이다. level shifter는 한단의 dc 출력 레벨이 다음단에서 요구되는 입력 dc 전압보다 높은 경우 dc 레벨을 낮추어서 다음단으로 신호를 전달하는 역할을 하고, 출력단은 낮은 출력 저항과 필요한 부하 전류를 공급해 줄 수 있도록 설계되어져 있다. 그러므로, 고주파대에서 고이득 및 큰 CMRR을 얻을 수 있다.<sup>[10]</sup>

설계한 연산증폭기의 회로를 그림5에 나타내었다.

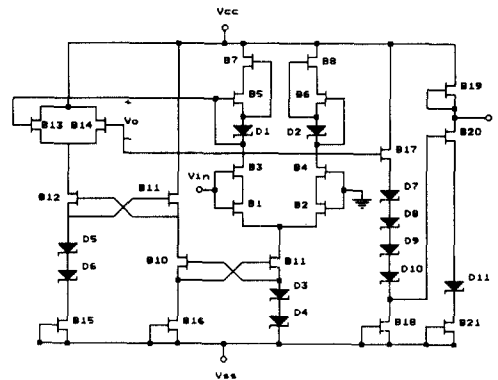


그림 5. 설계된 연산증폭기의 회로도  
Fig. 5. Block Diagram of Designed Operational Amplifier.

6. 3차 GaAs MESFET 스위치드 커패시터

Elliptical 필터 설계

3차 elliptical 필터를 설계하기 위해서 기본회로로써 적분기를 설계하였다.

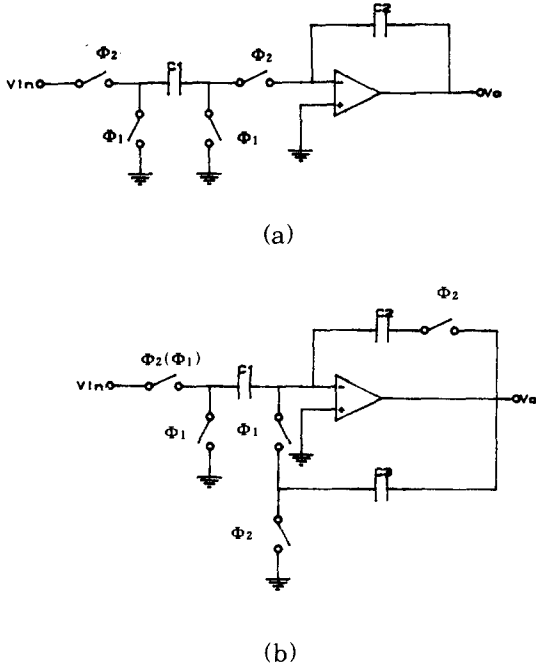


그림 6. (a) 일반적인 스위치드 커패시터 적분기  
 (b) Finite op amp 이득효과를 보상한 스위치드 커패시터 적분기  
 Fig. 6. (a) Basic Switched Capacitor Integrator,  
 (b) Switched Capacitor Integrator Compensated with Effects of Op Amp Finite Gain .

그림6(a)는 일반적인 스위치드 커패시터 적분기 회로이다. 그러나 이 회로는 finite op amp 이득에 민감한 특성을 나타낸다. 따라서 이를 보상하기 위한 회로를 그림6(b)에 설계하였다. 그림6(b)에서 op amp의 이득이 무한대라고 가정하면  $U_A$  전압은 입력 기준 op amp offset 전압  $V_{os}$ 와 같게 된다. 그러므로  $\Phi_2 \rightarrow 1$  동안  $C_1$ 에 의해  $C_2$ 에 주입되는 전하는  $C_1 [(U_{in}-V_{os})(0-V_{os})] = C_1 U_{in}$ 이므로  $V_{os}$ 에 영향을 받지 않는다. op amp의 이득  $A$ 가 유한하다면  $U_A$ 는 일정하지 않게 되고  $(V_{os}-U_{out})/A$ 가 된다. 이때  $U_{out}$ 는 시간에 의해 변화하는 출력전압이다. 그러나 보통 신호 전압이 클러주기  $T$ 동안 아주 작게 변하고  $\Phi_1=1$ 인 반주기동안 일정하므로  $U_A$ 는 이 경우에는 거의 일정하

다. 유한 이득의 영향은 전체 적분기 전달함수  $H(\omega)$ 의 상대적인 이득과 위상 에러에 대한 측면으로 평가될 수 있다. 비이상적인 적분기의 전달함수는 주파수 식으로 근사화하면 다음 식으로 된다.

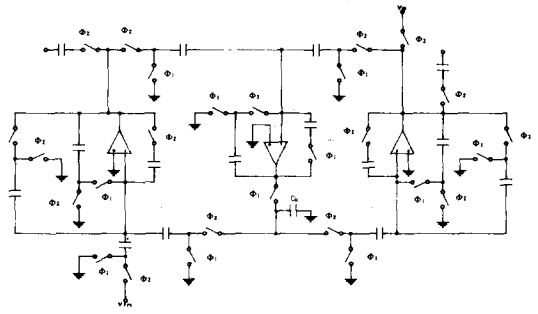


그림 7. 3차 elliptical저역 통과 래더 필터  
 Fig. 7. Schematic of third-order elliptical low-pass filter

$$H(\omega) = \frac{\pm 1}{j\omega T [1 - m(\omega) - j\theta(\omega)]} \quad (5)$$

이때  $T$ 는 적분기의 시정수이고  $m(\omega)$ ,  $\theta(\omega)$ 는 각각 이득과 위상 에러이다.  $\mu=1/A$ 의 finite op amp 이득일때 이런 에러들의 계산하면  $m(\omega) = -\mu(1+C_1/C_2+C_1/C_3)$ 이며

$$\theta(\omega) = \mu \left( \frac{C_1}{C_2} \left( \frac{C_2}{C_3} \omega T + \frac{\mu}{\omega T} \right) \right) \pm \mu V_{os} \quad (6)$$

이 된다.

설계한 Transmission 게이트, 스위치, 증폭기, 연산증폭기, 적분기를 이용하여 그림7과 같은 3차 저역 통과 elliptical 필터를 설계하였다. 설계시 유의할 사항은 감도의 향상을 위해서는 연산증폭기의 유한 이득과 offset를 보상해야 한다는 것이다. [11] [12]

III. 시뮬레이션 결과 및 검토

그림8은 그림1의 공평형 GaAs MESFET을 이용한 정전류원에 대한 전압-전류관계를 PSPICE로 시뮬레이션한 것이다. 그림1(a)의 회로에 비해 bootstrap을 사용한 회로는 전류특성이 향상되었지

만 대신 동작범위가 줄어들었다. 그림 2.1(c)의 self-bootstrap된 회로의 경우 전류특성과 동작범위

가 둘다 향상되었다. 본 논문에서 설계된 그림1(d)의 회로는 그림1(c)의 회로에 비해 전류특성이 더 개선되었으며 정전류원으로서의 이상적인 특성곡선을 보여주고 있다.

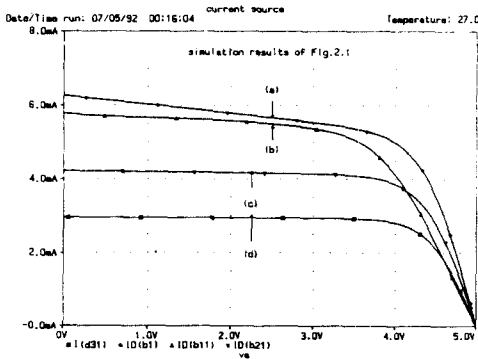


그림 8. 정전류원의 전압-전류 관계  
Fig. 8. V-I Characteristics of Current Source.

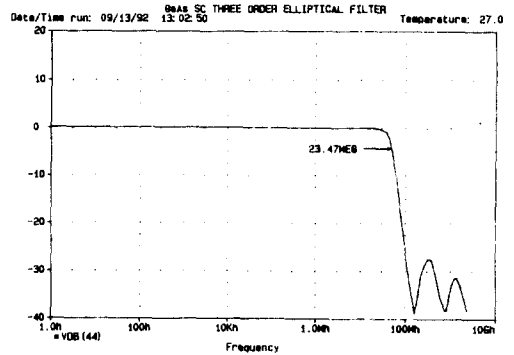
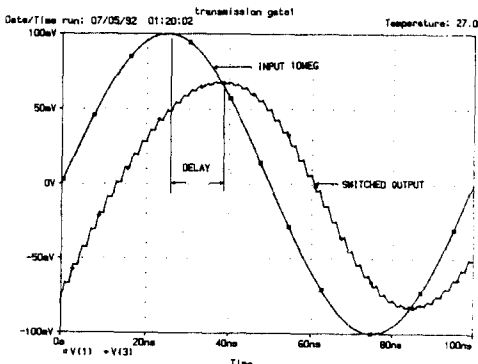
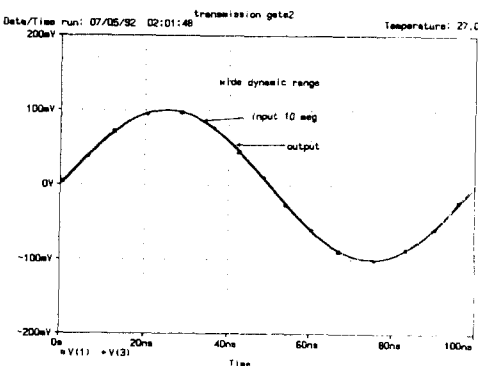


그림 10.  $f_{ck}=5\text{GHz}$ 에서 3차 elliptical 저역통과 필터의 시뮬레이션 결과  
Fig. 10. Simulation Response of Third-Order elliptical Low-Pass Filter,  $f_{ck}=5\text{GHz}$ .



(a)



(b)

그림 9. 그림 2.4의 시뮬레이션 결과  
Fig. 9. Simulation results of Fig 4.

그림9(a)와(b)는 각각 그림4(a)와 (b)의 transmission 게이트의 시간응답곡선이다. 동일한 클럭과 동작범위가 주어졌을 때 그림9(a)에 비해 그림 9(b)의 출력 특성이 월등히 좋음을 알 수 있다.

그림10은 2장에서 제시된 개선된 정전류원과 transmission 게이트, op amp을 이용하여 설계된 3차 elliptical 저역통과 래더 필터이다. 클럭 주파수가 5GHz일때 시뮬레이션 결과가 그림4에 주어졌었다.

#### IV. 결론

공평형 GaAs MESFET 기법을 이용하여 스위치드 커패시터 필터를 설계하기 위한 이득단과 op amp 및 transmission 게이트를 포함한 아날로그 구성도가 제시되어져 있다. 개선된 스위치드-커패시터 설계 기법은 op amp 저이득 현상과 높은 offset 전압, 1/f 잡음을 최소화할 수 있도록 되어 있다. 시뮬레이션 결과 새로 설계된 정전류원의 경우 넓은 주파수 범위에서 양호한 특성을 가지며 transmission 게이트의 경우 출력특성이 상당히 안정되어 있음을 알 수 있었다.

3차 elliptical 저역통과 래더 필터가 위의 회로들을 이용하여 설계되었으며 클럭 주파수가 5GHz일때 시뮬레이션 결과, 동작대역이 20MHz까지 확장되었

는데 이는 설계한 정전류원의 안정된 특성과 연산증폭기의 이득을 상당히 개선하였기 때문이다.

높은 전하이동도와 낮은 기생커패시턴스로 인해 GaAs MESFET를 사용한 고속 스위치드 커패시터 회로는 새로운 아날로그 신호처리 응용에 널리 이용되리라 기대된다.

#### 參 考 文 獻

- [1] R. Schaumann, et al., Design of Analog Filters : Passive, Active RC and Switched capacitor, Englewood Cliffs, New Jersey, Pentice-Hall, 1990.
- [2] M. S. Tawfik, P. Senn, "A 3.6MHz Cutoff Frequency CMOS Elliptic Low-Pass Switched-Capacitor Ladder Filter for Video Communication," *IEEE J. Solid-State Circuits*, vol.sc-22, no.3, pp.378-384, June 1987.
- [3] 양창섭, "CMOS회로를 사용한 연산증폭기와 스위치드 커패시터 필터의 설계," 경북대학교, 1989년 12월.
- [4] G. Fischer and G. S. Moschytz, "On the frequency limitation of SC filters," *IEEE J. Solid-State Circuits*, pp. 510-518, Aug. 1984.
- [5] L. E. Larson, K. W. Martin, G. C. Temes, "GaAs Switched-Capacitor Circuits for Video Signal Processing," *IEEE ISSCC87, Session III: Sampled-Data Circuits*, Feb. 1987.
- [6] Lawrence E. Larson, Kenneth W. Martin, et al., "GaAs Switched-Capacitor Circuits for High-Speed Signal Processing," *IEEE J. Solid-State Circuits*, vol. sc-22, no. 6, pp.1249-1254, Dec. 1987.
- [7] D. B. Ribner, M. A. Copeland, "Biquad Alternatives for High-Frequency Switched-Capacitor Filters," *IEEE J. Solid-State Circuits*, vol. sc-22, no. 6, pp. 1085-1095, Dec. 1985.
- [8] 김학선, 김은로, 이형재, "갈륨비소 MESFET 고이득 아날로그 단일 증폭기" 설계," 대한전자공학회 논문지, 제 29 권 B 편, 제 6 호, pp.46-53, 1992.6
- [9] 최병하, 김학선, 김은로, 이형재, "갈륨비소 MESFET 고이득 차동증폭기 설계," 통신학회, 1992년 6월.
- [10] 김학선, "갈륨비소 MESFET를 이용한 광대역 연산증폭기 설계에 관한 연구," 한국항공대학, 1992.
- [11] G. C. Temes, "Finite amplifier gain and bandwidth effects in SC filters," *IEEE J. Solid-State Circuits*, pp. 358-361, June 1980.
- [12] K. Martin and A. S. Sedra, "Effects of the op amp finite gain and bandwidth on the performance of SC filters," *IEEE Trans. Circuits Syst.*, pp. 822-829, Aug. 1981.

著 者 紹 介



金 學 善(正會員)

1959年 6月 3日生. 1986年 2月 한국항공대학교 전자공학과 졸업(공학사) 1990年 2月 한국항공대학교 대학원 전자공학과 졸업(공학석사). 1993年 2月 한국항공대학교 대학원 전자공학과 박사과정 수료. 현재 대전산업대학교 정보통신공학과 전임강사. 주관심 분야는 화합물 반도체 모델링 및 통신용 IC, 통신시스템 설계 등임.



金 慶 月(準會員)

1992年 2月 한국항공대학교 전자공학과 졸업(공학사). 현재 한국항공대학교 전자공학과 석사과정 재학중. 주관심 분야는 화합물 반도체 및 매크로모델링 기법에 의한 회로 설계 등임

李 亨 宰(正會員) 第 29卷 B編 第 6號 參照  
현재 한국항공대학교 총장

林 明 讓(正會員) 第 28卷 A編 第 8號 參照